

Co-processador da Transformada para o Codificador de Vídeo AV1

Apresentação Final

Miguel Inocêncio

Mestrado Integrado em Engenharia Eletrónica e de Telecomunicações

18/12/2019

Universidade de Aveiro

Instituto de Telecomunicações



Introdução

Sistemas de Codificação de Vídeo

Transformadas em Codificação de Vídeo

Arquiteturas Desenvolvidas

Software

Hardware

Conclusões e Trabalho Futuro

Introdução

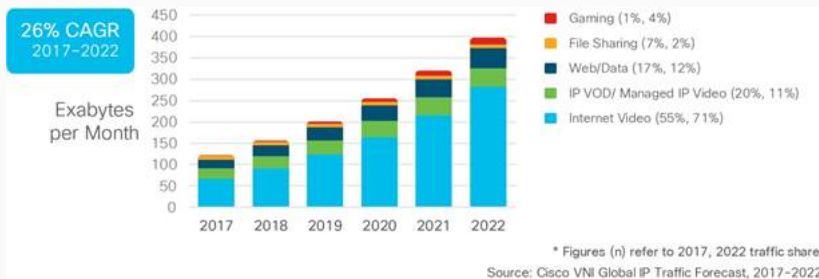


Figura 1: Previsões da *Cisco* para evolução de tráfego IP



Figura 2: Exemplo de dados em vídeo HD



**Remoção de informação de sequência de
imagens, mantendo a capacidade de
reprodução**

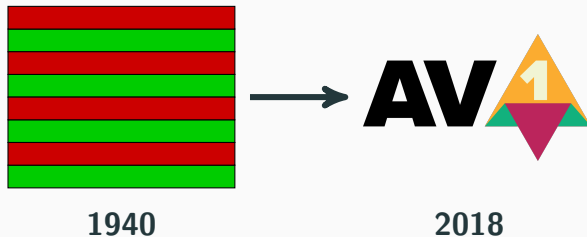


Figura 3: Exemplo de *interlaced scanning* e logo do AV1

Sistemas de Codificação de Vídeo

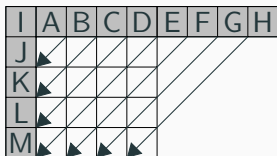


Figura 4: Espaciais

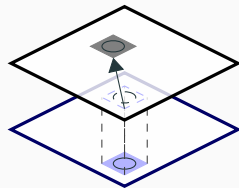


Figura 6: Temporais

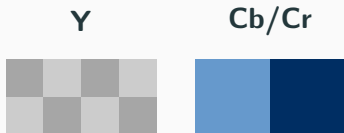


Figura 5: Psico-Visuais

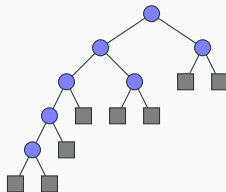


Figura 7: Código

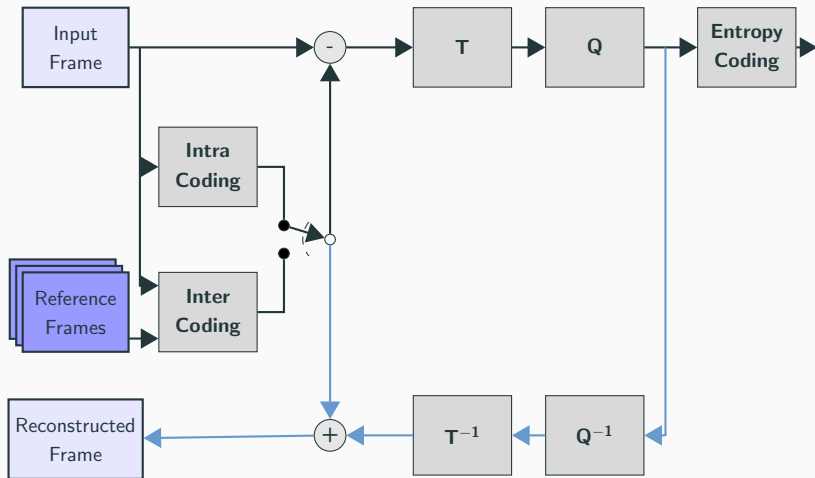


Figura 8: Modelo Básico de codificador

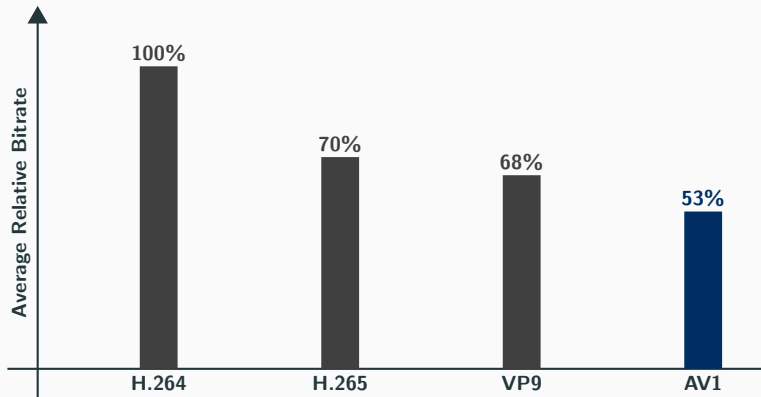


Figura 9: Poupanças de Bitrate relativas ao H.264

Tabela 1: Tempos de Codificação

Codec	Tempo de Codificação (s)	
	2018	2019
AV1	226 080	736
H.265		289
VP9		226
H.264		18

Transformadas em Codificação de Vídeo

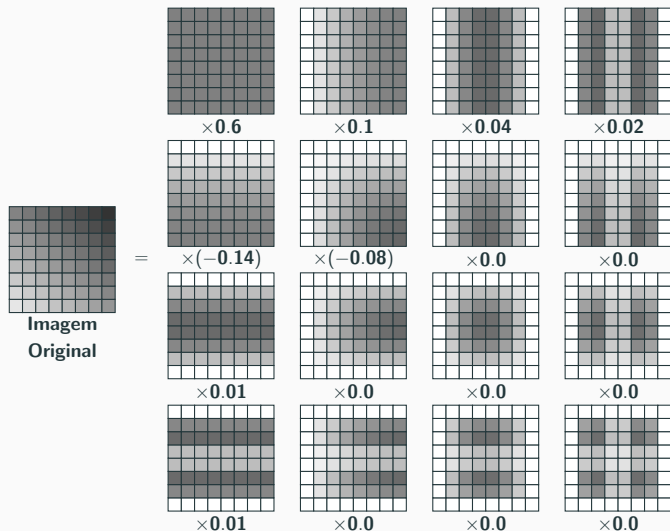


Figura 10: Exemplo de decomposição de bloco em imagens base

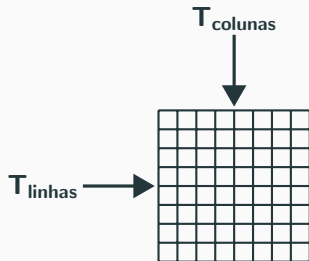


Figura 11: Separabilidade de transformadas 2D

Discrete Cosine Transform (DCT)

Identity (IDTX)

Asymmetric Discrete Sine Transform (ADST)

Flip - Asymmetric Discrete Sine Transform (Flip-ADST)

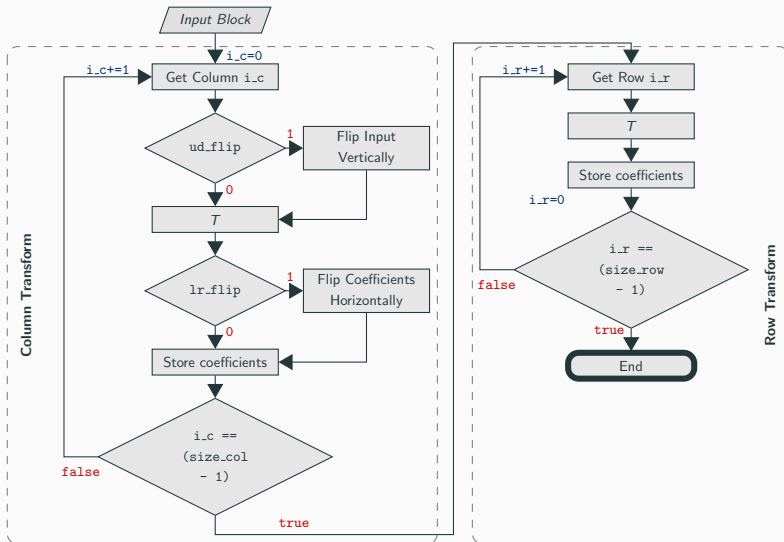


Figura 12: Sequência de operações da Transformada no *libaom*

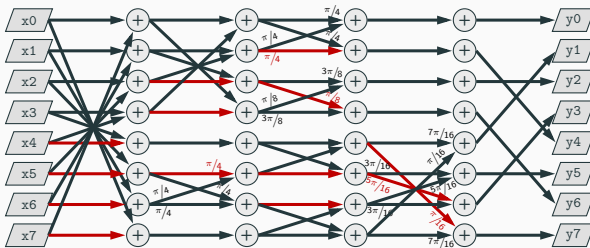


Figura 13: DCT no libaom

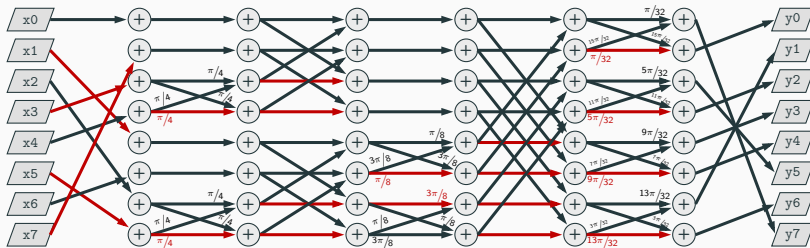


Figura 14: ADST no libaom

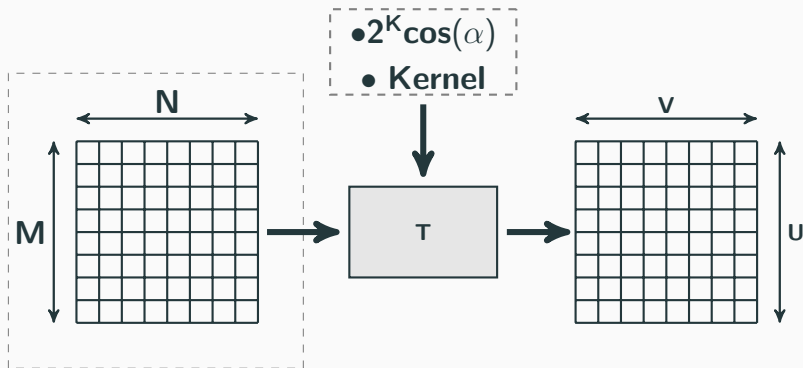


Figura 15: Opções de Codificação

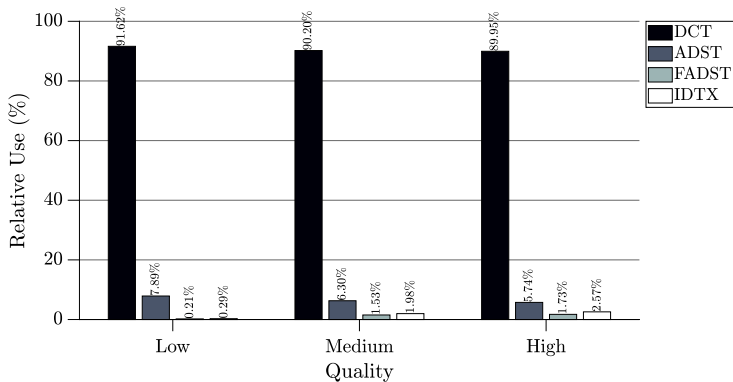


Figura 16: Kernel Utilizado

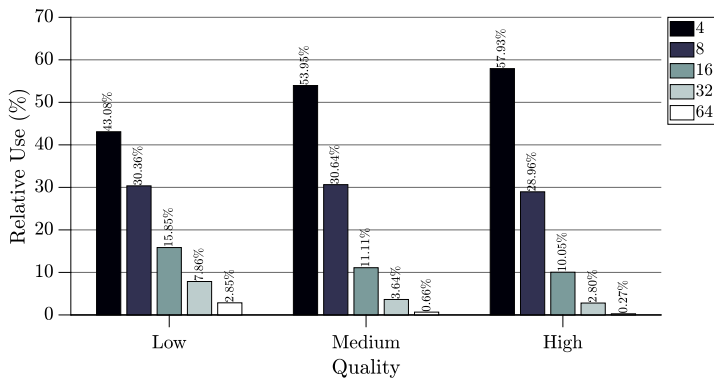


Figura 17: Tamanho de Vetor

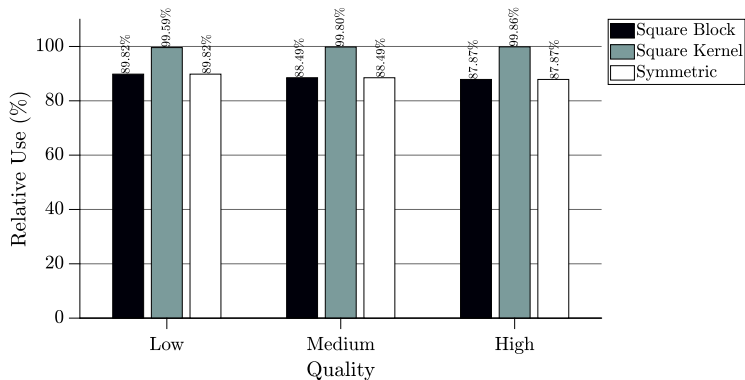


Figura 18: Kernel Simétrico

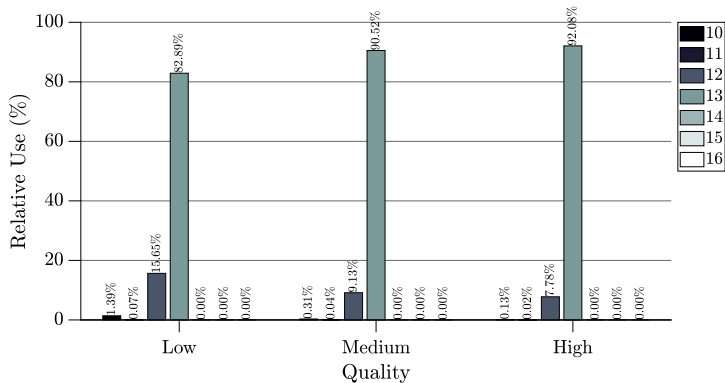


Figura 19: Número de Bits Utilizados nas Aproximações do Cosseno

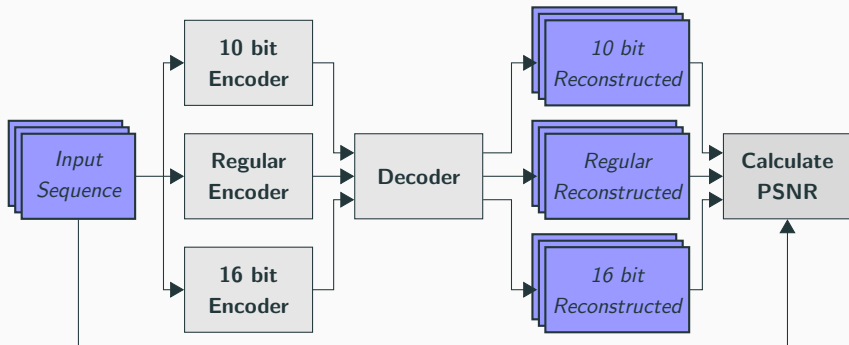


Figura 20: Testes de codificação com diferentes bits nas aproximações de cosseno

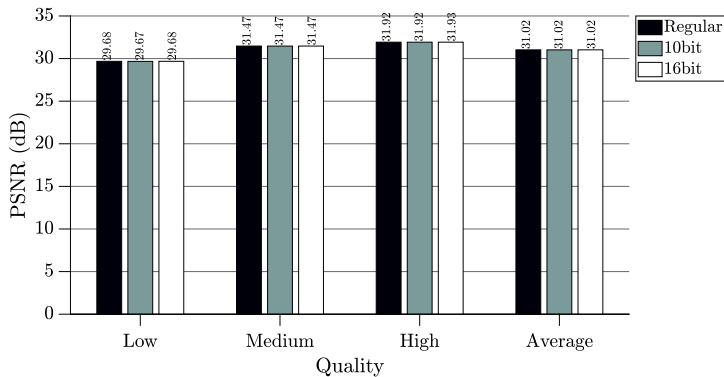
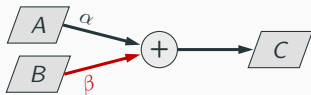


Figura 21: Comparação Distorção com Número de Bits usados no Cosseno

Arquiteturas Desenvolvidas

Software



$$C = (\alpha \cdot A + \beta \cdot B) \gg 8$$

Figura 22: Operação implementada nas transformadas inteiras

$$M_{original} = 728 B$$

$$M_{8bits} = 64 B \approx 0.2 \cdot M_{original}$$

$$\Delta_{10} = \frac{1 - 0}{2^{10}} \approx 0.98 \cdot 10^{-3}$$

$$\Delta_8 = \frac{1 - 0}{2^8} \approx 3.9 \cdot 10^{-3}$$

\Downarrow

$$MSE_8 = 16 \cdot MSE_{10}$$

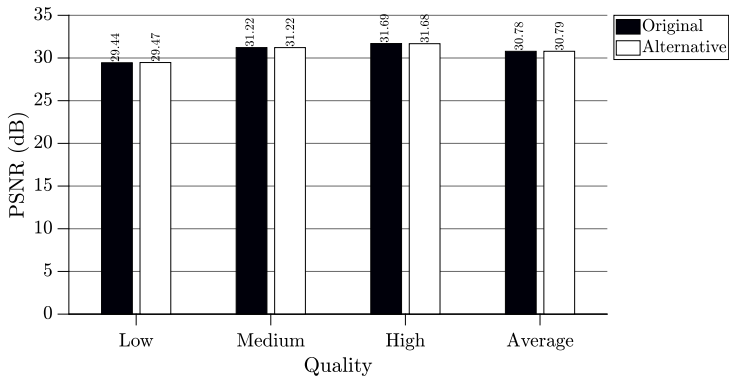


Figura 23: Comparação da distorção

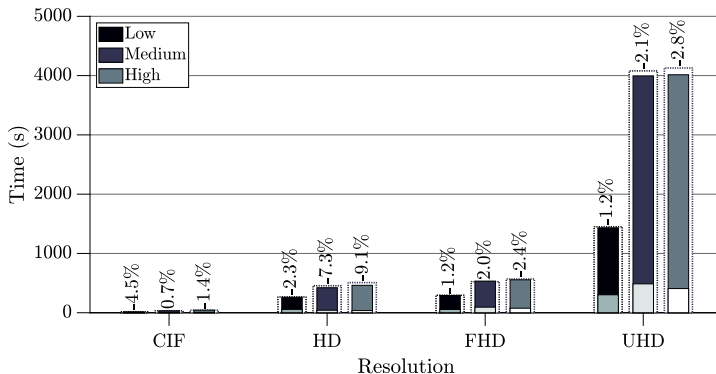


Figura 24: Tempo de Codificação

Arquiteturas Desenvolvidas

Hardware

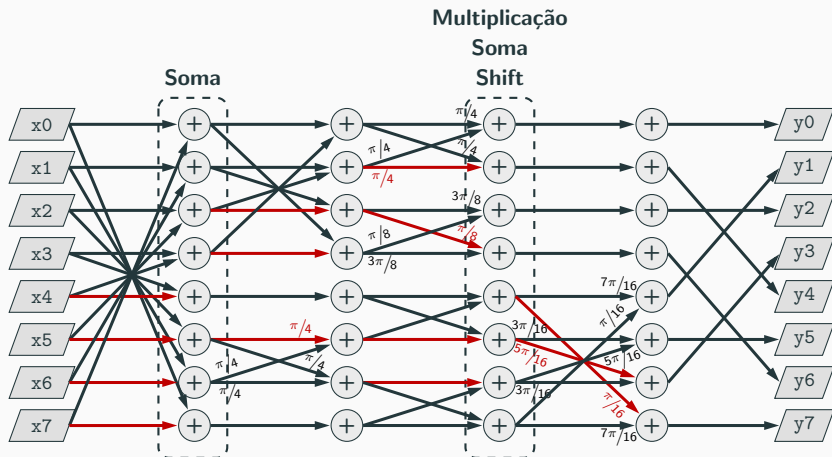


Figura 25: Estágios da DCT inteira

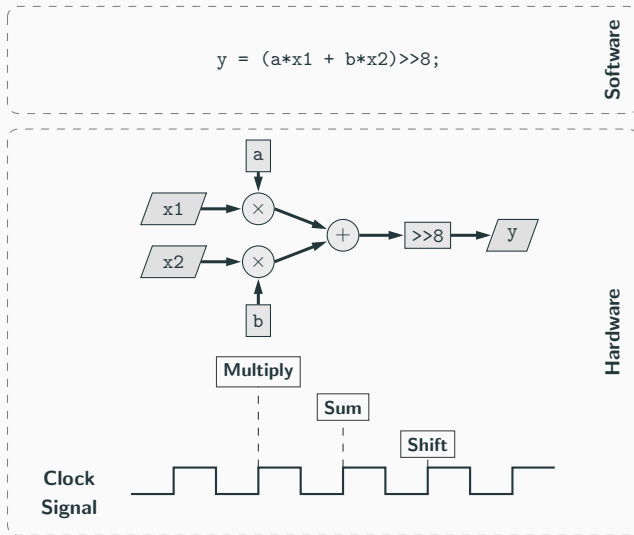


Figura 26: Deconstrução de operação em software

DCT4

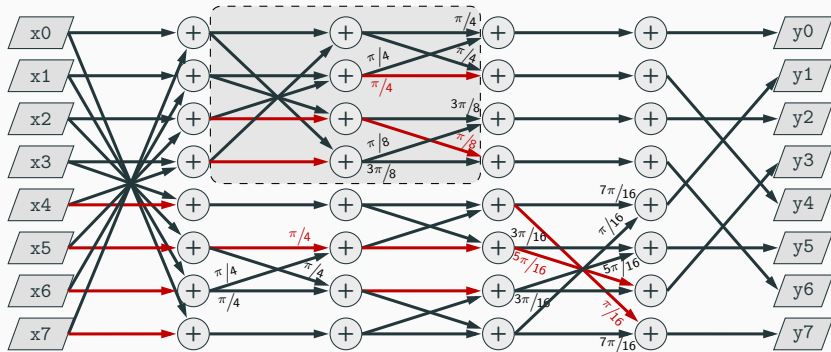


Figura 27: Inclusão de DCT4 na DCT8

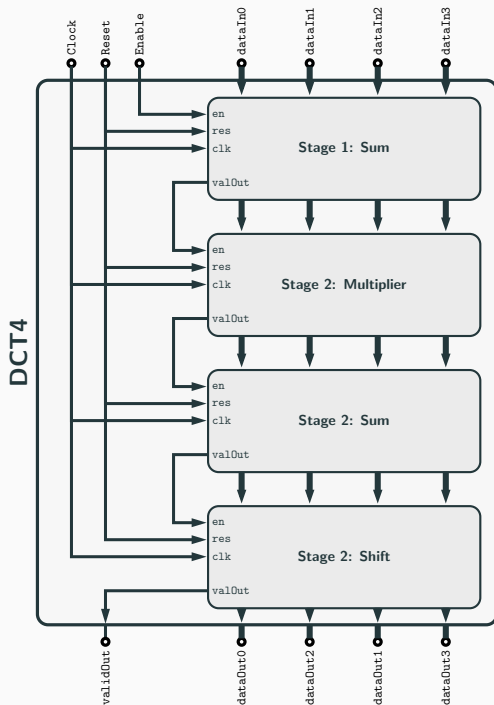
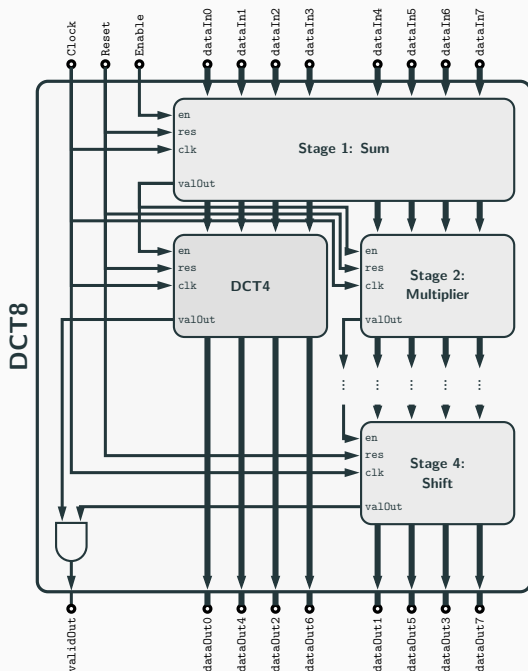


Figura 28:
Implementação
em hardware da
DCT4

Figura 29:
Implementação
em hardware da
DCT8



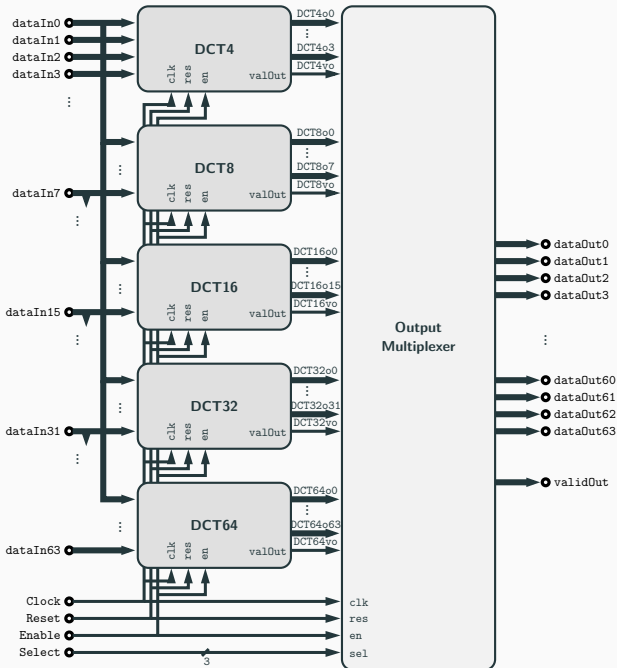


Figura 30:
Primeira
arquitetura
para o kernel
da DCT

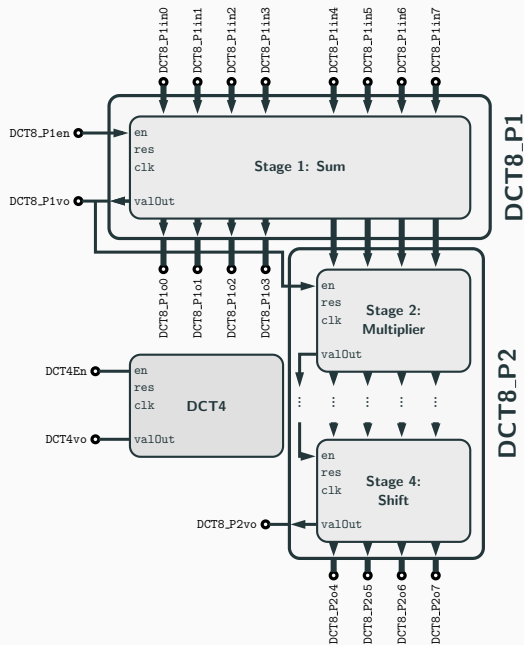
Tabela 2: Resultados de utilização lógica da primeira arquitetura em família Artix 7

DCT Size	Utilization	
	Slice LUTs	Slice Registers
4	1125	636
8	2428	2087
16	7103	5702
32	19148	14257
64	45996	34146
Wrapper	75805	58370

Tabela 3: Frequência de operação necessária para codificação em tempo real a 30 imagens por segundo

Resolution	Frequency (MHz)
1280 × 720	83
1920 × 1080	187
3840 × 2160	746
7680 × 4320	2986

Figura 31:
Deconstrução de
blocos da DCT



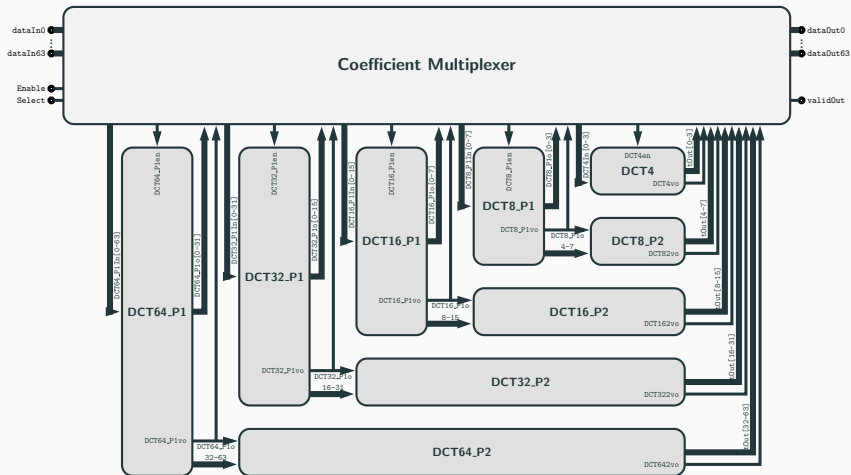


Figura 32: Segunda arquitetura para o kernel da DCT

Tabela 4: Resultados de utilização lógica da segunda arquitetura em família Artix 7

Block	Utilization	
	Slice LUTs	Slice Registers
DCT4	1077	507
DCT8_P1	709	257
DCT8_P2	1064	717
DCT16_P1	1285	513
DCT16_P2	3860	2150
DCT32_P1	3064	1025
DCT32_P2	9090	5624
DCT64_P1	6123	2049
DCT64_P2	22344	14000
Wrapper	50039	32352

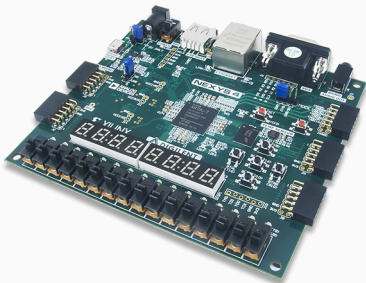


Figura 33:
Kit Nexys 4
da Digilent

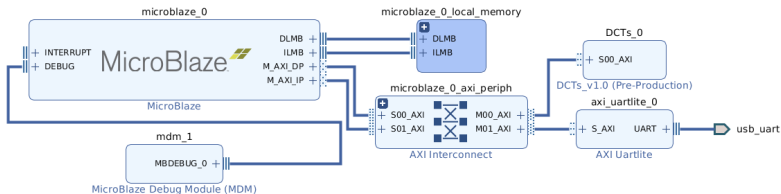


Figura 34: Diagrama de blocos implementado

$$f_{Max} = 101.9 \text{ MHz}$$

$$P = 50 \text{ mW}$$

Tabela 5: Frame rate máximo obtido na implementação com Nexys 4

Block Size	Resolution			
	1280 × 720	1920 × 1080	3840 × 2160	7680 × 4320
4 × 4	37	16	4	1
8 × 8	44	20	5	1
16 × 16	63	28	7	2
32 × 32	98	44	11	3
64 × 64	161	71	18	4

Conclusões e Trabalho Futuro



- ✓ Otimização do Software de referência
 - ✓ Construção de arquiteturas em hardware para o kernel da DCT
-
- Integração dos restantes kernels
 - Teste com *libaom* em FPGA
 - Síntese para ASIC

Obrigado!

Discussão

**Co-processor da Transformada para o
Codificador de Vídeo AV1**

Miguel Oliveira Inocêncio

Armando Pinho
Presidente de Mesa

Pedro Assunção
Arguente Principal

António Navarro
Orientador