

# Co-processador da Transformada para o Codificador de Vídeo AV1

Apresentação Final

---

Miguel Inocência

18/12/2019

Universidade de Aveiro  
Instituto de Telecomunicações

Introdução

Sistemas de Codificação de Vídeo

Transformadas em Codificação de Vídeo

Arquiteturas Desenvolvidas

Software

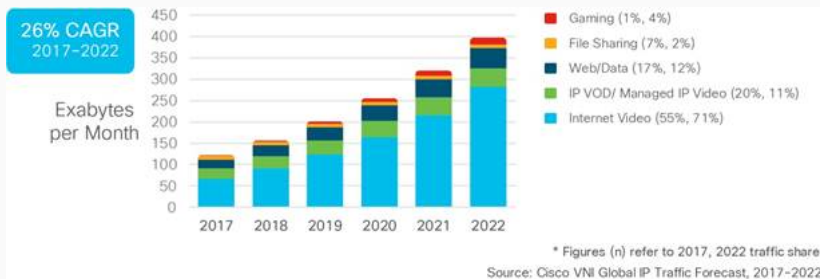
Hardware

Conclusões e Trabalho Futuro

# Introdução

---

# Consumo de Vídeo



**Figura 1:** Previsões da *Cisco* para evolução de tráfego IP

# Necessidade de Compressão de Vídeo



**Figura 2:** Exemplo de dados em vídeo HD

Remoção de informação de sequência de imagens,  
mantendo a capacidade de reprodução

# Evolução da Codificação de Vídeo



1940



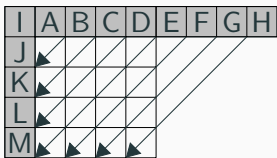
2018

# Sistemas de Codificação de Vídeo

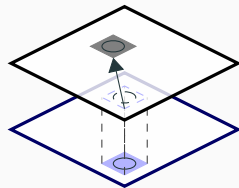
---



# Redundâncias



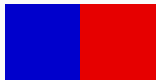
Espaciais



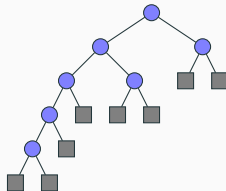
Temporais

Y

Cb/Cr

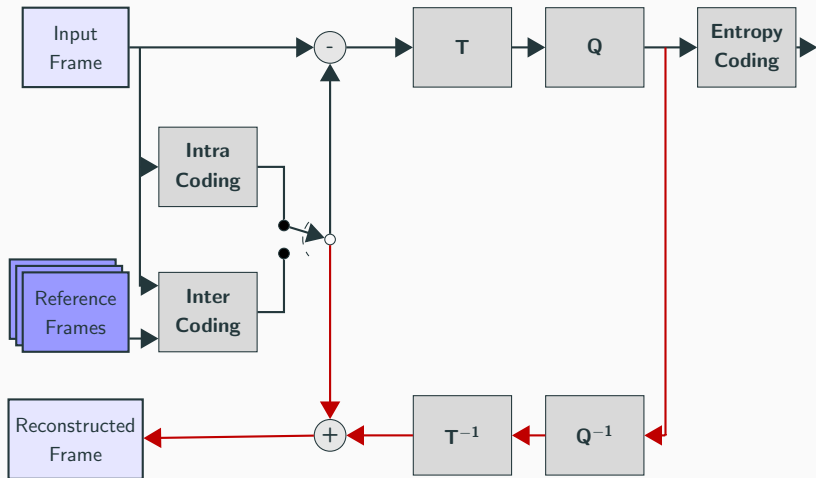


Psico-Visuais



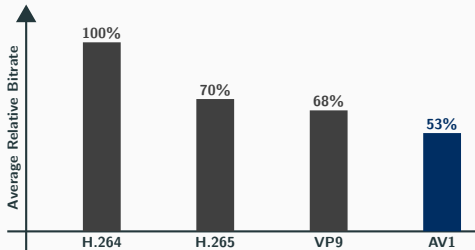
Código

# Modelo Básico do Codificador



**Figura 3:** Modelo Básico de codificador

# Performance do AV1



**Figura 4:** Poupanças de Bitrate relativas ao H.264

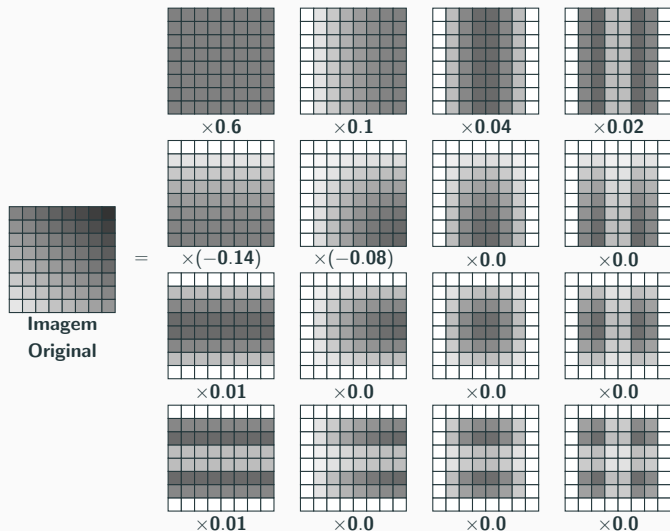
**Tabela 1:** Tempos de Codificação

Codec	Tempo de Codificação (s)	
	2018	2019
AV1	226 080	736
H.265		289
VP9		226
H.264		18

# Transformadas em Codificação de Vídeo

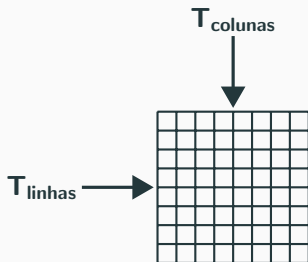
---

# Interpretação com Imagens Base



**Figura 5:** Exemplo de decomposição de bloco em imagens base

# Transformadas em Codificação de Vídeo



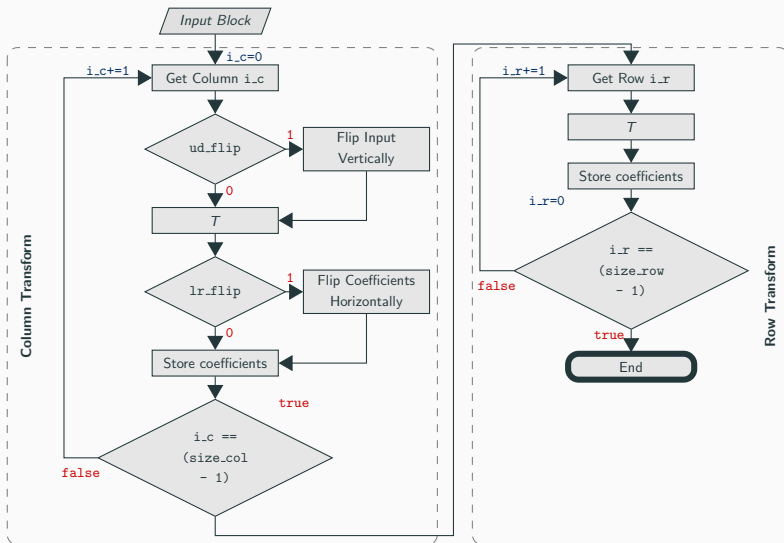
Discrete Cosine Transform  
(DCT)

Identity (IDTX)

Asymmetric Discrete Sine  
Transform (ADST)

*Flip* - Asymmetric Discrete  
Sine Transform (Flip-ADST)

# Transformada no AV1



**Figura 6:** Sequência de operações da Transformada no *libaom*



# Transformadas Inteiras

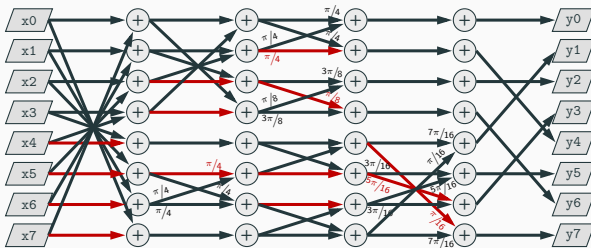


Figura 7: DCT

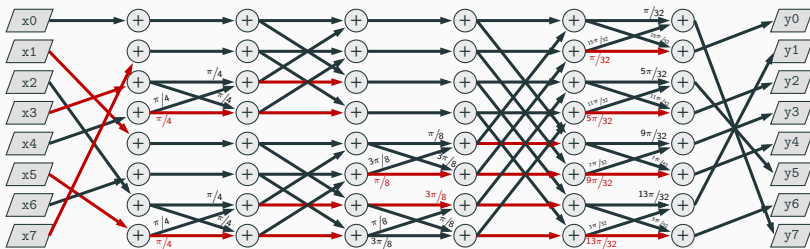
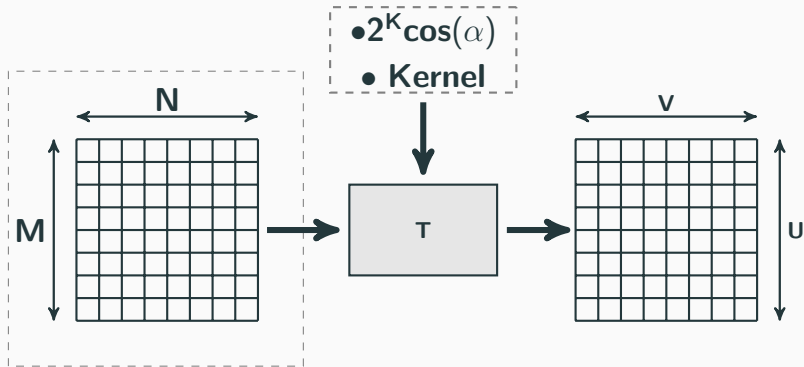
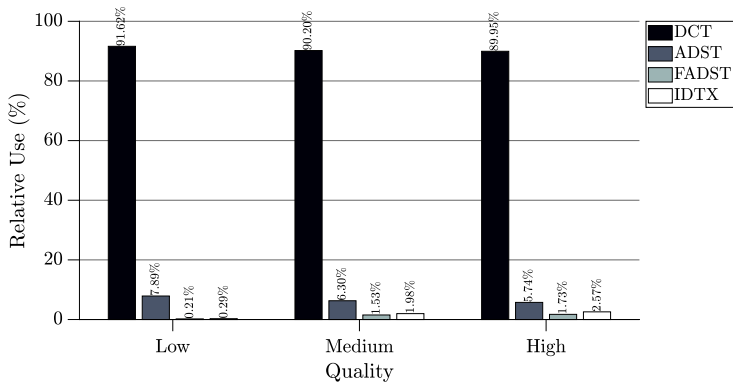


Figura 8: ADST

# Opções de Codificação

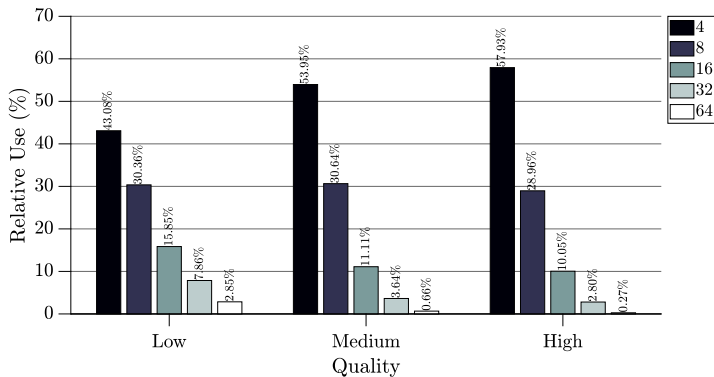


# Opções de Codificação - Resultados



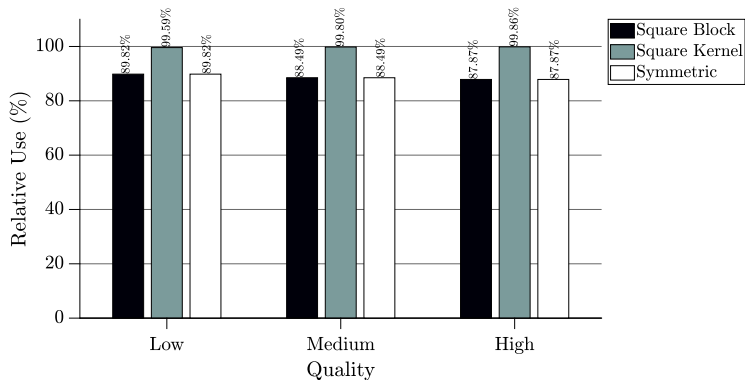
**Figura 9:** Kernel Utilizado

## Opções de Codificação - Resultados



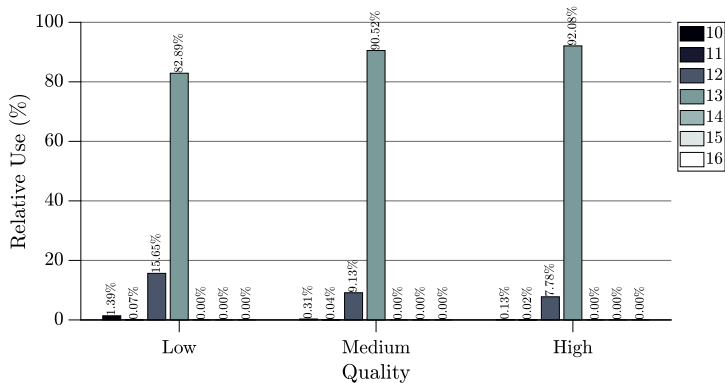
**Figura 10: Tamanho de Vetor**

# Opções de Codificação - Resultados



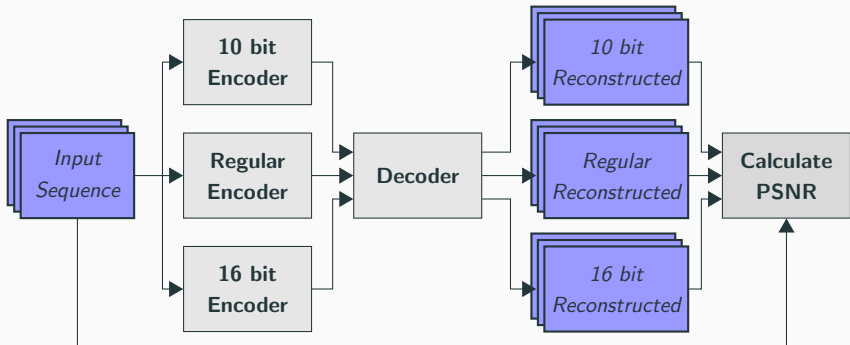
**Figura 11:** Kernel Simétrico

## Opções de Codificação - Resultados

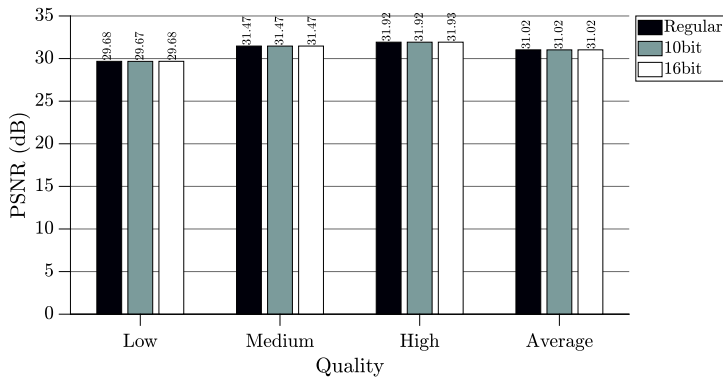


**Figura 12:** Número de Bits Utilizados nas Aproximações do Cosseno

## Nº de bits dos Cossenos vs Distorção - Teste



## Nº de bits dos Cossenos vs Distorção - Resultados



**Figura 13:** Comparação Distorção com Número de Bits usados no Cosseno

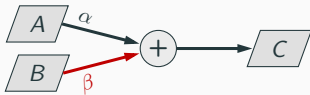


# Arquiteturas Desenvolvidas

---

Software

# Redução do Número de Bits



$$C = (\alpha \cdot A + \beta \cdot B) \gg 8$$

$$M_{original} = 728 B$$

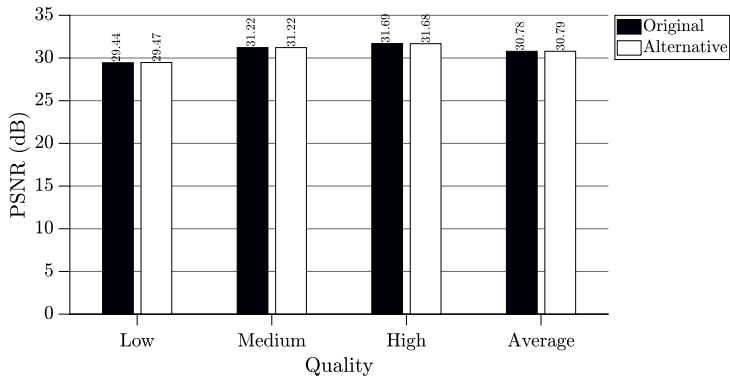
$$M_{8bits} = 64 B \approx 0.2 \cdot M_{original}$$

$$\Delta_{10} = \frac{1-0}{2^{10}} \approx 0.98 \cdot 10^{-3}$$

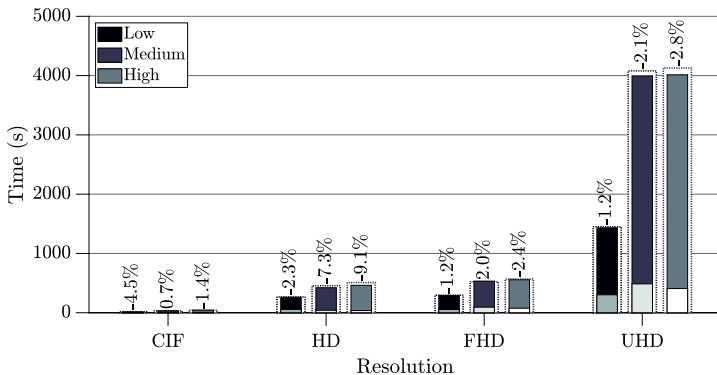
$$\Delta_8 = \frac{1-0}{2^8} \approx 3.9 \cdot 10^{-3}$$

$\Downarrow$

$$MSE_8 = 16 \cdot MSE_{10}$$



**Figura 14:** Comparação da distorção



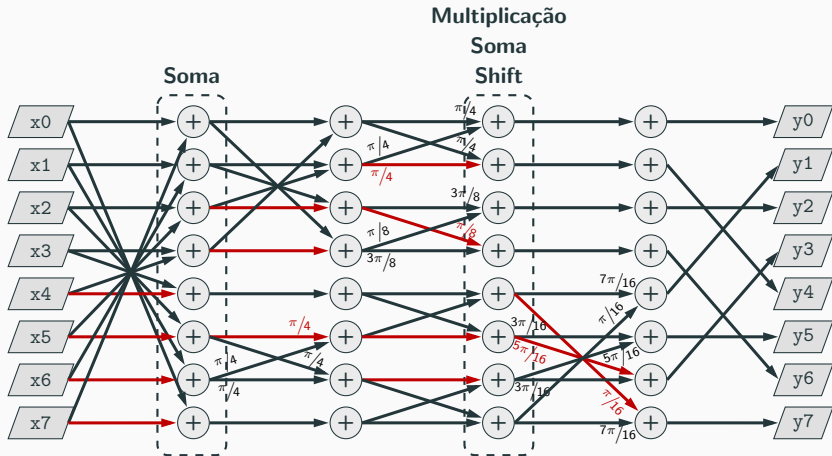
**Figura 15:** Tempo de Codificação

# Arquiteturas Desenvolvidas

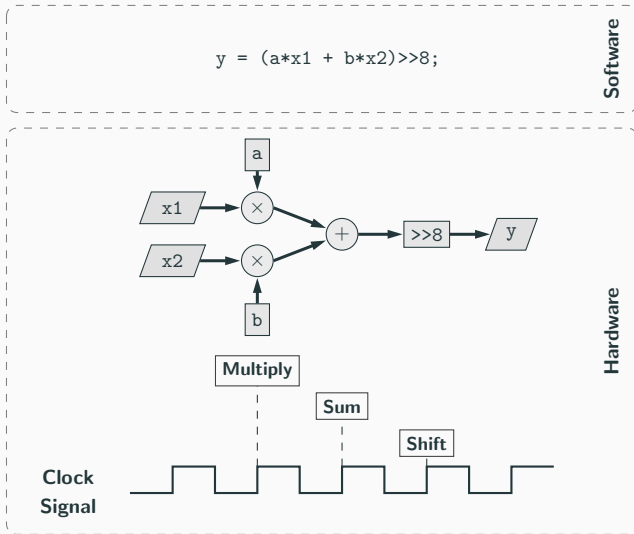
---

Hardware

# Princípios de desenvolvimento

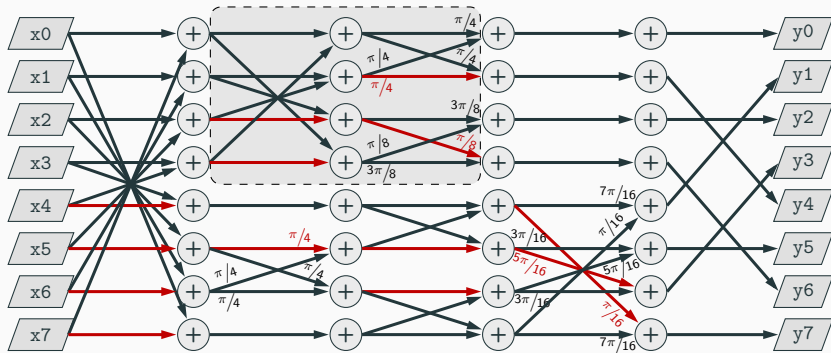


# Princípios de desenvolvimento



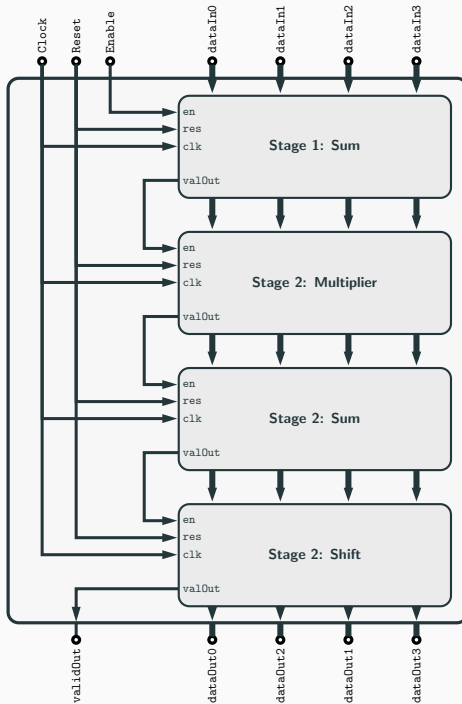
# Princípios de desenvolvimento

## DCT4

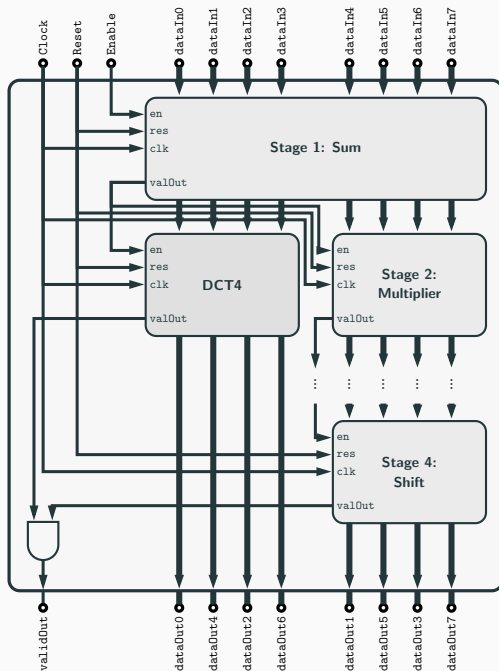


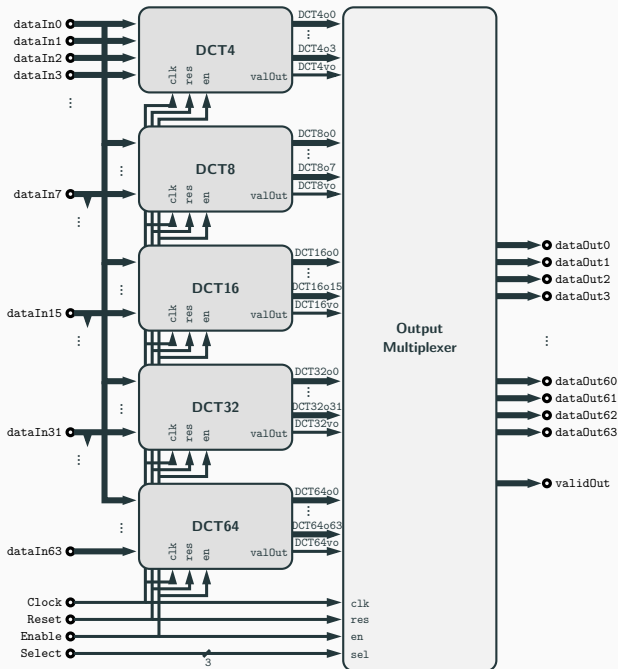


# DCT4



# DCT8





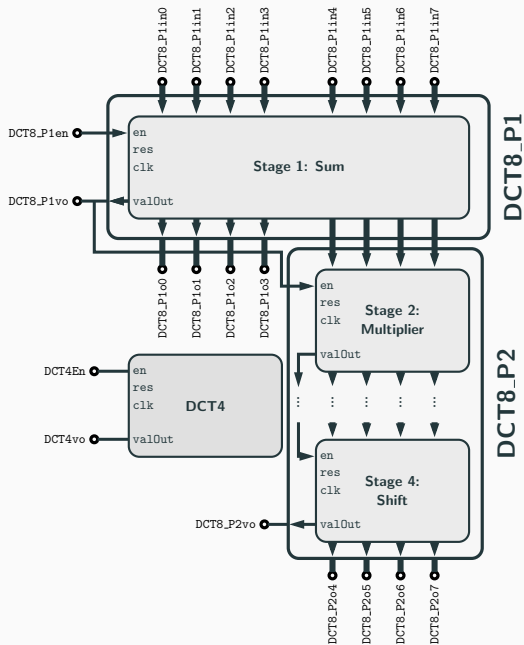
## Primeira arquitetura - Resultados

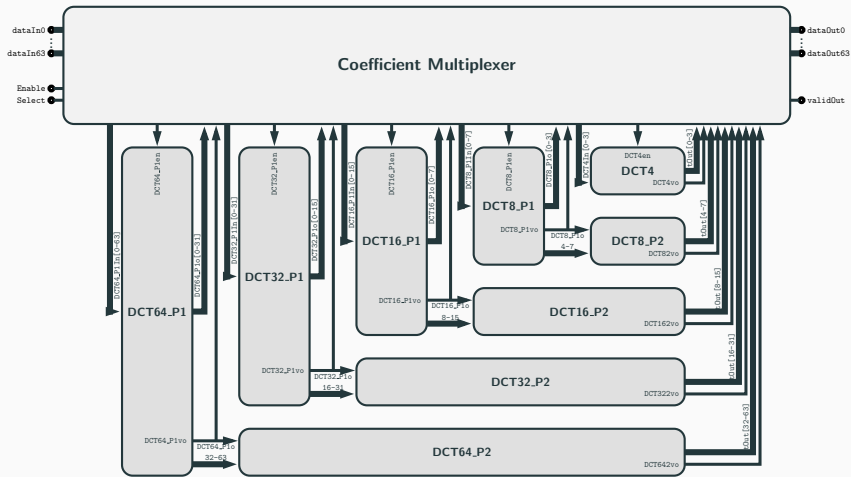
**Tabela 2:** Resultados de utilização lógica da primeira arquitetura em família Artix 7

<b>DCT Size</b>	<b>Utilization</b>	
	<b>Slice LUTs</b>	<b>Slice Registers</b>
<b>4</b>	1125	636
<b>8</b>	2428	2087
<b>16</b>	7103	5702
<b>32</b>	19148	14257
<b>64</b>	45996	34146
<b>Wrapper</b>	75805	58370

**Tabela 3:** Frequência de operação necessária para codificação em tempo real a 30 imagens por segundo

Resolution	Frequency (MHz)
<b>1280 × 720</b>	83
<b>1920 × 1080</b>	187
<b>3840 × 2160</b>	746
<b>7680 × 4320</b>	2986





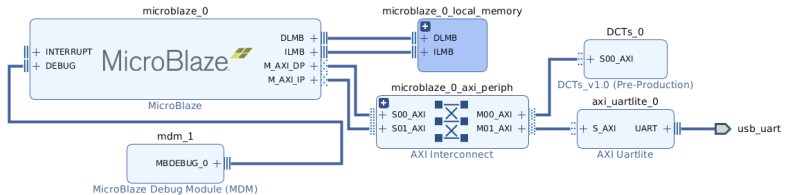
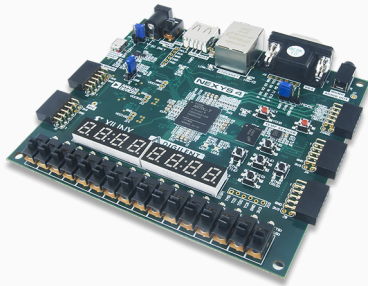
## Segunda arquitetura - Resultados

**Tabela 4:** Resultados de utilização lógica da segunda arquitetura em família Artix 7

Block	Utilization	
	Slice LUTs	Slice Registers
DCT4	1077	507
DCT8_P1	709	257
DCT8_P2	1064	717
DCT16_P1	1285	513
DCT16_P2	3860	2150
DCT32_P1	3064	1025
DCT32_P2	9090	5624
DCT64_P1	6123	2049
DCT64_P2	22344	14000
Wrapper	50039	32352



# Implementação Nexys 4



## Implementação Nexys 4 - Resultados

$$f_{Max} = 101.9 \text{ MHz}$$

$$P = 50 \text{ mW}$$

**Tabela 5:** Frame rate máximo obtido na implementação com Nexys 4

Block Size	Resolution			
	1280 × 720	1920 × 1080	3840 × 2160	7680 × 4320
4 × 4	37	16	4	1
8 × 8	44	20	5	1
16 × 16	63	28	7	2
32 × 32	98	44	11	3
64 × 64	161	71	18	4

## **Conclusões e Trabalho Futuro**

---

- ✓ Otimização do Software de referência
  - ✓ Construção de arquiteturas em hardware para o kernel da DCT
- 
- Integração dos restantes kernels
  - Teste com *libaom* em FPGA
  - Síntese para ASIC

**Obrigado!**

# Discussão

Co-processor da Transformada para o Codificador  
de Vídeo AV1

Miguel Oliveira Inocêncio

Armando Pinho  
**Presidente de Mesa**

Pedro Assunção  
**Arguente Principal**

António Navarro  
**Orientador**