

中国科学技术大学计算机学院
《数字电路实验报告》



实验题目：Verilog硬件描述语言
学生姓名：林宸昊
学生学号：PB20000034
完成日期：2021. 11.

计算机实验教学中心制
2020年09月

【实验题目】 Verilog硬件描述语言

【实验目的】

- 掌握Verilog HDL常用语法
- 能够熟练阅读并理解Verilog代码
- 能够设计较复杂的数字电路功能
- 能够将Verilog代码与实际硬件相对应

【实验环境】

- vlab.ustc.edu.cn
- verilog.ustc.edu.cn

【实验练习】

题目1

- 原题代码

```
module test(  
    input a,  
    output b);  
    if(a) b = 1'b0;  
    else b = 1'b1;  
endmodule
```

- 修改后

```
module test(  
    input a,  
    output b);  
    if(a) assign b = 1'b0;  
    else assign b = 1'b1;  
endmodule  
//或  
module test(  
    input a,  
    output b);  
    initial begin  
        if(a) b = 1'b0;  
        else b = 1'b1;  
    end  
endmodule
```

题目2

```
module test(  
    input [4:0] a,  
    output reg [4:0] b);  
    always @ (*)  
        b = a;  
endmodule
```

题目3

- a = 8'b0011_0011 = 51, b = 8'b1111_0000 = -16

```

c = 8'b0011_0000
d = 8'b1111_0011
e = 8'b1100_0011
f = 8'b1100_1100
g = 8'b0011_0000
h = 8'b0000_0110
i = 8'b0000_0001
j = 8'b0011_0011
k = 8'b0100_0011

```

题目4

- 原题代码

```

module sub_test(
    input a, b,
    output reg c);
    assign c = (a > b) ? a : b;
endmodule

module test(
    input a, b, c,
    output o);
    reg temp;
    sub_test(.a(a), .b(b), temp);
    sub_test(temp, c, .c(o));
endmodule

```

- 修改后

```

module sub_test(
    input a, b,
    output reg c);
    assign c = (a > b) ? a : b;
endmodule

module test(
    input a, b, c,
    output o);
    reg temp;
    sub_test(.a(a), .b(b), .c(temp)); //名称关联
    sub_test(temp, c, o); //位置关联
endmodule

```

题目5

- 原题代码

```
module sub_test(  
    input a, b,);  
    output o; //所有输入输出端口都应在module中声明  
    assign o = a + b;  
endmodule  
  
module test(  
    input a, b,  
    output c);  
    always @ (*)  
        begin  
            sub_test sub_test(a, b, c); //模块调用会生成电路而并不只是简单的调用  
                                         //因此不能在always语句块中使用  
        end  
endmodule
```

- 修改后

```
module sub_test(  
    input a, b,  
    output o);  
    assign o = a + b; //或者在模块内加入always语句  
endmodule  
  
module test(  
    input a, b,  
    output c);  
    sub_test sub_test(a, b, c);  
endmodule
```

【总结与思考】

- 实验收获
 - 掌握了Verilog基本语法，能够较熟练地进行模块的实例化和调用并且能够发现一些常见bug；
 - 能够将verilog代码与实际硬件相联系，比如模块的调用在实际中代表什么；
 - 掌握了一些基本运算符的操作以及一些基本赋值操作。
- 实验难易及任务量
 - 易；
 - 任务量很轻——相对第三次而言也可以算是互补，不如把二者合起来算两周的实验。
- 实验建议
 - 五道题分别考察赋值、I/O、运算符操作、位置关联和名称关联、模块调用。虽说各不相同，但是verilog语法这方面的知识点还是蛮多的，也许可以稍稍加大题量以弥补较低的任务量；
 - 以及语法中的难点：wire、reg的赋值，always语句中敏感变量的使用等等可以多使用一些题目来考察。

