

中国科学技术大学计算机学院
《数字电路实验报告》



实验题目：使用vivado进行仿真
学生姓名：林宸昊
学生学号：PB20000034
完成日期：2021.11.11

计算机实验教学中心制

2020年09月

【实验题目】使用vivado进行仿真

【实验目的】

- 熟悉vivado软件的下载，安装及使用
- 学习使用verilog编写仿真文件
- 学习使用verilog进行仿真，查看并分析波形文件

【实验环境】

- PC一台
- vlab.ustc.edu.cn
- vivado工具

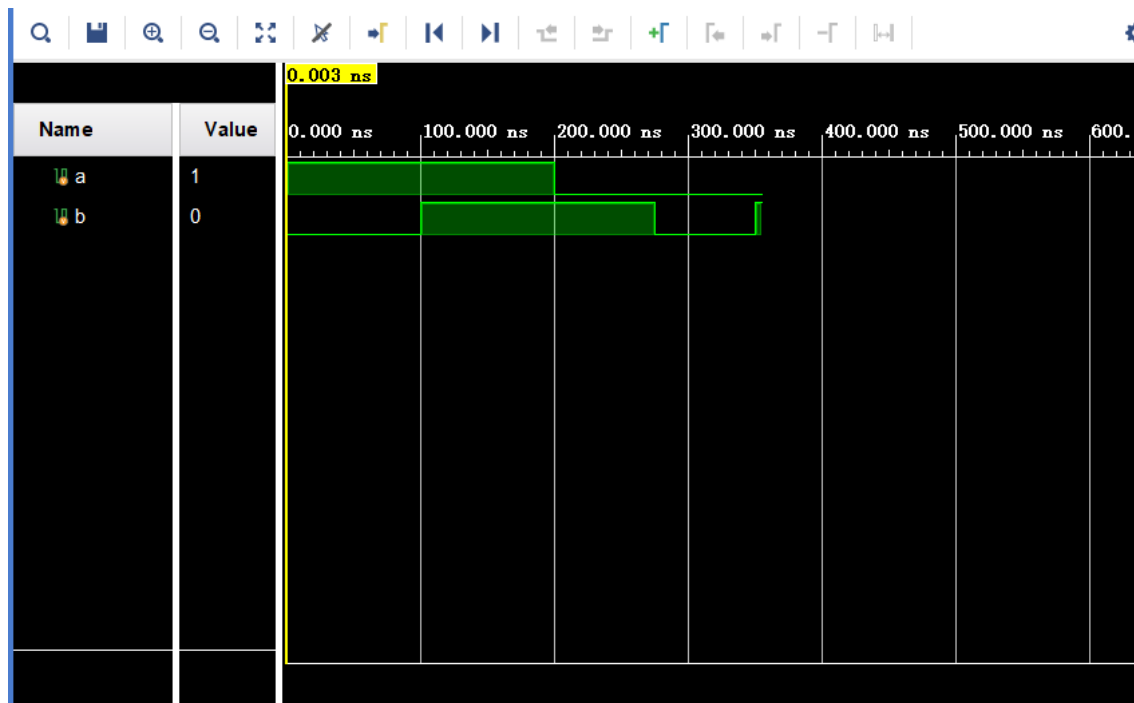
【实验练习】

题目1

- 仿真文件

```
`timescale 1ns / 1ps
module exp1();
    reg a;
    reg b;
    initial
        begin
            a = 1;
            b = 0;
            #100 b = 1;
            #100 a = 0;
            #75 b = 0;
            #75 b = 1;
            #5 $finish;
        end
endmodule
```

- 仿真波形



题目2

- 仿真文件

```
`timescale 1ns / 1ps
module exp2();
    reg clk, rst_n, d;
```

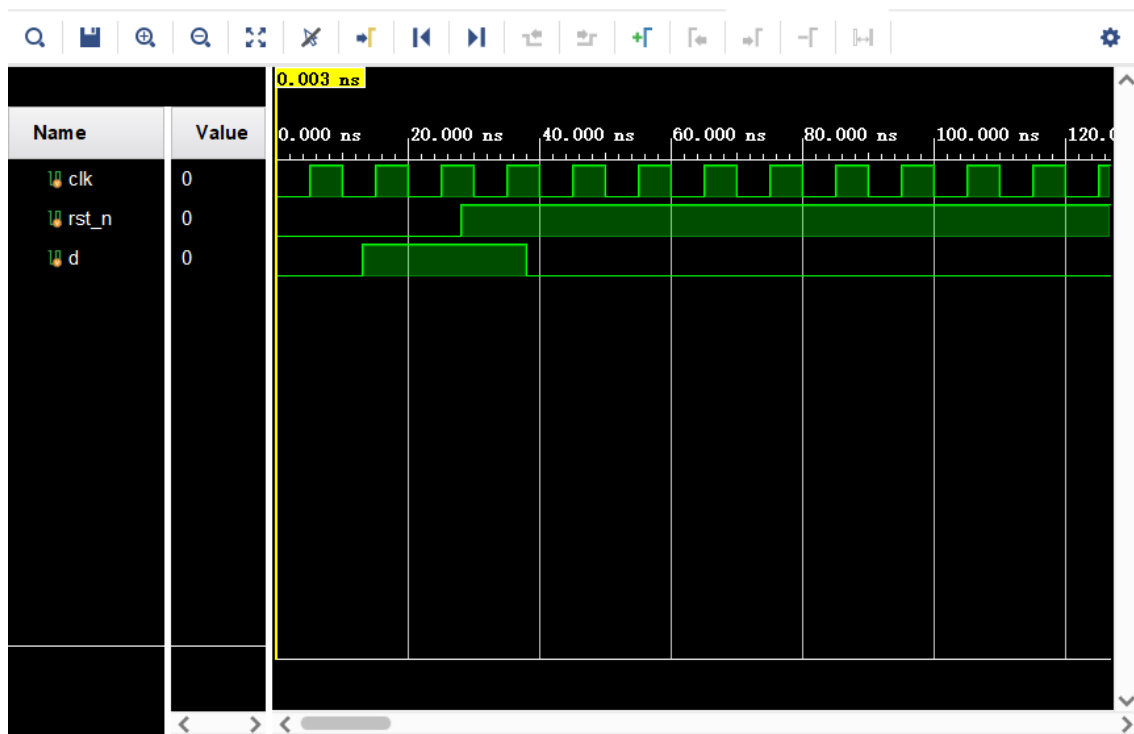
```

initial //输入信号初始化
begin
    clk = 0;
    rst_n = 0;
    d = 0;
end
always #5 clk = ~clk; //通过定时翻转将clk作为时钟信号输入

initial //输入信号的后续变化
begin
    #13 d = 1;
    #15 rst_n = 1;
    #10 d = 0;
    #10 $finish;
end
endmodule

```

- 仿真波形



题目3

- 仿真文件

```

`timescale 1ns / 1ps
module exp2();
    reg clk, rst_n, d;
    wire o;
    d_ff_r d_ff_r(clk, rst_n, d, o); //调用模块
    initial //输入信号初始化
    begin
        clk = 0;
        rst_n = 0;
        d = 0;
    end
    always #5 clk = ~clk; //通过定时翻转将clk作为时钟信号输入

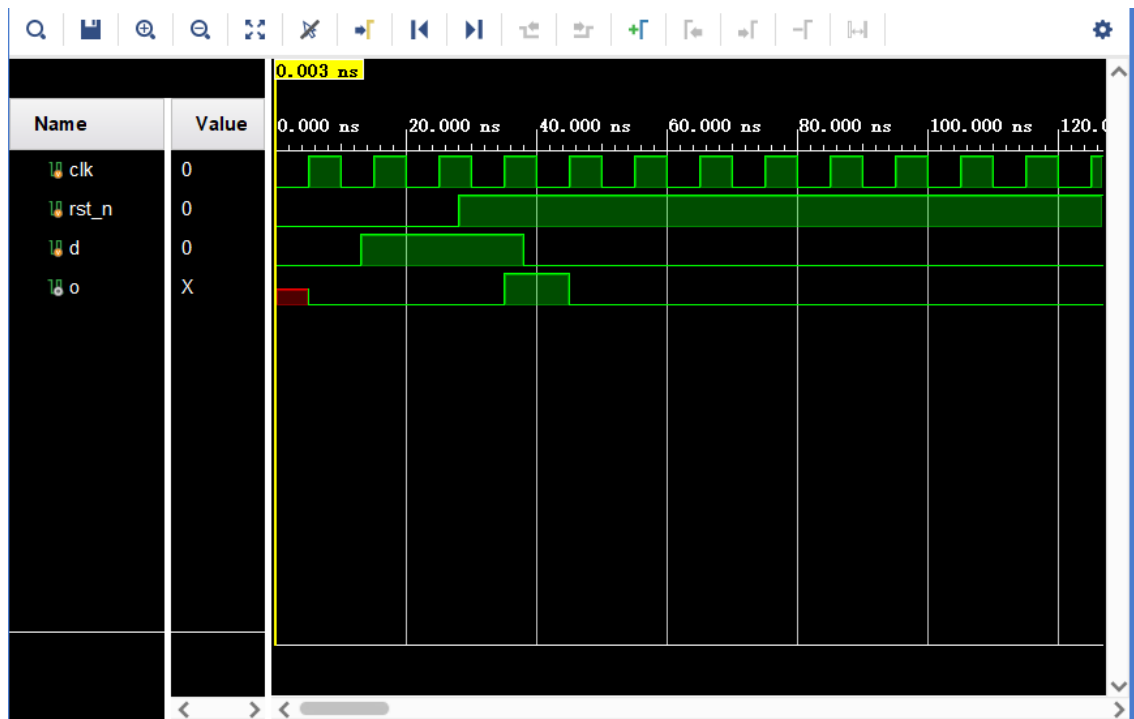
```

```

initial //输入信号的后续变化
begin
    #13 d = 1;
    #15 rst_n = 1;
    #10 d = 0;
    #10 $finish;
end
endmodule

```

- 仿真波形



若直接使用题目2中的信号则在初始状态输出o会因为无上升沿而处于未知状态x。

题目4

- 设计文件

```

module three_to_eight(
    input [2:0] a,
    output reg [7:0] y);
always @ (*)
begin
    case(a)
        3'b000:
            begin
                y = 8'b0000_0001;
            end
        3'b001:
            begin
                y = 8'b0000_0010;
            end
        3'b010:
            begin
                y = 8'b0000_0100;
            end
    endcase
end

```

```

        end
    3'b011:
        begin
            y = 8'b0000_1000;
        end
    3'b100:
        begin
            y = 8'b0001_0000;
        end
    3'b101:
        begin
            y = 8'b0010_0000;
        end
    3'b110:
        begin
            y = 8'b0100_0000;
        end
    3'b111:
        begin
            y = 8'b1000_0000;
        end
    default:
        begin
            y = 8'b0000_0000;
        end
    endcase
end
endmodule

```

- 仿真文件

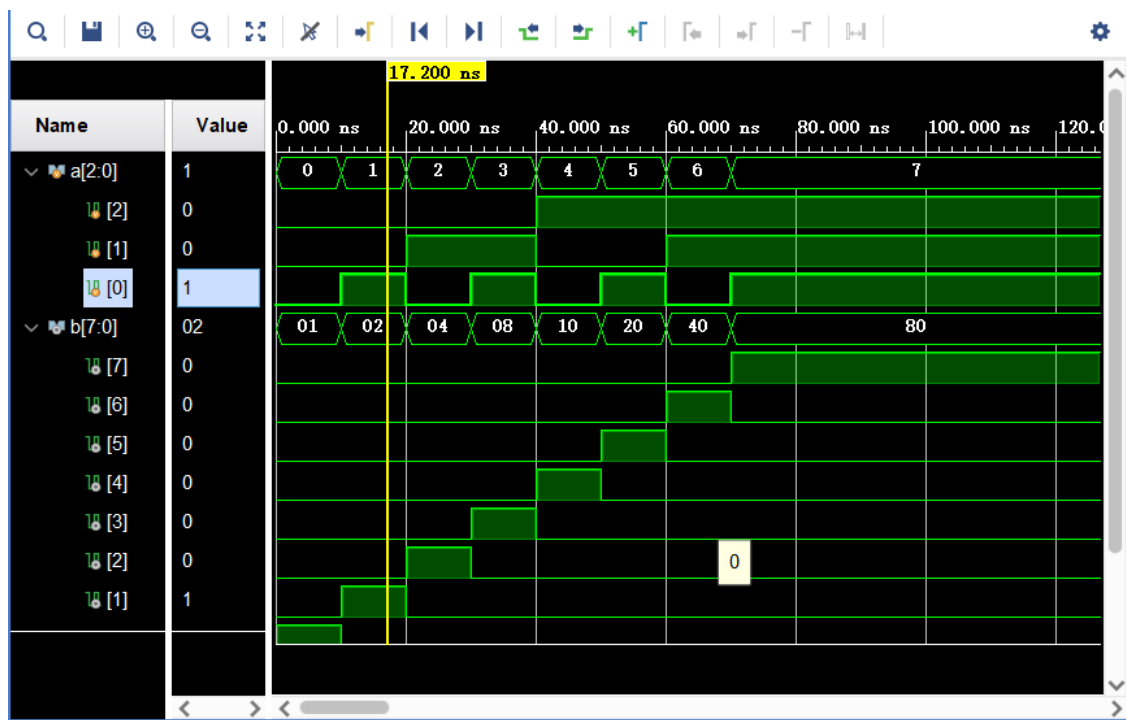
```

`timescale 1ns / 1ps
module expe4( );
    reg [2:0] a;
    wire [7:0] b;
    integer i; //用于得到0-7的输入样例
    three_to_eight test(a,b);
    initial
        begin
            for(i=0;i<8;i=i+1)
                begin
                    a = i;
                    #10;
                end
        end
endmodule

```

- 仿真波形

-



【总结与思考】

- 实验收获
 - 学会编写设计文件与仿真文件以及使用vivado对电路进行仿真；
 - 学会了一些verilog仿真文件常用语法，如“#n”代表n个实延迟单位的延迟。“\$finish”可以实现对仿真的结束等等；
 - 能够自定义输入信号以对自己设计的电路正确性进行检验。
- 实验难易以及任务量
 - 易。就本次实验而言主要是熟悉vivado仿真的使用方法以及一些仿真文件的使用方法，所以本身也就不涉及较高难度的任务；
 - 任务量较小。同上次实验，本次实验需要熟悉的知识点还是稍多且细，可以多设计一些低难度的题目来帮助巩固或者熟悉。