

COD HW6

1.

1.	WORD ADDR	BIN ADDR	INDEX	TAG	H/M
	0x03	0000 0011	0011	0000	M
	0xb4	1011 0100	0100	1011	M
	0x2b	0010 1011	1011	0010	M
	0x02	0000 0010	0010	0000	M
	0xbf	1011 1111	1111	1011	M
	0x58	0101 1000	1000	0101	M
	0xbe	1011 1110	1110	1011	M
	0x0e	0000 1110	1110	0000	M
	0xb5	1011 0101	0101	1011	M
	0x2c	0010 1100	1100	0010	M
	0xba	1011 1010	1010	1011	M
	0xfd	1111 1101	1101	1111	M

2.	WORD ADDR	BIN ADDR	INDEX	TAG	H/M
	0x03	0000 0011	001	0000	M
	0xb4	1011 0100	010	1011	M
	0x2b	0010 1011	101	0010	M
	0x02	0000 0010	001	0000	H
	0xbf	1011 1111	111	1011	M
	0x58	0101 1000	100	0101	M
	0xbe	1011 1110	111	1011	H
	0x0e	0000 1110	111	0000	M
	0xb5	1011 0101	010	1011	H
	0x2c	0010 1100	110	0010	M
	0xba	1011 1010	101	1011	M
	0xfd	1111 1101	110	1111	M

2.

- 首先每条指令都有可能造成指令cache失效，每次失效生成一个块请求，而每个块64bytes，故该部分需要读带宽： $0.5 * 0.003 * 64 = 0.096$
 - 其次25%的读指令有可能造成数据cache失效，每次同样生成一个块请求，故该部分需要读带宽： $0.5 * 0.02 * 0.25 * 64 = 0.16$
 - 其次10%的写指令首先由于写直达策略需要产生向内存的写操作，需要写带宽： $0.5 * 0.1 * 4 = 0.2$ ；而这些写指令如果发生miss，由于写分配策略，同样需要向RAM发出读请求，即需要读带宽： $0.5 * 0.1 * 0.02 * 64 = 0.064$
 - 最终，需要读带宽期望： $0.096 + 0.16 + 0.064 = 0.32\text{bytes/cycle}$
 - 需要写带宽期望： 0.2bytes/cycle
- 写返回策略只更新cache中对应数据块的数值，只有当该块被替换（可认为是发生cachemiss）时，才会将更新后的写入下一级存储。这也就意味着，不论是写还是读产生的miss都会进行此操作，即此时的写需求带宽为： $0.5 * (0.25 + 0.1) * 0.02 * 0.3 * 64 = 0.0672\text{bytes/cycle}$ 。写带宽不变。

3.

$$h = 2000 / (2000 + 50) = 97.56\%$$
$$t = h * 50 + (1 - h) * 200 = 53.66\text{ns}$$

4.

- 2GHz情况下，每个周期0.5ns，即一次主存访问需要200个周期。

- 仅有L1

$$1.5 + 0.07 * 200 = 15.5$$

- 使用L2直接映射

$$1.5 + 0.07 * (12 + 0.035 * 200) = 2.83$$

- 使用L2八路组相连

$$1.5 + 0.07 * (28 + 0.015 * 200) = 3.67$$

- $1.5 + 0.07 * (12 + 0.035 * (50 + 0.013 * 100)) = 2.47$

- 假定L2不发生失效，此时CPI为

$$1.5 + 0.07 * 50 = 5.0 > 2.83$$

即使失效率为0也无法满足CPI达到与第一问中直接映射匹配的性能，即容量多大都不再可能。