

中国科学技术大学计算机学院
《数字电路实验报告》



实验题目：FPGA原理及Vivado综合
学生姓名：林宸昊
学生学号：PB20000034
完成日期：2021.11.18

计算机实验教学中心制

2020年09月

【实验题目】FPGA原理及Vivado综合

【实验目的】

- 了解FPGA工作原理
- 了解verilog文件和约束文件在verilog开发中的作用
- 学会使用vivado进行FPGA开发的完整流程

【实验环境】

- FPGAOI实验平台: fpgaol.ustc.edu.cn
- Logisim
- Vivado

【实验练习】

• 题目1

◦ 代码分析

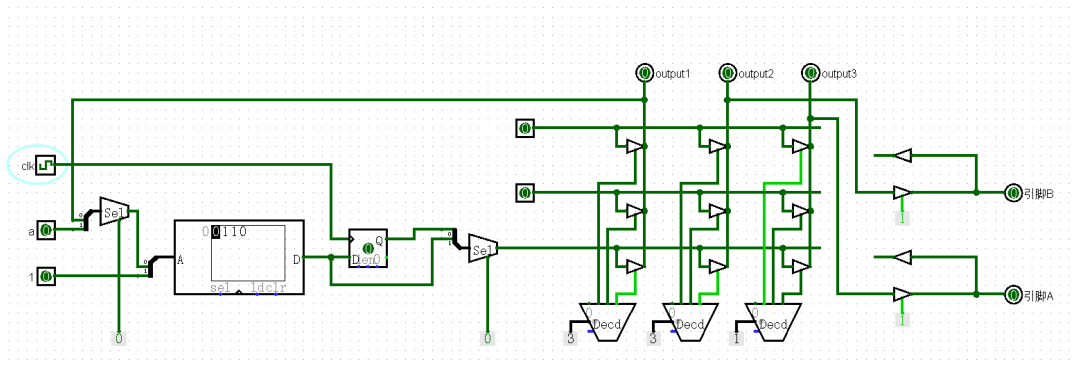
$a \leftarrow a \wedge 1'b1$, 即1与a进行异或运算, 可以得到四种输入组合与对应的输出:

11->0 10->1

由此可以设计LUT。除此之外, 我们发现 $a \wedge 1'b1$ 输出的同时又作为输入, 即需要反馈。

综合这些细节可以画出电路图。

◦ 电路截图



◦ 配置数据

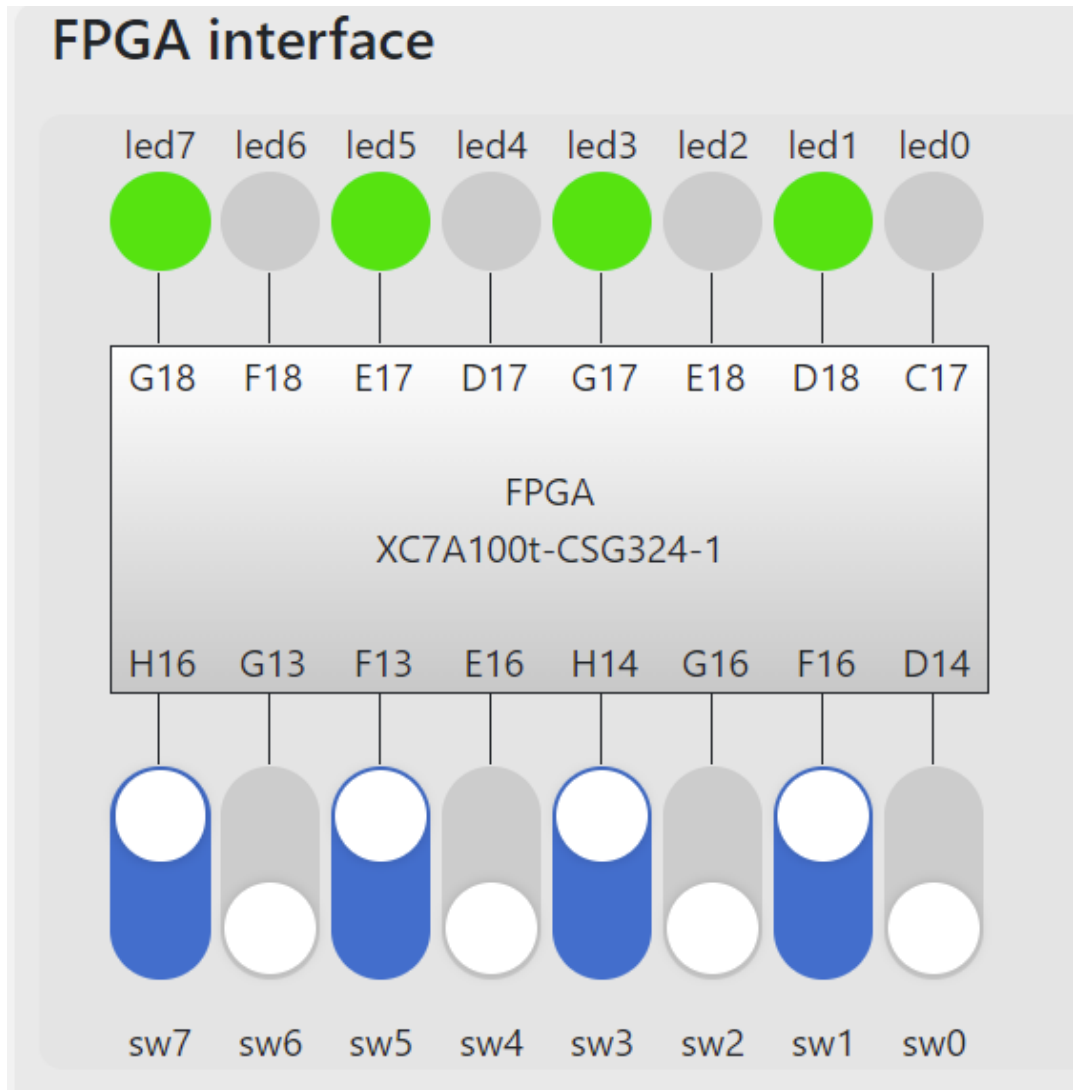
- 第一个选择器选通反馈的输入, 置0;
- LUT置为0110对应异或功能;
- 第二个选择器选通D触发器以实现时序电路, 置0;
- 三个译码器分别置11、11、x, 其一作为反馈, 其一作为输出, 输出到引脚B。

• 题目2

◦ 约束文件 (修改后)

```
6  ## Clock signal
7  set_property -dict { PACKAGE_PIN E3 IOSTANDARD LVCMOS33 } [get_ports { clk }]; #IO_L12P_T1_MRCC_35 Sch=clk100mhz
8  #create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports { CLK100MHZ }];
9  set_property -dict { PACKAGE_PIN B18 IOSTANDARD LVCMOS33 } [get_ports { rst }];
10
11 ## FPGAOL LED (single-digit-SEGPLAY)
12
13 set_property -dict { PACKAGE_PIN C17 IOSTANDARD LVCMOS33 } [get_ports { led[0] }];
14 set_property -dict { PACKAGE_PIN D18 IOSTANDARD LVCMOS33 } [get_ports { led[1] }];
15 set_property -dict { PACKAGE_PIN E18 IOSTANDARD LVCMOS33 } [get_ports { led[2] }];
16 set_property -dict { PACKAGE_PIN G17 IOSTANDARD LVCMOS33 } [get_ports { led[3] }];
17 set_property -dict { PACKAGE_PIN D17 IOSTANDARD LVCMOS33 } [get_ports { led[4] }];
18 set_property -dict { PACKAGE_PIN E17 IOSTANDARD LVCMOS33 } [get_ports { led[5] }];
19 set_property -dict { PACKAGE_PIN F18 IOSTANDARD LVCMOS33 } [get_ports { led[6] }];
20 set_property -dict { PACKAGE_PIN G18 IOSTANDARD LVCMOS33 } [get_ports { led[7] }];
21
22
23 ## FPGAOL SWITCH
24
25 set_property -dict { PACKAGE_PIN D14 IOSTANDARD LVCMOS33 } [get_ports { sw[7] }];
26 set_property -dict { PACKAGE_PIN F16 IOSTANDARD LVCMOS33 } [get_ports { sw[6] }];
27 set_property -dict { PACKAGE_PIN G16 IOSTANDARD LVCMOS33 } [get_ports { sw[5] }];
28 set_property -dict { PACKAGE_PIN H14 IOSTANDARD LVCMOS33 } [get_ports { sw[4] }];
29 set_property -dict { PACKAGE_PIN E16 IOSTANDARD LVCMOS33 } [get_ports { sw[3] }];
30 set_property -dict { PACKAGE_PIN F13 IOSTANDARD LVCMOS33 } [get_ports { sw[2] }];
31 set_property -dict { PACKAGE_PIN G13 IOSTANDARD LVCMOS33 } [get_ports { sw[1] }];
32 set_property -dict { PACKAGE_PIN H16 IOSTANDARD LVCMOS33 } [get_ports { sw[0] }];
33
```

- 实现截图



- 题目3
 - 设计文件(30位)

```
module counter_30bits(
    input clk,
    input rst,
    input [7:0] sw,
    output reg [7:0] led);
    integer i; //用于控制循环
    reg [29:0] count; //用于计数
    always @ (posedge clk or posedge rst)
    begin
        if(rst)
            count <= 0;
        else if(count == 30'h3FFFFFFF)
            count <= 0;
        else
            count <= count + 1;
    end

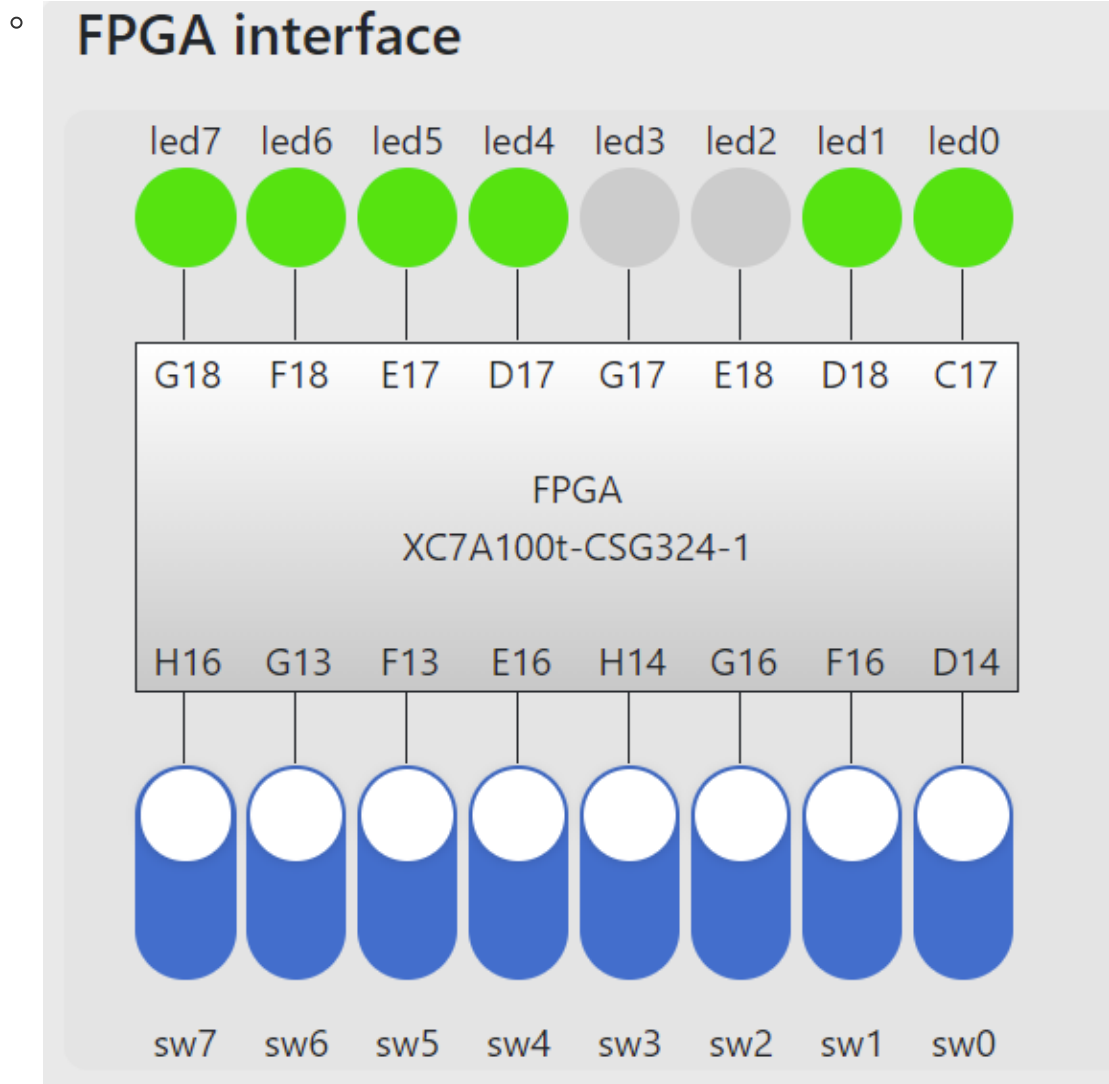
    always @ (posedge clk or posedge rst)
    begin
        if(rst)
            led <= 0;
        else
```

```

        for(i = 22; i <= 29; i = i + 1)
            if(count[i] == 1)
                led[i - 22] <= sw[i - 22]; //若为1灯亮
            else
                led[i - 22] <= 0;
        end
    endmodule

```

◦ 运行截图



◦ 设计文件 (32位)

```

module counter_32bits(
    input clk,
    input rst,
    input [7:0] sw,
    output reg [7:0] led);
    integer i; //用于控制循环
    reg [31:0] count; //用于计数
    always @ (posedge clk or posedge rst)
        begin
            if(rst)
                count <= 0;
            else if(count == 32'hFFFFFFFF)
                count <= 0;
            else
                count <= count + 1;
        end
endmodule

```

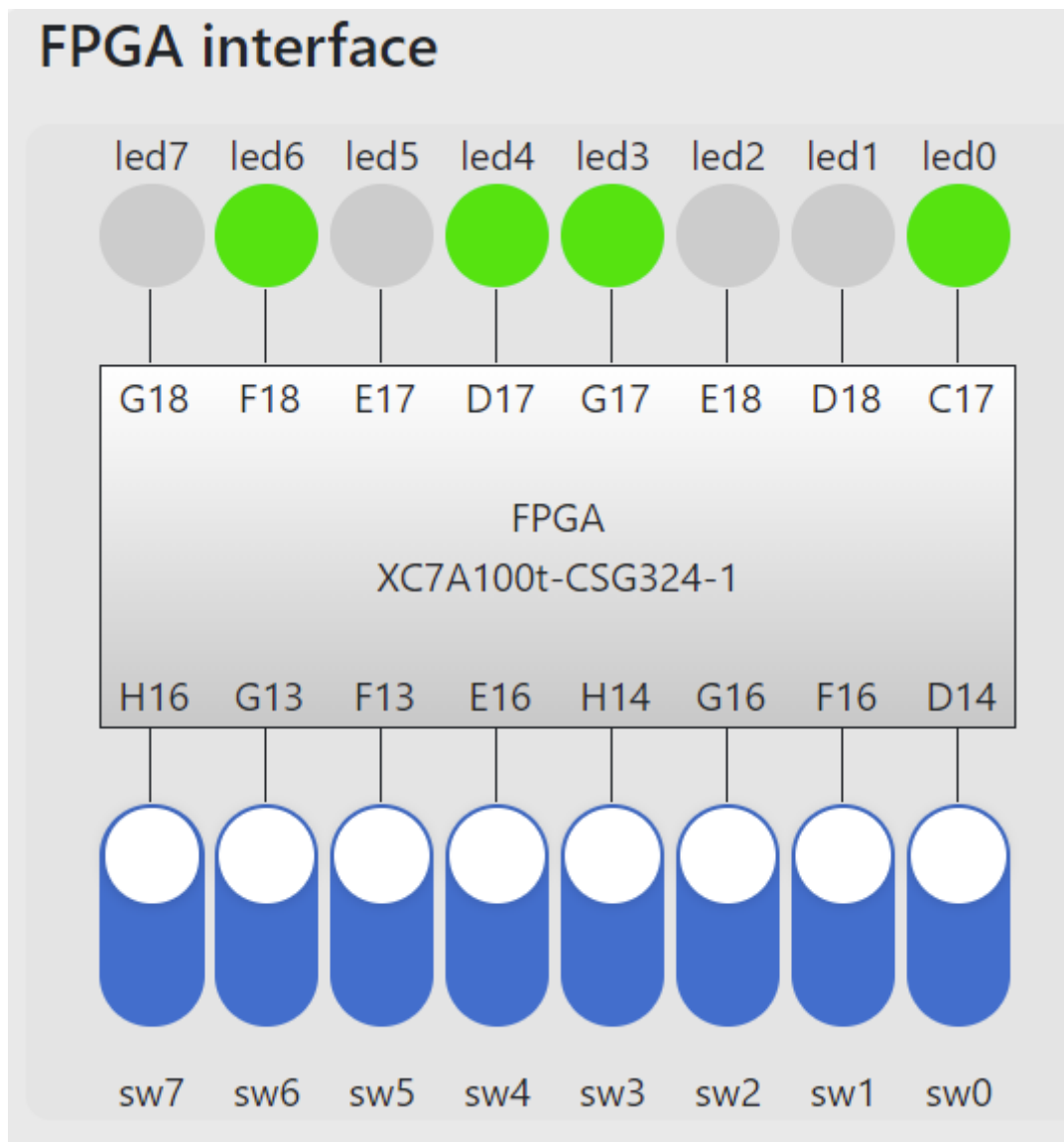
```

end

always @ (posedge clk or posedge rst)
begin
    if(rst)
        led <= 0;
    else
        for(i = 24; i <= 31; i = i + 1)
            if(count[i] == 1)
                led[i - 24] <= sw[i - 24]; //若为1灯亮
            else
                led[i - 24] <= 0;
        end
    end
endmodule

```

运行截图



结果分析

30位计数器与32位计数器所能承载的技术周期相差几个数量级，则若需使led灯表现两者的高八位，显然后者的变化要比前者慢得多——因为需要更多的时钟周期才能使高八位发生变化。

时钟信号的作用

每一个时钟信号上升沿会改变内置计数器count的值，即改变目前所计数——未达最大则自增1，达到最大则归零；同时每一个时钟上升沿将改变led的值，以伴随count决定哪些灯亮，哪些灯灭。

【总结与思考】

- 实验收获
 - 学会使用vivado编写约束文件，并生成bit文件在fpga平台上烧制电路通过led灯管表现出来；
 - 了解可编程逻辑单元的简单电路实现，同时能够按照需求使用交叉互联矩阵和控制模块IOB联合可编程逻辑单元在FPGA上实现一些基本电路；
 - 能够设计较复杂的时序逻辑器件。
- 实验难易及任务量
 - 难度中等，任务量中等。需要看懂实验步骤的内容，了解各器件的作用（如选择器，译码器等）。除此之外对设计能力的考查也适中，需要耗费一定的时间思考如何实现——for循环，或是选择语句，或是其他。
- 实验建议
 - 相比之下第二题显得有些格格不入。也许是为了考察是否看懂约束文件，难度较另外两题降低不少。由于主要是介绍以及锻炼FPGA的使用，第三题做的很好了，总的来说综合性倒也不错。