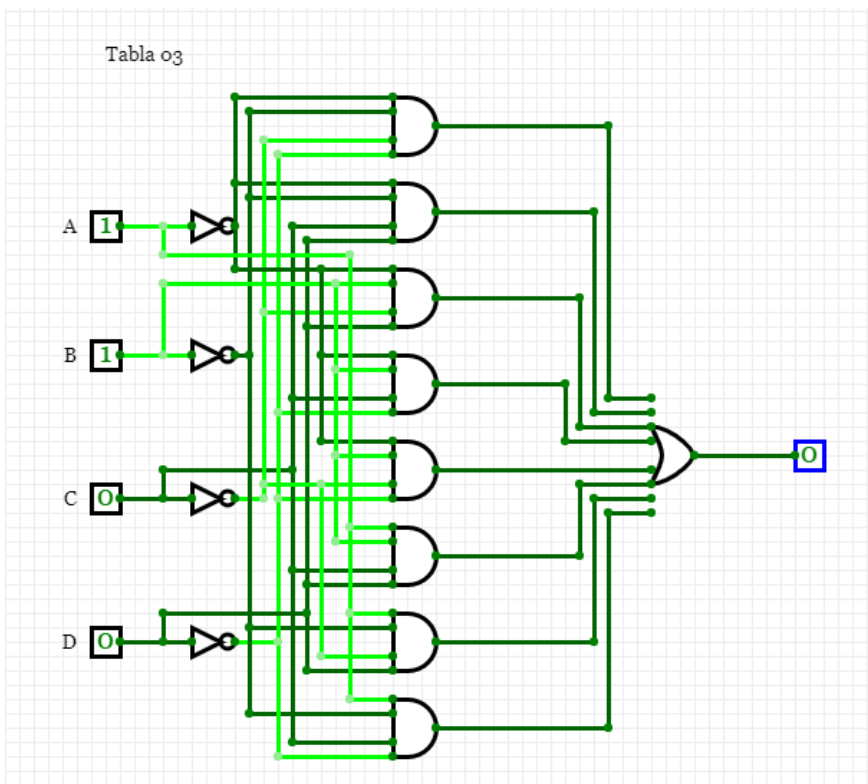
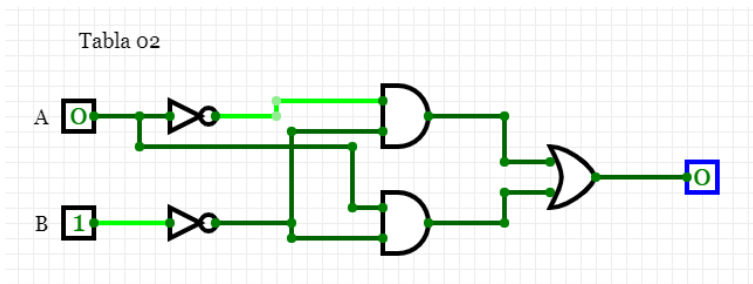
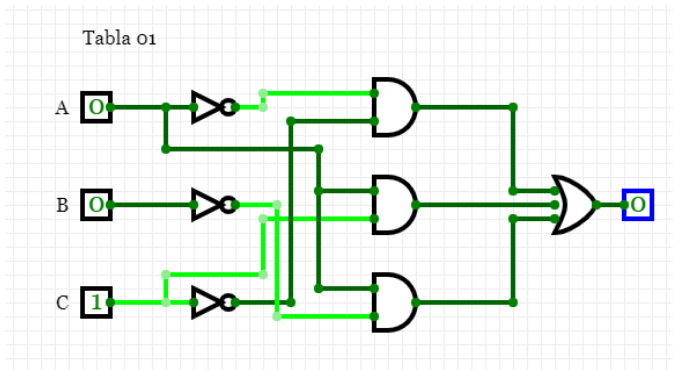
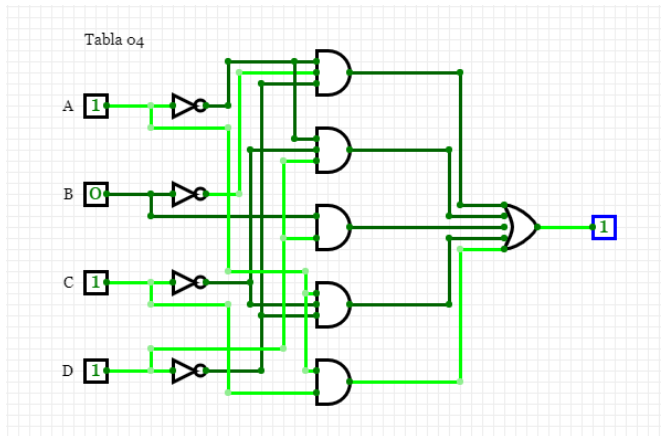


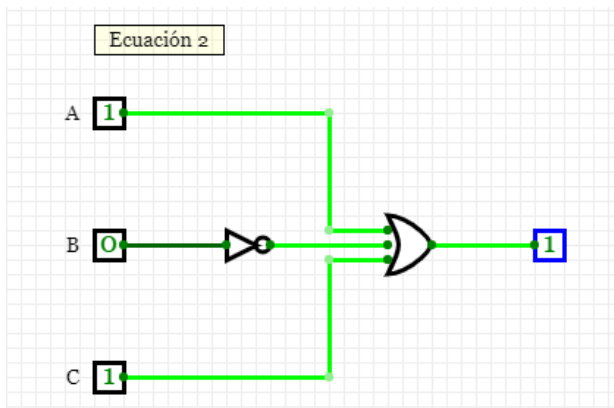
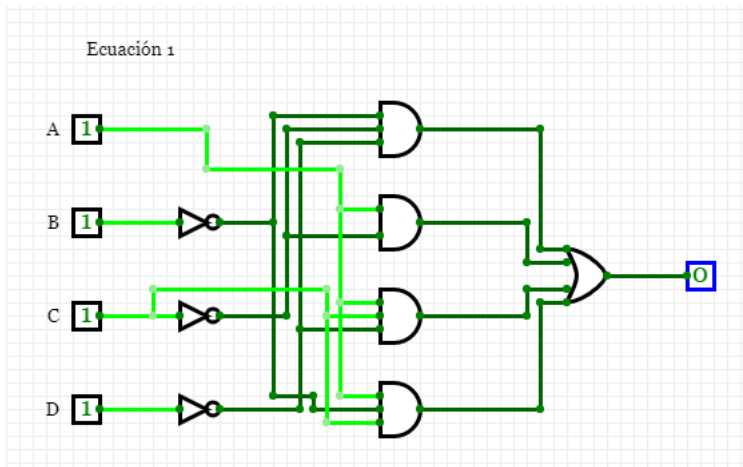
Laboratorio #4

Ejercicio #1:

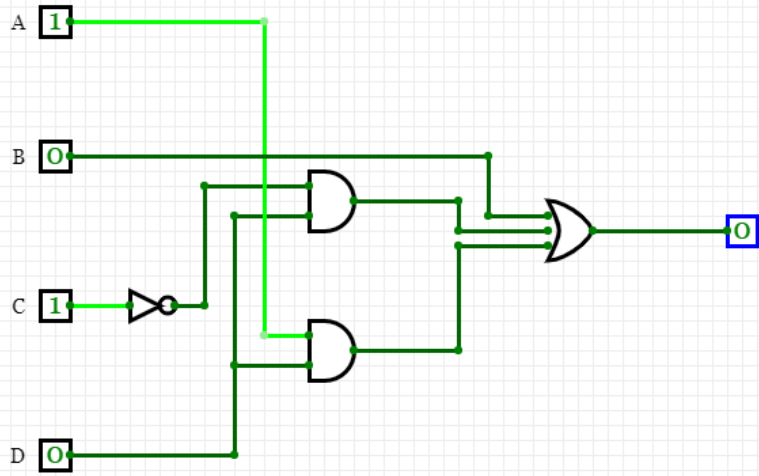




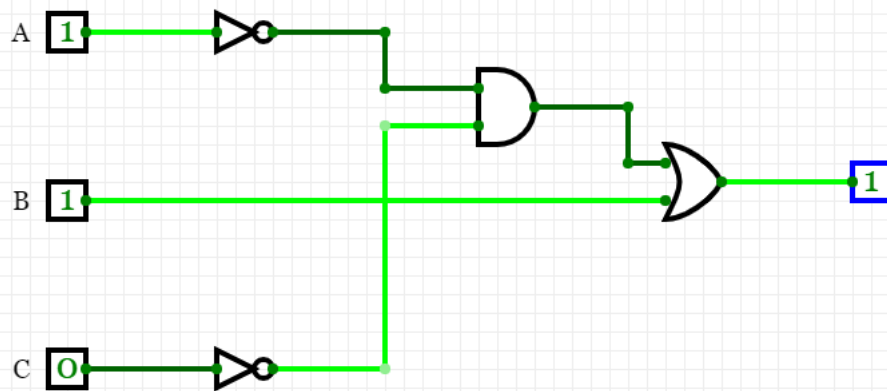
Ejercicio #2:



Ecuación 3



Ecuación 4



Ejercicio #4:

Código.v:

```

E codigov X
C:\Users\Luispe> Documents > UVG > VI SEMESTRE > Digital 1 > Labs_Digital > Lab4_Digital1 > E codigov
1 // Luis Pedro Molina Velásquez - Carmé 18822
2 // Electrónica Digital 1 - Sección 12
3 // Laboratorio #4
4
5 // Modulos con Gate Level Modelling
6 // EJERCICIO 1 - TABLAS 1 A 4
7
8 // Ejercicio 1 - Tabla 1 -  $Y = A'C' + AC + AB'$ 
9
10 module gates_ej1_tab1 (input wire inA, inB, inC, output wire F);
11     // Compuertas not
12     wire n1;    // A'
13     wire n2;    // B'
14     wire n3;    // C'
15
16     // Compuertas and
17     wire a1;
18     wire a2;
19     wire a3;
20
21     // Compuertas lógicas
22     not (n1,inA); // A'
23     not (n2,inB); // B'
24     not (n3,inC); // C'
25
26     and (a1,n1,n3);
27     and (a2,inA,inC);
28     and (a3,inA,n2);
29
30     or (F,a1,a2,a3);
31
32 endmodule
33
34 //Ejercicio 1 - Tabla 2 -  $Y = B'$ 
35
36 module gates_ej1_tab2 (input wire inA, inB, inC, output wire F);
37
38     // Compuerta not
39     wire n2;    // B'
40
41     // Compuertas lógicas
42     not (n2,inB); // B'
43
44     or (F,n2);
45

```

```

E codigov X
C:\Users\Luispe> Documents > UVG > VI SEMESTRE > Digital 1 > Labs_Digital > Lab4_Digital1 > E codigov
45
46 endmodule
47
48 //Ejercicio 1 - Tabla 3 -  $Y = A'B'C'D' + A'B'C'D + A'BC'D' + ABC'D' + ABCD + AB'C'D + AB'CD'$ 
49
50 module gates_ej1_tab3 (input wire inA, inB, inC, inD, output wire F);
51
52     // Compuertas not
53     wire n1;    // A'
54     wire n2;    // B'
55     wire n3;    // C'
56     wire n4;    // D'
57
58     // Compuertas and
59     wire a1;
60     wire a2;
61     wire a3;
62     wire a4;
63     wire a5;
64     wire a6;
65     wire a7;
66     wire a8;
67
68     // Compuertas lógicas
69     not (n1,inA); // A'
70     not (n2,inB); // B'
71     not (n3,inC); // C'
72     not (n4,inD); // D'
73
74     and (a1,n1,n2,n3,n4);
75     and (a2,n1,n2,inC,inD);
76     and (a3,n1,inB,n3,inD);
77     and (a4,n1,inB,inC,n4);
78     and (a5,inA,inB,n3,n4);
79     and (a6,inA,inB,inC,inD);
80     and (a7,inA,n2,n3,inD);
81     and (a8,inA,n2,inC,n4);
82
83     or (F,a1,a2,a3,a4,a5,a6,a7,a8);
84
85 endmodule
86
87
88 // Ejercicio 1 - Tabla 4 -  $Y = A'B'D' + A'C'D + BD + AC'D' + AC$ 
89

```

```
codigov X
C:\Users\luispe> Documents > UVG > VI SEMESTRE > Digital 1 > Labs_Digital > Lab4_Digital1 > codigov
...
90 module gates_eje1_tab4 (input wire inA, inB, inC, inD, output wire F);
91
92 // Puertas not
93 wire n1; // A'
94 wire n2; // B'
95 wire n3; // C'
96 wire n4; // D'
97
98 // Puertas and
99 wire a1;
100 wire a2;
101 wire a3;
102 wire a4;
103 wire a5;
104
105 // Puertas lógicas
106 not (n1,inA); // A'
107 not (n2,inB); // B'
108 not (n3,inC); // C'
109 not (n4,inD); // D'
110
111 and (a1,n1,n2,n4);
112 and (a2,n1,n3,inD);
113 and (a3,inB,inD);
114 and (a4,inA,n3,n4);
115 and (a5,inA,inC);
116
117 or (F,a1,a2,a3,a4,a5);
118
119 endmodule
120
121 // Módulos con operadores lógicos
122 // EJERCICIO 2 - ECUACIONES 1 A 4
123
124 // Ejercicio 2 - Ecuación 1 -  $Y = B'C'D' + AC' + ACD' + AB'C$ 
125
126 module gates_eje2_ec1 (input wire inA, inB, inC, inD, output wire F);
127
128 assign F = (~inB & ~inC & ~inD) | (inA & ~inC) | (inA & inC & ~inD) | (inA & ~inB & inC);
129
130 endmodule
131
132 // Ejercicio 2 - Ecuación 2 -  $Y = B' + AC$ 
133
134 module gates_eje2_ec2 (input wire inA, inB, inC, output wire F);
```

```
codigov X
C:\Users\luispe> Documents > UVG > VI SEMESTRE > Digital 1 > Labs_Digital > Lab4_Digital1 > codigov
...
134 module gates_eje2_ec2 (input wire inA, inB, inC, output wire F);
135
136 assign F = (~inB) | (inA & inC);
137
138 endmodule
139
140 // Ejercicio 2 - Ecuación 3 -  $Y = B + C'D + AD$ 
141
142 module gates_eje2_ec3 (input wire inA, inB, inC, inD, output wire F);
143
144 assign F = (inB) | (~inC & inD) | (inA & inD);
145
146 endmodule
147
148 // Ejercicio 2 - Ecuación 4 -  $Y = A'C' + B$ 
149
150 module gates_eje2_ec4 (input wire inA, inB, inC, output wire F);
151
152 assign F = (~inA & ~inC) | (inB);
153
154 endmodule
```

Código_tb.v

```
1 // Luis Pedro Molina Velázquez - Carné 18822
2 // Electrónica Digital 1 - Sección 12
3 // Laboratorio #4
4
5 // Módulo testbench
6
7
8 module testbench();
9
10 // Definición de variables, inputs para cada ecuación:
11
12 reg E1A1, E1B1, E1C1, E1A2, E1B2, E1C2, E1A3, E1B3, E1C3, E1D3, E1A4, E1B4, E1C4, E1D4,
13 E2A1, E2B1, E2C1, E2D1, E2A2, E2B2, E2C2, E2A3, E2B3, E2C3, E2D3, E2A4, E2B4, E2C4;
14
15 wire E1F1, E1F2, E1F3, E1F4, E2F1, E2F2, E2F3, E2F4;
16
17 // Asignación de variables a Gate level Modelling - Ejercicio 1 - Tablas 1 a 4
18
19 gates_gj1_tab1 c1(E1A1, E1B1, E1C1, E1F1);
20 gates_gj1_tab2 c2(E1A2, E1B2, E1C2, E1F2);
21 gates_gj1_tab3 c3(E1A3, E1B3, E1C3, E1D3, E1F3);
22 gates_gj1_tab4 c4(E1A4, E1B4, E1C4, E1D4, E1F4);
23
24 // Asignación de variables a módulos con Operadores lógicos - Ejercicio 2 - Ecuaciones 1 a 4
25
26 gates_gj2_ec1 o1(E2A1, E2B1, E2C1, E2D1, E2F1);
27 gates_gj2_ec2 o2(E2A2, E2B2, E2C2, E2F2);
28 gates_gj2_ec3 o3(E2A3, E2B3, E2C3, E2D3, E2F3);
29 gates_gj2_ec4 o4(E2A4, E2B4, E2C4, E2F4);
30
31 // Ejercicio 1 - Tabla 1
32
33 initial begin
34     $display("A B C | Y");
35     $display("-----");
36     $monitor("Ab Bb Bc | Y", E1A1, E1B1, E1C1, E1F1);
37     E1A1 = 0 ; E1B1 = 0 ; E1C1 = 0 ;
38     #1 E1A1 = 0 ; E1B1 = 0 ; E1C1 = 1 ;
39     #1 E1A1 = 0 ; E1B1 = 1 ; E1C1 = 0 ;
40     #1 E1A1 = 0 ; E1B1 = 1 ; E1C1 = 1 ;
41     #1 E1A1 = 1 ; E1B1 = 0 ; E1C1 = 0 ;
42     #1 E1A1 = 1 ; E1B1 = 0 ; E1C1 = 1 ;
43     #1 E1A1 = 1 ; E1B1 = 1 ; E1C1 = 0 ;
44     #1 E1A1 = 1 ; E1B1 = 1 ; E1C1 = 1 ;
45 end
46
```

```
47 // Ejercicio 1 - Tabla 2
48
49 initial begin
50     ##
51     $display("\n");
52     $display("A B C | Y");
53     $display("-----");
54     $monitor("Ab Bb Bc | Y", E1A2, E1B2, E1C2, E1F2);
55     E1A2 = 0 ; E1B2 = 0 ; E1C2 = 0 ;
56     #1 E1A2 = 0 ; E1B2 = 0 ; E1C2 = 1 ;
57     #1 E1A2 = 0 ; E1B2 = 1 ; E1C2 = 0 ;
58     #1 E1A2 = 0 ; E1B2 = 1 ; E1C2 = 1 ;
59     #1 E1A2 = 1 ; E1B2 = 0 ; E1C2 = 0 ;
60     #1 E1A2 = 1 ; E1B2 = 0 ; E1C2 = 1 ;
61     #1 E1A2 = 1 ; E1B2 = 1 ; E1C2 = 0 ;
62     #1 E1A2 = 1 ; E1B2 = 1 ; E1C2 = 1 ;
63 end
64
65 // Ejercicio 1 - Tabla 3
66
67 initial begin
68     #15
69     $display("\n");
70     $display("A B C D | Y");
71     $display("-----");
72     $monitor("Ab Bb Bc Bd | Y", E1A3, E1B3, E1C3, E1D3, E1F3);
73     E1A3 = 0 ; E1B3 = 0 ; E1C3 = 0 ; E1D3 = 0 ;
74     #1 E1A3 = 0 ; E1B3 = 0 ; E1C3 = 0 ; E1D3 = 1 ; //1
75     #1 E1A3 = 0 ; E1B3 = 0 ; E1C3 = 1 ; E1D3 = 0 ; //2
76     #1 E1A3 = 0 ; E1B3 = 0 ; E1C3 = 1 ; E1D3 = 1 ; //3
77     #1 E1A3 = 0 ; E1B3 = 1 ; E1C3 = 0 ; E1D3 = 0 ; //4
78     #1 E1A3 = 0 ; E1B3 = 1 ; E1C3 = 0 ; E1D3 = 1 ; //5
79     #1 E1A3 = 0 ; E1B3 = 1 ; E1C3 = 1 ; E1D3 = 0 ; //6
80     #1 E1A3 = 0 ; E1B3 = 1 ; E1C3 = 1 ; E1D3 = 1 ; //7
81     #1 E1A3 = 1 ; E1B3 = 0 ; E1C3 = 0 ; E1D3 = 0 ; //8
82     #1 E1A3 = 1 ; E1B3 = 0 ; E1C3 = 0 ; E1D3 = 1 ; //9
83     #1 E1A3 = 1 ; E1B3 = 0 ; E1C3 = 1 ; E1D3 = 0 ; //10
84     #1 E1A3 = 1 ; E1B3 = 0 ; E1C3 = 1 ; E1D3 = 1 ; //11
85     #1 E1A3 = 1 ; E1B3 = 1 ; E1C3 = 0 ; E1D3 = 0 ; //12
86     #1 E1A3 = 1 ; E1B3 = 1 ; E1C3 = 0 ; E1D3 = 1 ; //13
87     #1 E1A3 = 1 ; E1B3 = 1 ; E1C3 = 1 ; E1D3 = 0 ; //14
88     #1 E1A3 = 1 ; E1B3 = 1 ; E1C3 = 1 ; E1D3 = 1 ; //15
89 end
90
91
```

```
E_codigo_thv x E_codigo.v
c:\Users\> lsimpe > Documents > UVG > VI SEMESTRE > Digital 1 > Lab4_Digital > Lab4_Digital1 > E_codigo_thv

92
93 // Ejercicio 1 - Tabla 4
94
95 initial begin
96     #12
97     $display("\n");
98     $display("A B C D | Y");
99     $display("-----|---");
100     $monitor("%b %b %b %b | %b", E1A4, E1B4, E1C4, E1D4, E1F4);
101     E1A4 = 0; E1B4 = 0; E1C4 = 0; E1D4 = 0;
102     #1 E1A4 = 0; E1B4 = 0; E1C4 = 0; E1D4 = 1; //1
103     #1 E1A4 = 0; E1B4 = 0; E1C4 = 1; E1D4 = 0; //2
104     #1 E1A4 = 0; E1B4 = 0; E1C4 = 1; E1D4 = 1; //3
105     #1 E1A4 = 0; E1B4 = 1; E1C4 = 0; E1D4 = 0; //4
106     #1 E1A4 = 0; E1B4 = 1; E1C4 = 0; E1D4 = 1; //5
107     #1 E1A4 = 0; E1B4 = 1; E1C4 = 1; E1D4 = 0; //6
108     #1 E1A4 = 0; E1B4 = 1; E1C4 = 1; E1D4 = 1; //7
109     #1 E1A4 = 1; E1B4 = 0; E1C4 = 0; E1D4 = 0; //8
110     #1 E1A4 = 1; E1B4 = 0; E1C4 = 0; E1D4 = 1; //9
111     #1 E1A4 = 1; E1B4 = 0; E1C4 = 1; E1D4 = 0; //10
112     #1 E1A4 = 1; E1B4 = 0; E1C4 = 1; E1D4 = 1; //11
113     #1 E1A4 = 1; E1B4 = 1; E1C4 = 0; E1D4 = 0; //12
114     #1 E1A4 = 1; E1B4 = 1; E1C4 = 0; E1D4 = 1; //13
115     #1 E1A4 = 1; E1B4 = 1; E1C4 = 1; E1D4 = 0; //14
116     #1 E1A4 = 1; E1B4 = 1; E1C4 = 1; E1D4 = 1; //15
117
118 end
119
120 // Ejercicio 2 - Ecuación 1
121
122 initial begin
123     #48
124     $display("\n");
125     $display("A B C D | Y");
126     $display("-----|---");
127     $monitor("%b %b %b %b | %b", E2A1, E2B1, E2C1, E2D1, E2F1);
128     E2A1 = 0; E2B1 = 0; E2C1 = 0; E2D1 = 0;
129     #1 E2A1 = 0; E2B1 = 0; E2C1 = 0; E2D1 = 1; //1
130     #1 E2A1 = 0; E2B1 = 0; E2C1 = 1; E2D1 = 0; //2
131     #1 E2A1 = 0; E2B1 = 0; E2C1 = 1; E2D1 = 1; //3
132     #1 E2A1 = 0; E2B1 = 1; E2C1 = 0; E2D1 = 0; //4
133     #1 E2A1 = 0; E2B1 = 1; E2C1 = 0; E2D1 = 1; //5
134     #1 E2A1 = 0; E2B1 = 1; E2C1 = 1; E2D1 = 0; //6
135     #1 E2A1 = 0; E2B1 = 1; E2C1 = 1; E2D1 = 1; //7
136     #1 E2A1 = 1; E2B1 = 0; E2C1 = 0; E2D1 = 0; //8
```

```
E_codigo_thv x E_codigo.v
c:\Users\> lsimpe > Documents > UVG > VI SEMESTRE > Digital 1 > Lab4_Digital > Lab4_Digital1 > E_codigo_thv

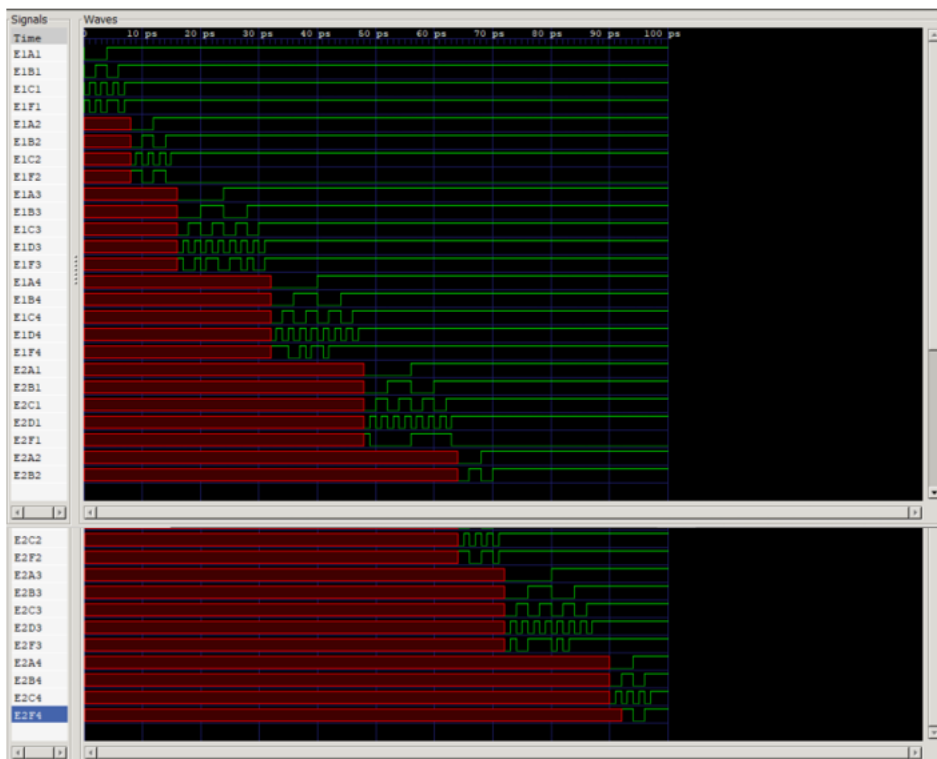
137     #1 E2A1 = 1; E2B1 = 0; E2C1 = 0; E2D1 = 1; //9
138     #1 E2A1 = 1; E2B1 = 0; E2C1 = 1; E2D1 = 0; //10
139     #1 E2A1 = 1; E2B1 = 0; E2C1 = 1; E2D1 = 1; //11
140     #1 E2A1 = 1; E2B1 = 1; E2C1 = 0; E2D1 = 0; //12
141     #1 E2A1 = 1; E2B1 = 1; E2C1 = 0; E2D1 = 1; //13
142     #1 E2A1 = 1; E2B1 = 1; E2C1 = 1; E2D1 = 0; //14
143     #1 E2A1 = 1; E2B1 = 1; E2C1 = 1; E2D1 = 1; //15
144
145 end
146
147 // Ejercicio 2 - Ecuación 2
148
149 initial begin
150     #64
151     $display("\n");
152     $display("A B C | Y");
153     $display("-----|---");
154     $monitor("%b %b %b | %b", E2A2, E2B2, E2C2, E2F2);
155     E2A2 = 0; E2B2 = 0; E2C2 = 0;
156     #1 E2A2 = 0; E2B2 = 0; E2C2 = 1;
157     #1 E2A2 = 0; E2B2 = 1; E2C2 = 0;
158     #1 E2A2 = 0; E2B2 = 1; E2C2 = 1;
159     #1 E2A2 = 1; E2B2 = 0; E2C2 = 0;
160     #1 E2A2 = 1; E2B2 = 0; E2C2 = 1;
161     #1 E2A2 = 1; E2B2 = 1; E2C2 = 0;
162     #1 E2A2 = 1; E2B2 = 1; E2C2 = 1;
163
164 end
165
166 // Ejercicio 2 - Ecuación 3
167
168 initial begin
169     #72
170     $display("\n");
171     $display("A B C D | Y");
172     $display("-----|---");
173     $monitor("%b %b %b %b | %b", E2A3, E2B3, E2C3, E2D3, E2F3);
174     E2A3 = 0; E2B3 = 0; E2C3 = 0; E2D3 = 0;
175     #1 E2A3 = 0; E2B3 = 0; E2C3 = 0; E2D3 = 1; //1
176     #1 E2A3 = 0; E2B3 = 0; E2C3 = 1; E2D3 = 0; //2
177     #1 E2A3 = 0; E2B3 = 0; E2C3 = 1; E2D3 = 1; //3
178     #1 E2A3 = 0; E2B3 = 1; E2C3 = 0; E2D3 = 0; //4
179     #1 E2A3 = 0; E2B3 = 1; E2C3 = 0; E2D3 = 1; //5
180     #1 E2A3 = 0; E2B3 = 1; E2C3 = 1; E2D3 = 0; //6
181     #1 E2A3 = 0; E2B3 = 1; E2C3 = 1; E2D3 = 1; //7
```

```

181      # 1 E2A3 = 0 ; E2B3 = 1 ; E2C3 = 1 ; E2D3 = 1 ; //7
182      # 1 E2A3 = 1 ; E2B3 = 0 ; E2C3 = 0 ; E2D3 = 0 ; //8
183      # 1 E2A3 = 1 ; E2B3 = 0 ; E2C3 = 0 ; E2D3 = 1 ; //9
184      # 1 E2A3 = 1 ; E2B3 = 0 ; E2C3 = 1 ; E2D3 = 0 ; //10
185      # 1 E2A3 = 1 ; E2B3 = 0 ; E2C3 = 1 ; E2D3 = 1 ; //11
186      # 1 E2A3 = 1 ; E2B3 = 1 ; E2C3 = 0 ; E2D3 = 0 ; //12
187      # 1 E2A3 = 1 ; E2B3 = 1 ; E2C3 = 0 ; E2D3 = 1 ; //13
188      # 1 E2A3 = 1 ; E2B3 = 1 ; E2C3 = 1 ; E2D3 = 0 ; //14
189      # 1 E2A3 = 1 ; E2B3 = 1 ; E2C3 = 1 ; E2D3 = 1 ; //15
190
191  end
192
193  // Ejercicio 2 - Ecuación 4
194
195  initial begin
196      #90
197      $display("\n");
198      $display("A B C | V");
199      $display("-----|-----");
200      $monitor("%b %b %b | %b", E2A4, E2B4, E2C4, E2F4);
201      E2A4 = 0 ; E2B4 = 0 ; E2C4 = 0 ;
202      # 1 E2A4 = 0 ; E2B4 = 0 ; E2C4 = 1 ;
203      # 1 E2A4 = 0 ; E2B4 = 1 ; E2C4 = 0 ;
204      # 1 E2A4 = 0 ; E2B4 = 1 ; E2C4 = 1 ;
205      # 1 E2A4 = 1 ; E2B4 = 0 ; E2C4 = 0 ;
206      # 1 E2A4 = 1 ; E2B4 = 0 ; E2C4 = 1 ;
207      # 1 E2A4 = 1 ; E2B4 = 1 ; E2C4 = 0 ;
208      # 1 E2A4 = 1 ; E2B4 = 1 ; E2C4 = 1 ;
209  end
210
211  initial
212      #100 $finish;
213
214  initial
215      begin
216          $dumpfile("codigo.th.vcd");
217          $dumpvars(0,testbench);
218      end
219  endmodule //Fin del modulo
220
221

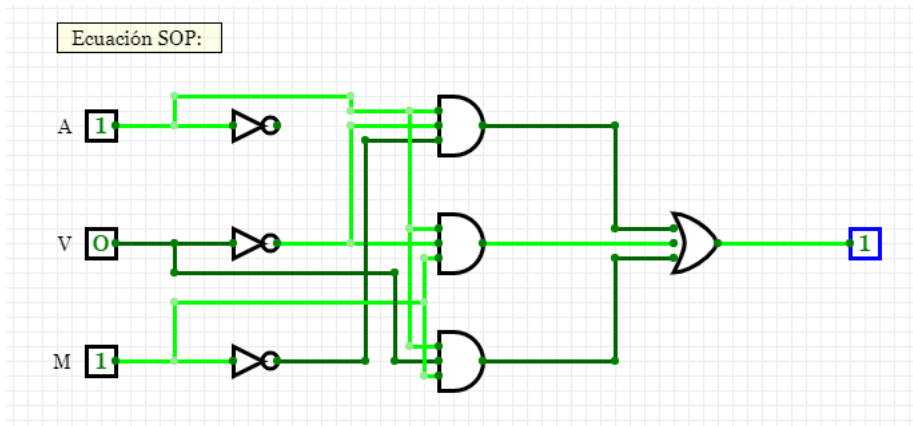
```

Diagrama de timing:

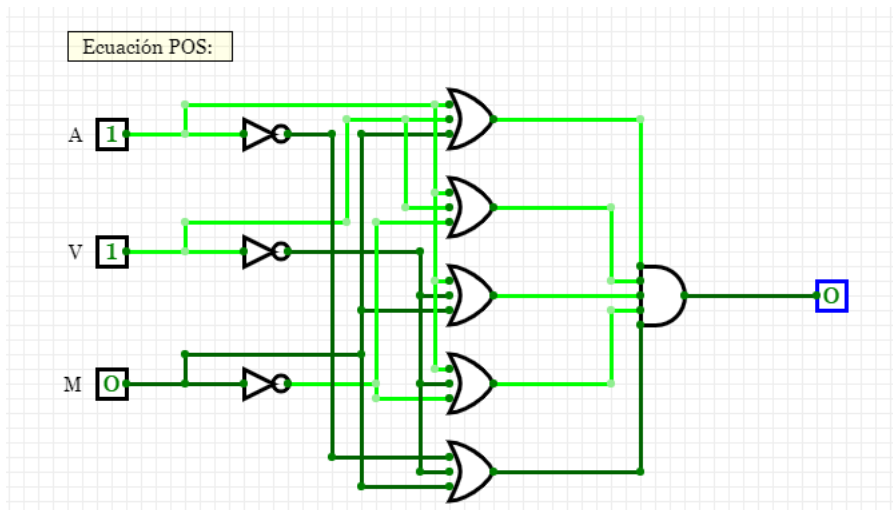


Ejercicio #5:

SOP:



POS:



Ecuación simplificada:

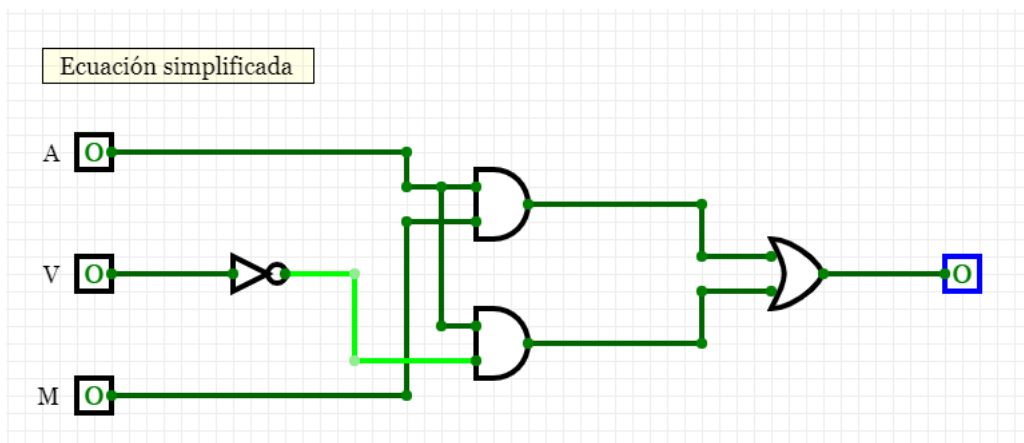


Diagrama de timing:

Ejercicio_5.v

```
codigov  codigo_biv  ejercicio_5.v  ejercicio_5_biv
c:\Users\luispe\Documents\UVG\VI SEMESTRE\Digital 1\Lab4_Digital1\Ejercicio 5> ejercicio_5.v
1 // Luis Pedro Melina Velasquez - Carné 18822
2 // Electrónica Digital 1 - Sección 12
3 // Laboratorio #4
4
5 // Ejercicio 5 - Módulos con operadores lógicos
6
7 // A = SISTEMA ARMADO   + (A)
8 // B = VENTANA / PUERTA + (V)
9 // C = MOVIMIENTO       + (H)
10 // F = OUTPUT           - (Y)
11
12 // Ejercicio 5 - Ecuación SOP -  $Y = AB'C' + AB'C + ABC$ 
13
14 module gates_eje5_SOP (input wire inA, inB, inC, output wire F);
15
16     assign F = (inA & ~inB & ~inC) | (inA & ~inB & inC) | (inA & inB & inC);
17
18 endmodule
19
20 // Ejercicio 5 - Ecuación POS -  $Y = ABC + AB'C' + AB'C + A'B'C$ 
21
22 module gates_eje5_POS (input wire inA, inB, inC, output wire F);
23
24     assign F = (inA | inB | inC) & (inA | inB | ~inC) & (inA | ~inB | inC) & (inA | ~inB | ~inC) & (~inA | ~inB | inC);
25
26 endmodule
27
28
29 // Ejercicio 5 - Gate level modelling
30
31 // Ejercicio 5 - Ecuación simplificada -  $Y = AC + AB'$ 
32
33 module gates_eje5_ref (input wire inA, inB, inC, output wire F);
34     // Compuertas not
35     wire n2;    // B
36
37     // Compuertas and
38     wire a1;
39     wire a2;
40
41     // Compuertas lógicas
42     not (n2,inB);    //B'
43
44     and (a1,inA,inC);
45     and (a2,inA,n2);
46
47     and (a2,inA,n2);
48     or (F,a1,a2);
49 endmodule
```

Ejercicio_5.tb.v

```
c:\Users\> Lupa > Documents > UNG > VI SEMESTRE > Digital 1 > Lab4_Digital > Ejercicio 5 > Ejercicio_5.tb.v
1 // Luis Pedro Molina Velázquez - Carné 18822
2 // Electrónica Digital 1 - Sección 12
3 // Laboratorio #4
4
5 // Módulo testbench para ejercicio 5
6
7 module testbench();
8
9 // Definición de variables, inputs para cada ecuación
10
11 // ESA1, ESB1, ESC1 para ecuación POS
12 // ESA2, ESB2, ESC2 para ecuación SOP
13 // ESA3, ESB3, ESC3 para ecuación reducida
14 reg ESA1, ESB1, ESC1, ESA2, ESB2, ESC2, ESA3, ESB3, ESC3;
15
16 wire ESF1, ESF2, ESF3;
17
18 // Asignación de variables a módulos de operadores lógicos - Ecuación SOP y POS respectivamente
19 gates_eje5_SOP t1(ESA1, ESB1, ESC1, ESF1);
20 gates_eje5_POS t2(ESA2, ESB2, ESC2, ESF2);
21
22 // Asignación de variables a Gate level modelling - Ecuación reducida
23
24 gates_eje5_ref r1(ESA3, ESB3, ESC3, ESF3);
25
26 // Ejercicio 5 - Ecuación SOP
27
28 initial begin
29     $display("\n");
30     $display("A B C | Y");
31     $display("-----");
32     $monitor("%b %b %b | %b", ESA1, ESB1, ESC1, ESF1);
33     #1 ESA1 = 0 ; ESB1 = 0 ; ESC1 = 0 ;
34     #1 ESA1 = 0 ; ESB1 = 0 ; ESC1 = 1 ;
35     #1 ESA1 = 0 ; ESB1 = 1 ; ESC1 = 0 ;
36     #1 ESA1 = 0 ; ESB1 = 1 ; ESC1 = 1 ;
37     #1 ESA1 = 1 ; ESB1 = 0 ; ESC1 = 0 ;
38     #1 ESA1 = 1 ; ESB1 = 0 ; ESC1 = 1 ;
39     #1 ESA1 = 1 ; ESB1 = 1 ; ESC1 = 0 ;
40     #1 ESA1 = 1 ; ESB1 = 1 ; ESC1 = 1 ;
41     end
42
43 // Ejercicio 5 - Ecuación POS
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62 // Ejercicio 5 - Ecuación reducida
63
64 initial begin
65     #16
66     $display("\n");
67     $display("A B C | Y");
68     $display("-----");
69     $monitor("%b %b %b | %b", ESA3, ESB3, ESC3, ESF3);
70     ESA3 = 0 ; ESB3 = 0 ; ESC3 = 0 ;
71     #1 ESA3 = 0 ; ESB3 = 0 ; ESC3 = 1 ;
72     #1 ESA3 = 0 ; ESB3 = 1 ; ESC3 = 0 ;
73     #1 ESA3 = 0 ; ESB3 = 1 ; ESC3 = 1 ;
74     #1 ESA3 = 1 ; ESB3 = 0 ; ESC3 = 0 ;
75     #1 ESA3 = 1 ; ESB3 = 0 ; ESC3 = 1 ;
76     #1 ESA3 = 1 ; ESB3 = 1 ; ESC3 = 0 ;
77     #1 ESA3 = 1 ; ESB3 = 1 ; ESC3 = 1 ;
78     end
79
80 initial #30 $finish;
81
82 initial
83 begin
84     $dumpfile("ejercicio_5.tb.vcd");
85     $dumpvars(0,testbench);
86 end
87 endmodule // Fin del módulo
```

Diagrama de timming:

