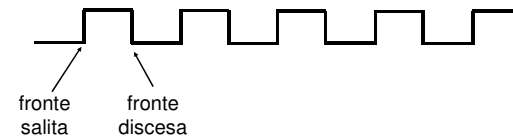


Flip-Flop

Differenza rispetto ai latch

- A differenza dei latch, i flip flop **cambiano il loro stato soltanto conseguentemente a impulsi del clock**
- Nello specifico, un flip flop può reagire:
 - a **un fronte di salita o di discesa** del segnale di clock
 - oppure, può **campionare gli input su un fronte (es. discesa)**, e poi produrre **l'uscita sull'altro (es. salita)**. Questa realizzazione viene detta **master-slave**
- Un flip flop **ha un ingresso addizionale per l'impulso del clock**, indicato con Ck

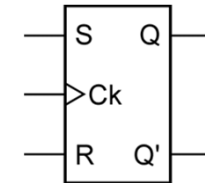


Flip-Flop S-R

- Simile a un latch S-R
- S=1 setta l'output Q a 1
- R=1 resetta l'output Q a 0
- La differenza rispetto al latch è solo nel fatto **che Q può cambiare soltanto in seguito di un fronte di clock attivo**

Flip Flop S-R

S	R	Ck	Q
X	X	-	Q ₀
0	0	↑	Q ₀
0	1	↑	0
1	0	↑	1
1	1	↑	N/A



Possibili operazioni:

- S = R = 0 nessun cambiamento
- S = 1, R = 0 setta Q a 1 (**uscita HIGH dopo il fronte di salita di Ck**)
- S = 0, R = 1 resetta Q a 0 (**uscita LOW dopo il fronte di salita di Ck**)
- S = R = 1 non consentito

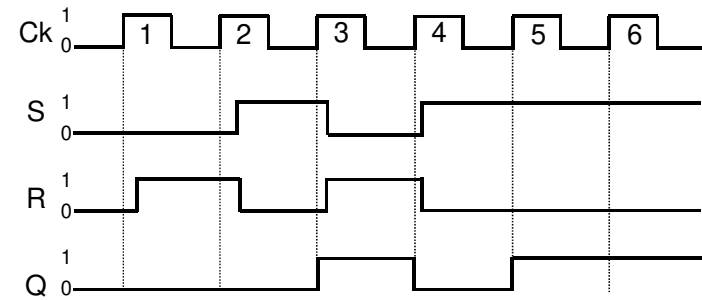
Equazione caratteristica

SR \ Q ₀	0	1
00	0	1
01	0	0
11	N/A	N/A
10	1	1

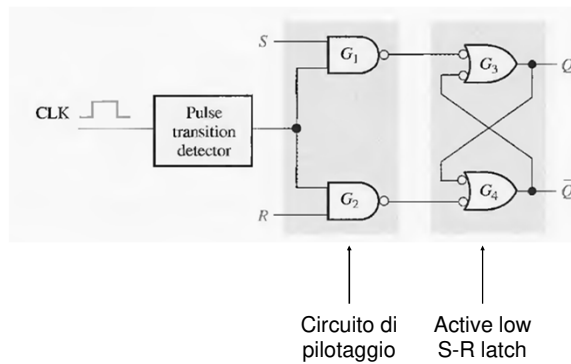
$$Q = SR' + R'Q_0$$

uguale a quella di un
latch SR

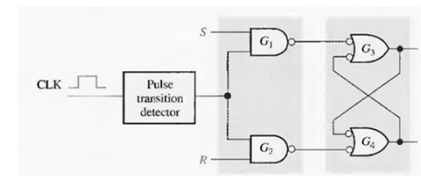
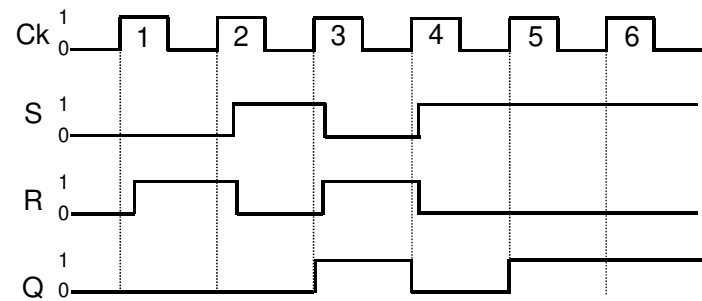
Timing diagram



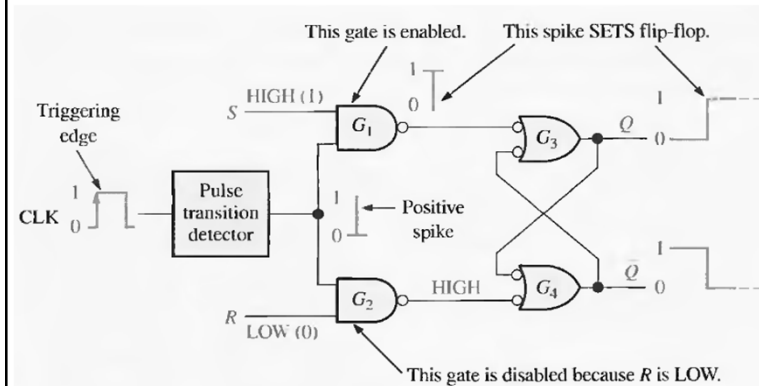
Triggering mediante impulso



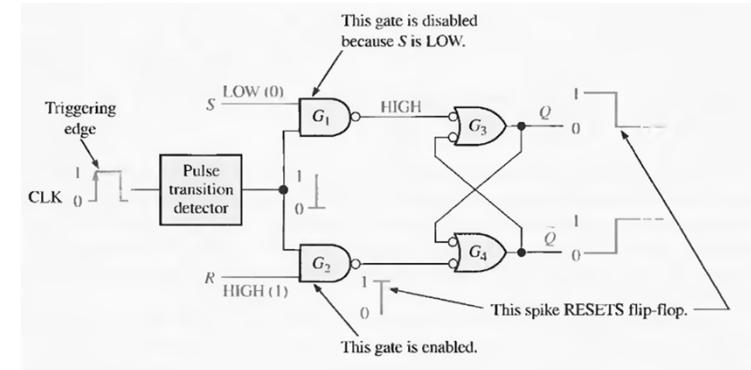
Timing diagram



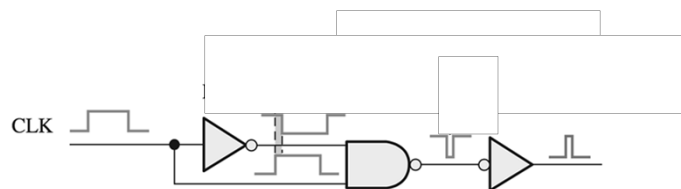
SET



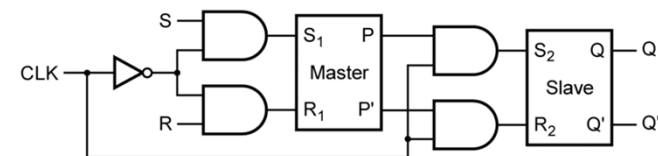
RESET



Realizzazione pulse detector



Realizzazione master-slave

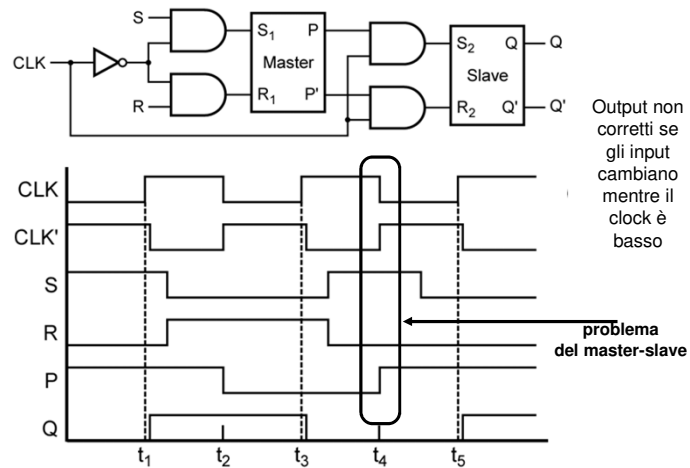


Possibili operazioni:

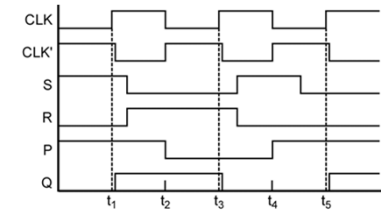
- S = R = 0 nessun cambiamento
- S = 1, R = 0 setta Q a 1 (**uscita attiva dopo il fronte di salita di Ck**)
- S = 0, R = 1 resetta Q a 0 (**uscita disattiva dopo il fronte di salita di Ck**)
- S = R = 1 non consentito

Il primo campiona sugli ingressi in discesa del clock mentre l'uscita è campionata sul fronte di salita del clock

Timing diagram



Discussione

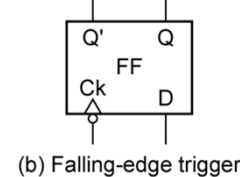
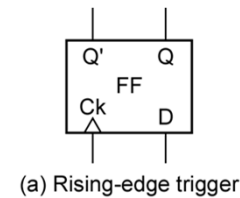


- **Output non corretti se gli input cambiano mentre il clock è basso.**
- A t4, S=1 e R=0, quindi P diventa 1.
- S va a 0 prima di t5, ma P non cambia
- Quindi a t5 Q sale a 1 quando il clock sale.
- Ciò è inconsistente (rispetto al flip flop edge-triggered) perché il **flip-flop cambia di stato mentre S=R=0**

D Flip-Flop (edge-triggered)

- Due ingressi, **D (dati)** e **Ck (clock)**
- A differenza **del latch D, l'output cambia soltanto in risposta al segnale di clock**
 - L'ingresso clock è indicato mediante una piccola freccia
- **Flip flop triggerato dal fronte di salita (rising edge / positive edge):** l'output cambia quando il clock passa da 0 a 1
- **Flip flop triggerato dal fronte di discesa (falling edge / negative edge):** l'output cambia quando il clock passa da 1 a 0
 - Indicato da un cerchietto sull'ingresso

Flip Flop D



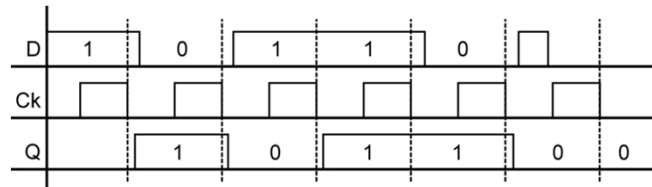
D	Q ₀	Q
0	0	0
0	1	0
1	0	1
1	1	1

Tabella di verità

Equazione caratteristica:

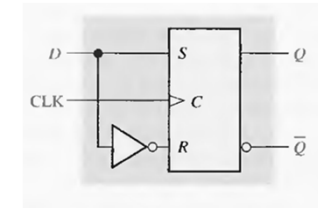
$$Q = D$$

Timing Diagram



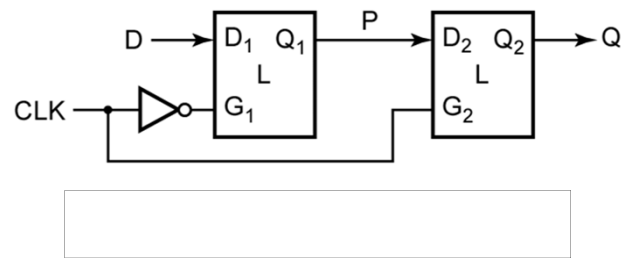
Falling edge

Realizzazione mediante flip flop S-R

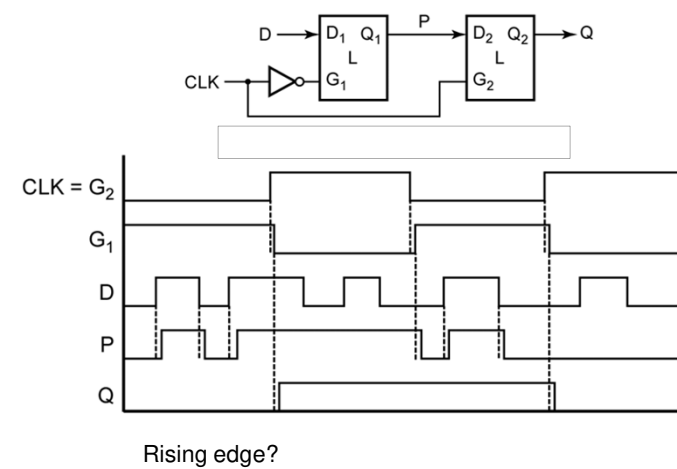


Realizzazione mediante due latch D

Nota come realizzazione "master-slave"



Timing diagram

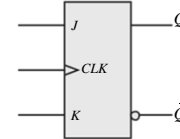


Rising edge?

Flip-Flop J-K

- Il flip-flop J-K rappresenta una **versione estesa del flip-flop S-R**
- Tre ingressi (J, K, Ck)
- J corrisponde a S, K corrisponde a R
- A differenza del flip-flop S-R, **l'applicazione di un segnale 1 simultaneo a J e K è consentito e causa il cambiamento di stato (toggle) dopo il prossimo segnale di clock attivo**

Tabella di verità



Inputs			Outputs		Comments
J	K	CLK	Q	\bar{Q}	
0	0	↑	Q_0	\bar{Q}_0	No change
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	\bar{Q}_0	Q_0	Toggle

Timing diagram

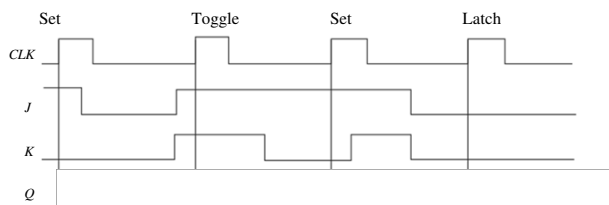
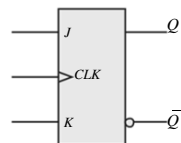
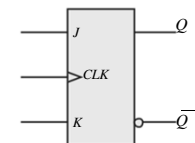


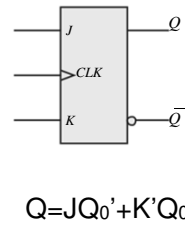
Tabella di verità

J	K	Q_0	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



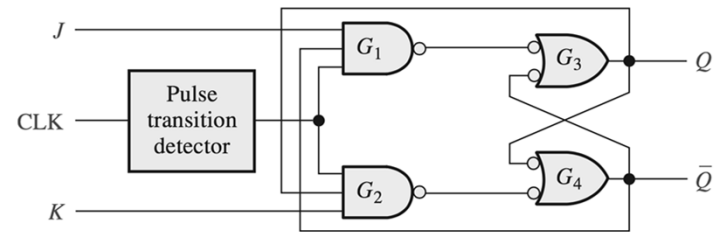
Equazione caratteristica

JK \ Q ₀	0	1
00	0	1
01	0	0
11	1	0
10	1	1



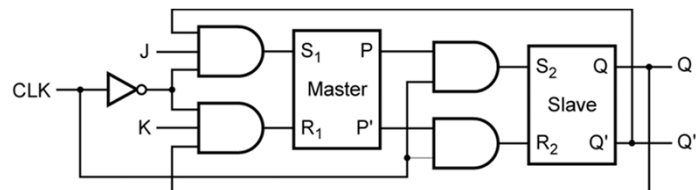
$$Q = JQ_0' + K'Q_0$$

Realizzazione

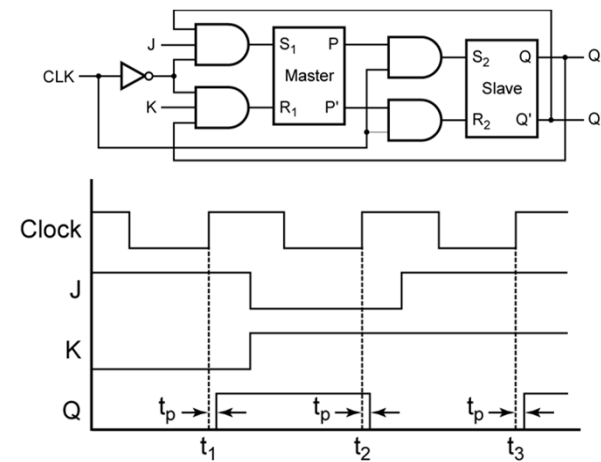


$$Q = JQ_0' + K'Q_0$$

Realizzazione Master-Slave



Timing Diagram



Input Asincroni: Preset e Clear

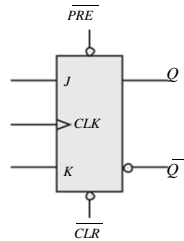
Gli **input asincroni** cambiano lo stato del flip-flop **indipendentemente dal livello del clock**

Indicati come preset (PRE) e clear (CLR)

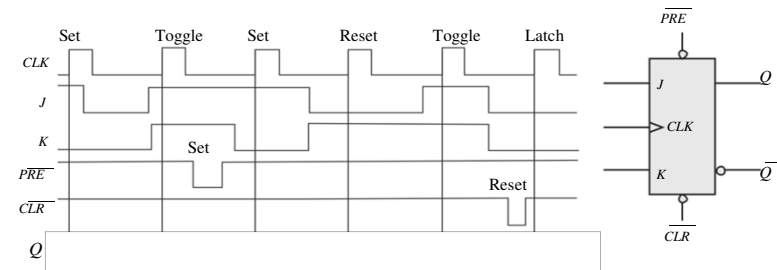
Solitamente **active LOW**

PRE attiva l'uscita Q

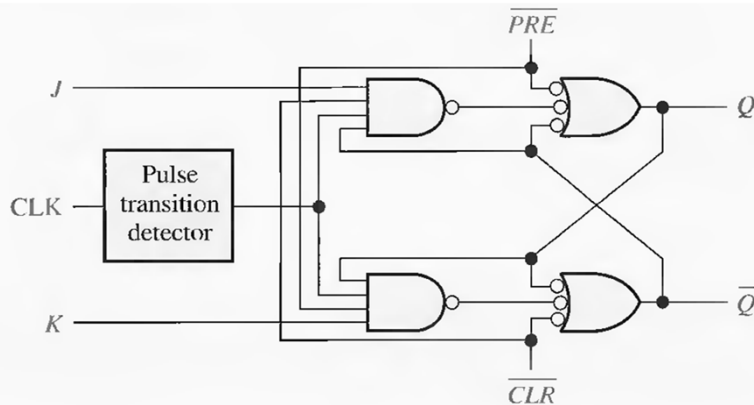
CLR attiva l'uscita Q'



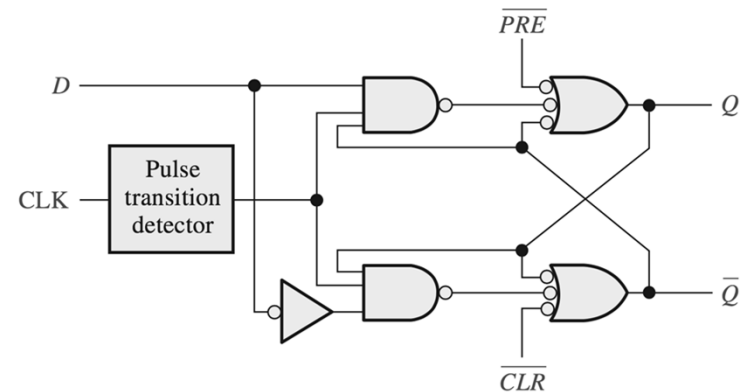
Timing diagram



Realizzazione



Flip-Flip D

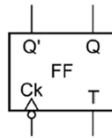


Flip Flop T (toggle)

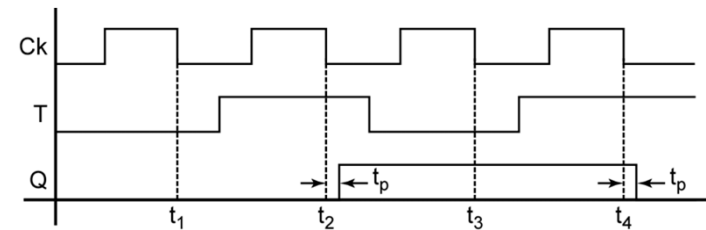
- Utile per costruire contatori
- Un **input T alto cambia lo stato del flip-flop**
- Un input T basso lascia lo stato inalterato
- Input triggerato sul fronte di discesa del clock

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0

$$Q^+ = TQ' + T'Q = T \text{ XOR } Q$$



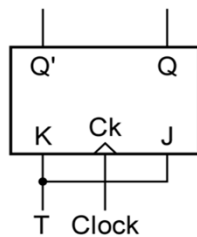
Timing Diagram



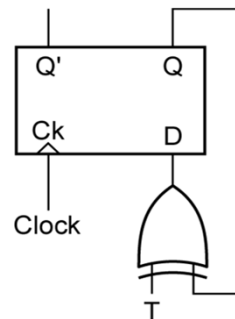
Triggerato sul fronte di discesa

Costruzione flip-flop T

Usando un flip-flop J-K



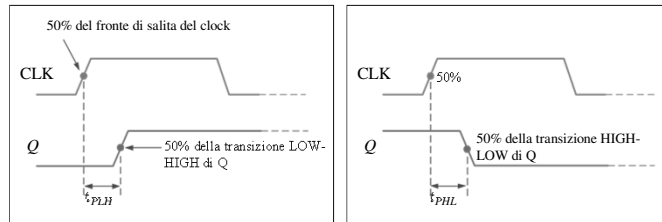
Usando un flip-flop D



Temporizzazione Flip-Flop

Ritardo di propagazione

Specificato per i **tempi di salita e discesa degli output**
 Equivale al tempo che intercorre **tra il 50% del livello di clock e il 50% del livello dell'output**

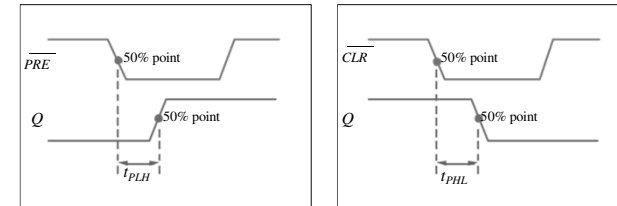


Il ritardo di propagazione tipico per la famiglia 74AHC (CMOS) è **4 ns**. Sono tuttavia disponibili famiglie di porte più veloci

Nel caso di input asincroni...

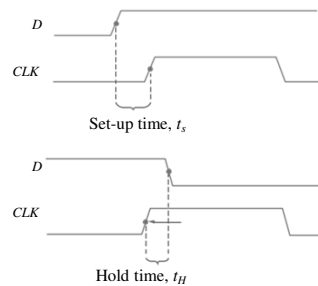
Un ulteriore ritardo di propagazione è il tempo richiesto agli output **per reagire ad input asincroni**, di nuovo misurato rispetto ai livelli 50%.

Nella famiglia 74AHC è sotto i **5ns**



Tempi di Set-up e Hold

Tempi richiesti affinché un dato di ingresso (es. D) si trovi in un determinato livello prima (**set-up**) e dopo (**hold**) la transizione del clock in maniera tale da essere **intercettato dal flip-flop**



Altre caratteristiche

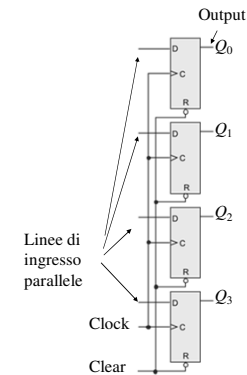
- Frequenza massima di clock
- Minima dimensione di un impulso di trigger
- Dissipazione energetica (prodotto del voltaggio fornito e della corrente media richiesta)

Semplici applicazioni dei flip-flop

Data storage

I flip flop sono disposti su linee dati parallele e sincronizzati con **un unico clock**

I dati sono memorizzati fino al successivo impulso di clock

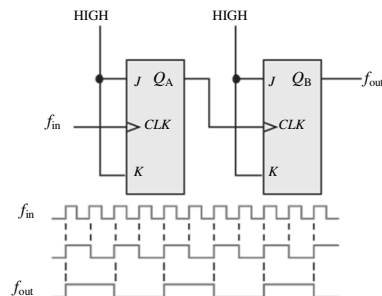


Divisione frequenza

Per dividere la frequenza di un clock basta connettere più flip flop in sequenza con configurazione toggle

Un flip-flop divide f_{in} per 2, due flip-flop dividono f_{in} per 4 (etc.).

In ogni caso l'output ha un duty cycle del 50%



dividere la frequenza significa aumentare il periodo