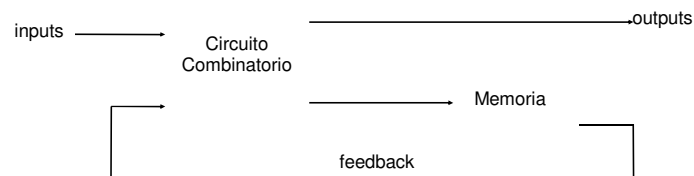


Circuiti sequenziali

Circuiti Sequenziali

- L'output dipende non solo dagli input correnti, ma anche da quelli precedenti
- Il circuito “ricorda” qualcosa circa la storia passata degli input
- In altri termini, è dotato di uno **stato**
- Tipicamente, ciò si realizza con un meccanismo a **feedback**
- Un circuito è dotato di **feedback se almeno uno dei gate ha l'uscita connessa all'ingresso di qualche altro gate dello stesso livello** (e viceversa) in maniera tale da creare un circuito chiuso

Circuiti Sequenziali



Elementi di memorizzazione di base

Elementi di memorizzazione di base

Latch

- Ingressi sensibili al livello del segnale (LOW / HIGH)
- Uscite possono cambiare più volte in un ciclo di clock
- L'uscita cambia mentre il clock è attivo
- Riferiti come circuiti sequenziali **asincroni**

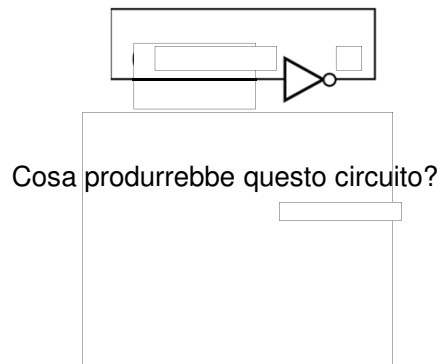
Flip Flop

- Ingressi sensibili a fronti di salita o di discesa del segnale
- Le uscite cambiano una sola volta in corrispondenza di un ciclo di clock
- L'uscita cambia alla transizione del clock
- Riferiti come circuiti sequenziali **sincroni**

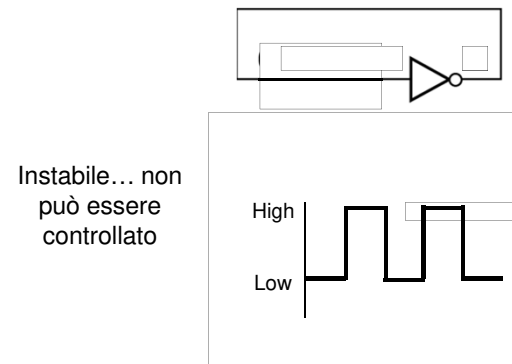
Elementi di memorizzazione di base

Sia i latch che i flip-flop usano un meccanismo a **feedback** per memorizzare le informazioni

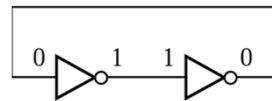
Esempio



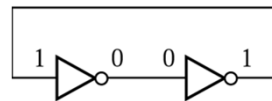
Uscita instabile...



Esempio di circuito con feedback



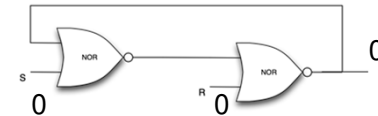
(a)



(b)

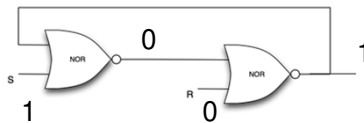
Circuiti stabili, ma non è possibile modificare il loro stato

Modifichiamolo leggermente...



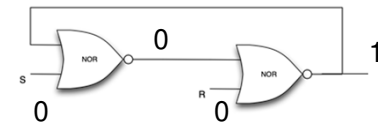
- Supponiamo che l'uscita del circuito sia 0
- Che succede se applico 1 a S e 0 a R?

S=1, R=0 Uscita va a 1 e resta a 1



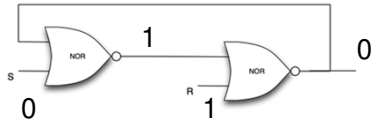
- L'uscita diventa 1 e resta stabilmente a 1
- Che succede se riporto S a 0?

S=0, R=0 L'uscita non cambia



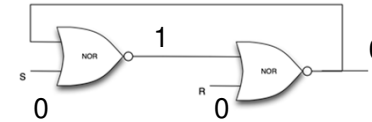
- L'uscita non cambia
- Proviamo ora a settare gli ingressi S=0, R=1

$S=0, R=1$
L'uscita va a 0



- L'uscita va a 0
- Che succede se riporto R a 0?

$S=0, R=0$
L'uscita non cambia



- L'uscita resta a 0
- quindi...

Il circuito **reagisce ad impulsi temporanei 1-0 oppure 0-1 su S e R**, "memorizzando" rispettivamente il valore 1 oppure il valore 0

Quando gli ingressi tornano a 0, non cambia nulla nelle uscite...

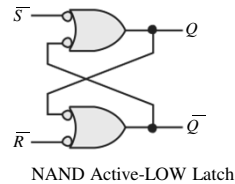
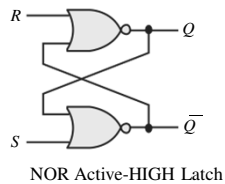
R e S stanno quindi per Reset e Set..
Reset riporta l'uscita a zero

Configurazione Crossover del Latch

- In realtà il latch non è disponibile nella forma mostrata in precedenza
- Nei comuni latch, le due porte NOR sono collegate in una configurazione incrociata "crossover" in maniera tale da **produrre due uscite, Q e Q'**

Latch

- Elemento di memoria volatile dotato di **due stati stabili (bistabile)**
- Forma **basilare di memoria**
- Un latch **S-R (Set-Reset)** è il latch più comune
 - Può essere realizzato con **porte NOR** (risponde a ingressi attivi HIGH)
 - Può essere realizzato con **porte NAND** (risponde a ingressi attivi LOW)



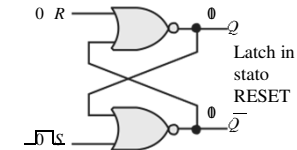
NAND
corrisponde a
OR con ingressi
negati per uno
dei due teoremi
di De Morgan

Latch: Funzionamento

Il latch S-R active-HIGH è in condizioni stabili (latched) quando entrambi gli ingressi sono LOW.

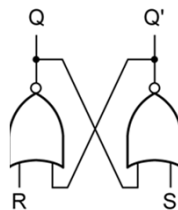
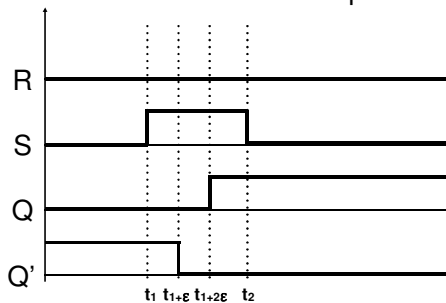
Assumiamo che il latch si trovi inizialmente nello stato RESET ($Q = 0$) e che entrambi gli input siano LOW (0).
Per effettuare un SET del latch ($Q = 1$), applichiamo un segnale temporaneo (impulso) HIGH all'ingresso S, lasciando R a LOW.

Per effettuare un RESET del latch ($Q = 0$), applichiamo un impulso HIGH all'ingresso R, lasciando S a LOW.



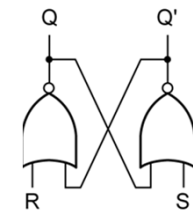
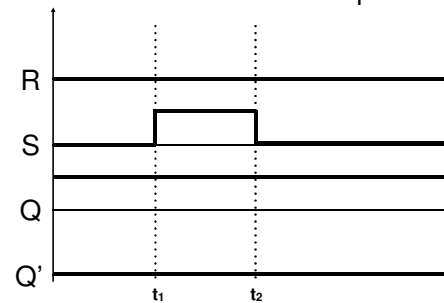
SET: Timing Diagram

Evento: impulso positivo su S
Ritardo porte: ϵ



Se applico SET quando $Q=1$?

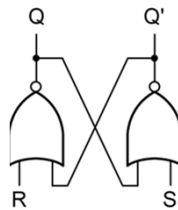
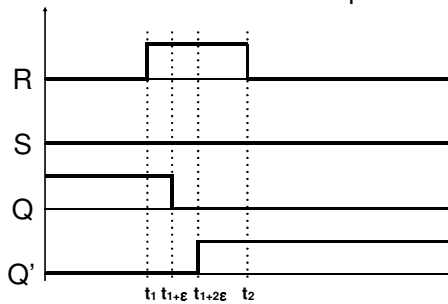
Evento: impulso positivo su S
Ritardo porte: ϵ



Non succede nulla!

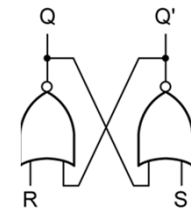
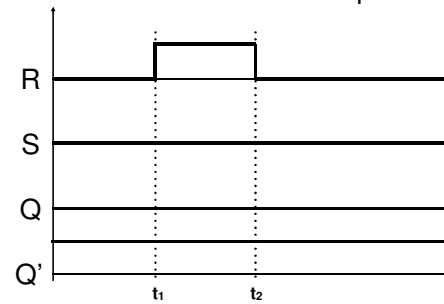
RESET: Timing Diagram

Evento: impulso positivo su R
Ritardo porte: ε



Se applico RESET quando $Q=0$?

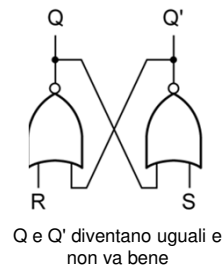
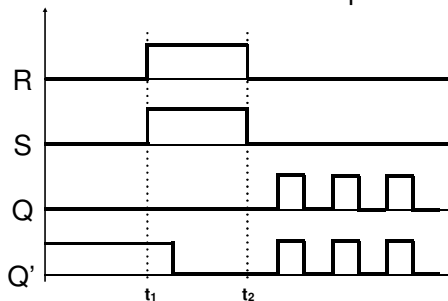
Evento: impulso positivo su R
Ritardo porte: ε



Non succede nulla!

Applico SET e RESET allo stesso tempo

Evento: impulso positivo su R e S
Ritardo porte: ε

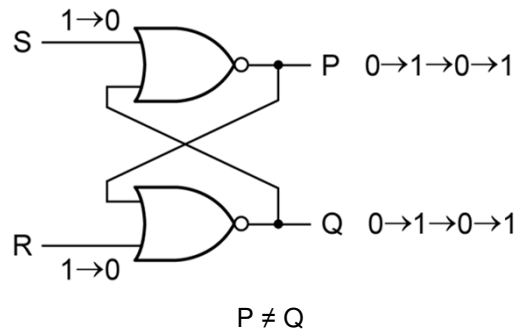


Le uscite Q e Q' si abbassano, poi iniziano a oscillare in sincrono!!

In pratica...

Il ritardo delle due porte NOR non è mai esattamente lo stesso, quindi il risultato potrebbe non essere deterministico...

Comportamento non consentito...



Comportamento del latch

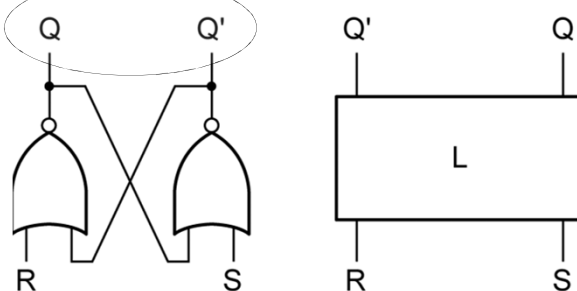
S R	Q
0 0	Q_0
0 1	0
1 0	1
1 1	Non consentito

Q_0 : stato corrente
Q: stato futuro

- Se $S = 1$ (Set), $Q = 1$
- Se $R = 1$ (Reset), $Q = 0$
- Se $S = R = 0$, $Q = Q_0$ (nessun cambiamento)
- **$S = R = 1$ è una condizione di ingresso non valida**

Simbolo latch S-R

Le due uscite devono essere sempre l'una il complemento dell'altra



Equazione caratteristica del latch S-R

SR	Q_0	0	1
00	0	1	
01	0	0	
11	N/A	N/A	
10	1	1	

S	R	Q_0	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	Ingressi non validi
1	1	1	

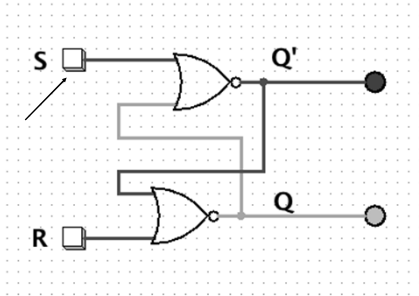
N/A non sono "don't care" ma impossibili

N/A non sono "don't care" ma impossibili

Equazione caratteristica: $Q = SR' + R'Q_0$ ($SR = 0$)

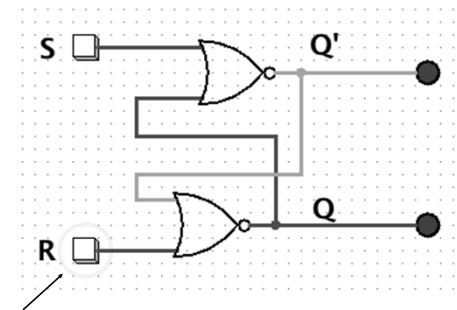
Applicazione

Un pulsante applica un impulso alto momentaneo, e l'uscita (led) resta accesa...



Applicazione

Un pulsante applica un impulso alto momentaneo, e l'uscita (led) resta accesa...

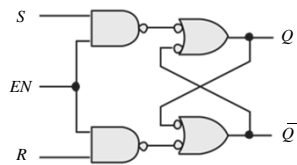
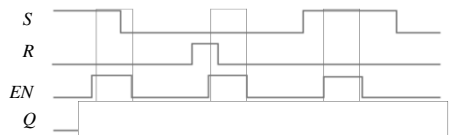


Gated Latch

Variante del latch SR

Dotato di input Enable (EN) che deve essere HIGH per consentire al latch di reagire agli ingressi S e R.

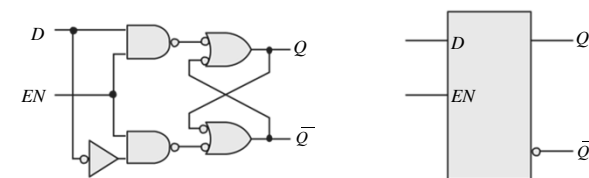
Timing diagram (Q parte LOW):



D Latch

Variante del latch S-R

Combina gli ingressi S e R in un unico ingresso D:



Regola base: Q segue D quando EN è attivo

S e R non sono mai uguali contemporaneamente

Gated D Latch costruito con porte NAND e Latch S-R

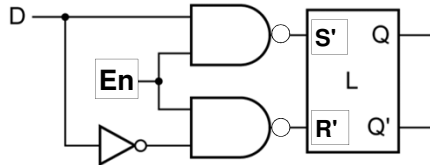


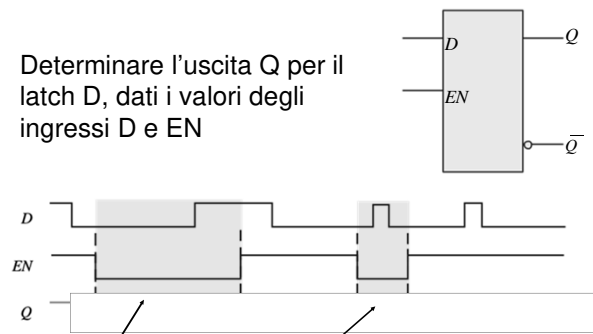
Tabella di Verità

Quando EN è LOW, non vi sono cambiamenti sugli output

Inputs		Outputs		Comments
D	EN	Q	\bar{Q}	
0	1	0	1	RESET
1	1	1	0	SET
X	0	Q_0	\bar{Q}_0	No change

Esempio

Determinare l'uscita Q per il latch D, dati i valori degli ingressi D e EN



Enable non è attivo in queste fasi...

Si suppone ritardo nullo delle porte

Equazione caratteristica

En·D		00	01	11	10
Q ₀	0	0	0	1	0
	1	1	1	1	0

$$Q = \text{En}' \cdot Q_0 + \text{En} \cdot D$$