

Analisi dei fenomeni transitori su circuiti combinatori

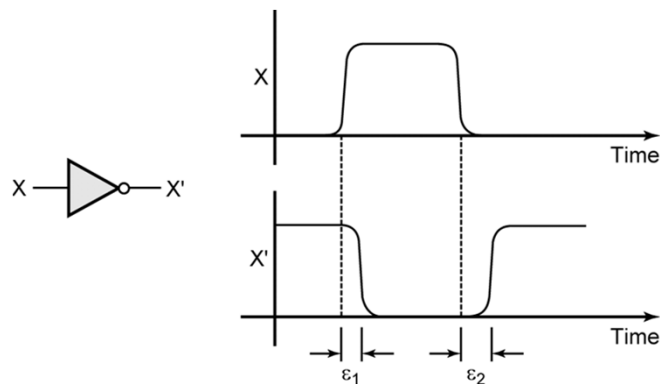
Ritardo di una porta logica

- Una porta logica standard **non** risponde ai suoi ingressi in **maniera simultanea**
- Di conseguenza, esiste un **ritardo** tra un **cambiamento di un ingresso** e il **corrispondente cambiamento sull'uscita**

Due casi di propagazione del ritardo

- t_{PLH} = Ritardo per un'uscita che passa **da LOW a HIGH**
- t_{PHL} = Ritardo per un'uscita che passa **da HIGH a LOW**
- **di solito** t_{PLH} è maggiore che t_{PHL}

Ritardo di una porta logica



Ritardo porte logiche

Utile per determinare:

- In che misura le uscite **sono valide** (o rappresentano situazioni di **transitorio**)
- La **velocità massima** di un circuito combinatorio
- La **frequenza massima** di un circuito sequenziale

Analisi di temporizzazione (semplificata)

- **Input:** circuito con più ingressi e singola uscita
- **Evento:** transizione di stato su un'ingresso (da HIGH a LOW o viceversa)
- **Determinare:** la propagazione di tale transizione di stato sull'uscita
 - Identificare il cammino tra il punto in cui la transizione è avvenuta e l'uscita
 - Calcolare il ritardo di propagazione usando il ritardo stimato per ciascun gate sul cammino
 - Il ritardo stimato è disponibile sul datasheet del gate

Analisi di temporizzazione (accurata)

- **Problema:** potrebbero esserci più cammini tra un ingresso e l'uscita
- **Soluzioni possibili:**
 1. Analizzare ciascun cammino e le varie combinazioni di ritardi
 2. Usare la "Worst Case Analysis" (analisi del caso peggiore)

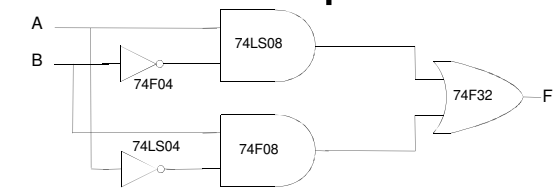
Sum of Worst Case (SWC)

- Annotare il **worst case delay** accanto a ciascun gate
 - massimo tra t_{PLH} e t_{PHL}
- Identificare tutti i cammini ingresso/uscita
- Calcolare il ritardo nel caso peggiore per ciascun cammino
 - Riassumere in una tabella
- Selezionare il caso peggiore

Sum of Worst Case (SWC): Esempio

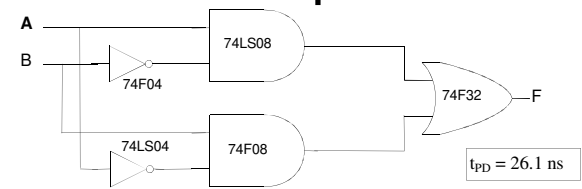
Determinare il worst case delay per il circuito XOR

Esempio



	t_{PLH} (ns)			t_{PHL} (ns)		
	min	typ	max	min	typ	max
74LS04	0	9	15	0	10	14
74F04	2.4	3.7	6.0	1.5	3.2	5.4
74LS08	0	8	18	0	10	20
74F08	2.4	3.7	6.2	2.0	3.2	5.3
74F32	2.4	3.7	6.1	1.8	3.2	5.5

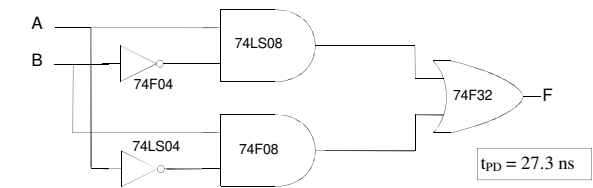
Esempio



$t_{PD} = 26.1$ ns

	t_{PLH} (ns)			t_{PHL} (ns)		
	min	typ	max	min	typ	max
74LS04	0	9	15	0	10	14
74F04	2.4	3.7	6.0	1.5	3.2	5.4
74LS08	0	8	18	0	10	20
74F08	2.4	3.7	6.2	2.0	3.2	5.3
74F32	2.4	3.7	6.1	1.8	3.2	5.5

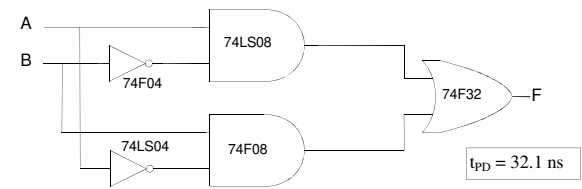
Esempio



$t_{PD} = 27.3$ ns

	t_{PLH} (ns)			t_{PHL} (ns)		
	min	typ	max	min	typ	max
74LS04	0	9	15	0	10	14
74F04	2.4	3.7	6.0	1.5	3.2	5.4
74LS08	0	8	18	0	10	20
74F08	2.4	3.7	6.2	2.0	3.2	5.3
74F32	2.4	3.7	6.1	1.8	3.2	5.5

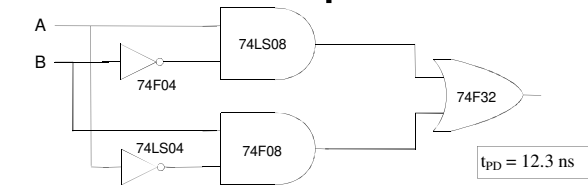
Esempio



$t_{PD} = 32.1$ ns

	t_{PLH} (ns)			t_{PHL} (ns)		
	min	typ	max	min	typ	max
74LS04	0	9	15	0	10	14
74F04	2.4	3.7	6.0	1.5	3.2	5.4
74LS08	0	8	18	0	10	20
74F08	2.4	3.7	6.2	2.0	3.2	5.3
74F32	2.4	3.7	6.1	1.8	3.2	5.5

Esempio



	t_{PLH} (ns)			t_{PHL} (ns)		
	min	typ	max	min	typ	max
74LS04	0	9	15	0	10	14
74F04	2.4	3.7	6.0	1.5	3.2	5.4
74LS08	0	8	18	0	10	20
74F08	2.4	3.7	6.2	2.0	3.2	5.3
74F32	2.4	3.7	6.1	1.8	3.2	5.5

Esempio - Sommario

Input	Output	Delay (ns)
A (1)	F	26.1
A (2)	F	27.3
B (1)	F	32.1
B (2)	F	12.3

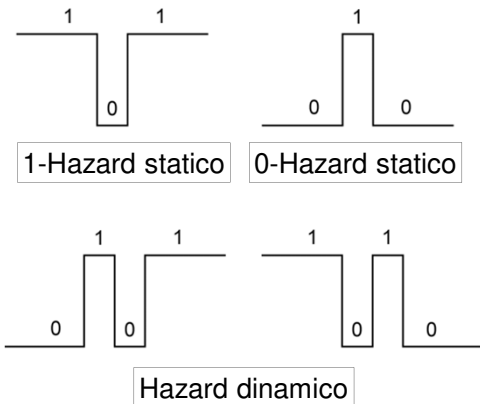
Delay di propagazione caso peggiore
(Worst Case Propagation Delay) = 32.1 ns

Hazard

Hazard

- Quando gli ingressi di un circuito combinatorio cambiano, è possibile che si verifichino dei transitori indesiderati in corrispondenza delle uscite
- Noti come "Hazard"
- Tali transitori si verificano quando diversi cammini ingresso/uscita hanno ritardi differenti

Hazard

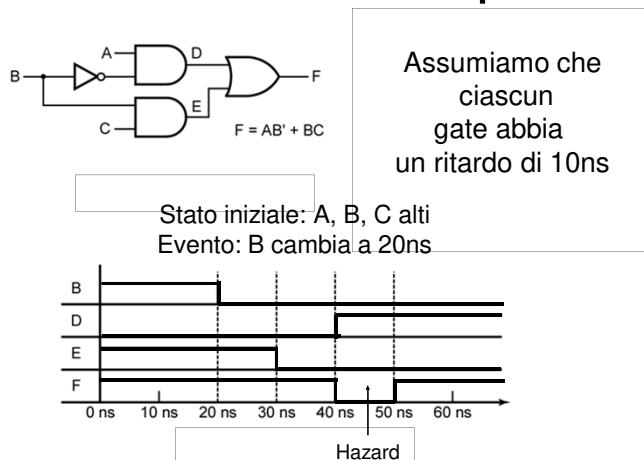


"Dinamico" che si ripete nel tempo.. "statico" è temporaneo

1-Hazard statico

- Nell'analisi di possibili hazard per un circuito combinatorio, considereremo il caso in cui possa cambiare un solo ingresso alla volta
- Un hazard statico (1) si verifica quando un ingresso causa la transizione di un termine di prodotto (in una espressione SOP) da 1 a 0 e di un altro termine da 0 a 1
- Entrambi i termini potrebbero temporaneamente assumere il valore transitorio di 0

1-Hazard: Esempio

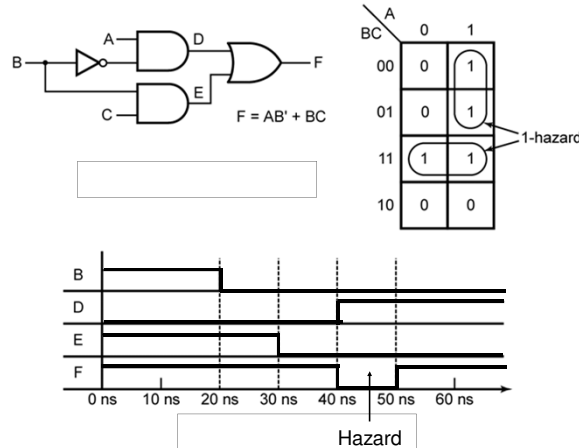


Individuazione di 1-Hazard statici

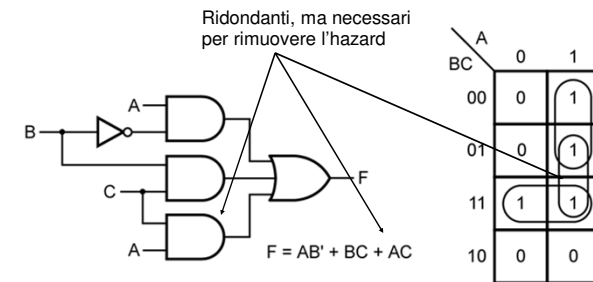
Procedura per circuiti AND-OR (SOP) a 2 livelli:

- Scrivere l'espressione SOP
- Rappresentare ciascun termine nella mappa e evidenziare il gruppo corrispondente
- Se due 1 adiacenti nella mappa non sono parte dello stesso gruppo, può verificarsi un 1-Hazard
- Per una mappa a n-variabili, la transizione si verifica quando una variabile cambia e le altre n-1 restano fisse

Individuazione di 1-Hazard



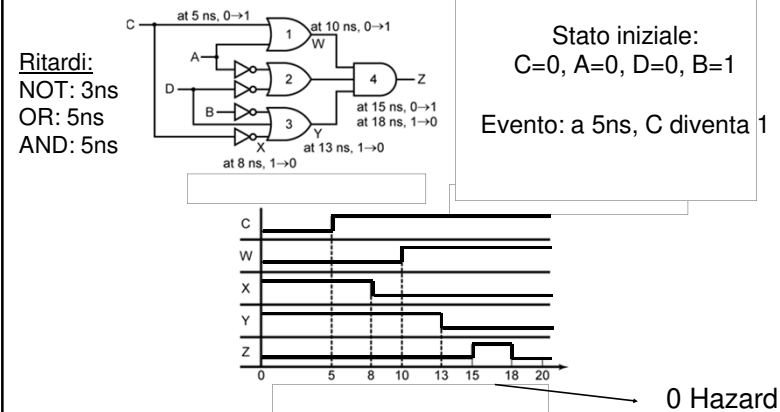
Rimozione di 1-Hazard



0-Hazard statico

- In maniera simile uno 0-Hazard si verifica quando il **cambiamento di un ingresso causa la transizione di un termine somma (in un'espressione POS) da 0 a 1 e un altro termine somma da 1 a 0**
- Entrambi i termini **assumono transitoriamente il valore 1**, causando **un 0-Hazard statico**

Individuazione di 0 Hazard

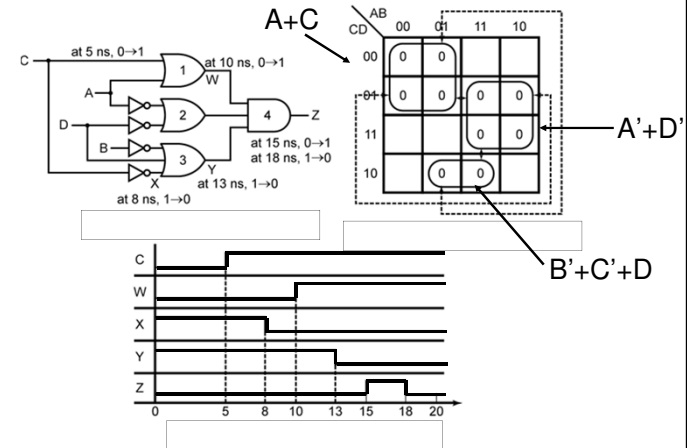


Identificazione di 0-Hazard statici

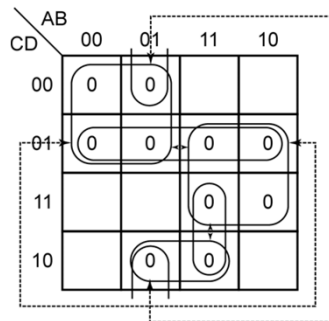
Procedura per circuiti OR-AND (POS) a due livelli:

- Scrivere l'espressione POS
- Rappresentare **ciascun termine nella mappa e evidenziare il gruppo corrispondente**
- Se **due 0 adiacenti nella mappa non sono parte dello stesso gruppo, può verificarsi uno 0-Hazard**
- Per una mappa a n-variabili, la transizione si verifica quando **una variabile cambia e le altre n-1 restano fisse**

Individuazione di 0 Hazard

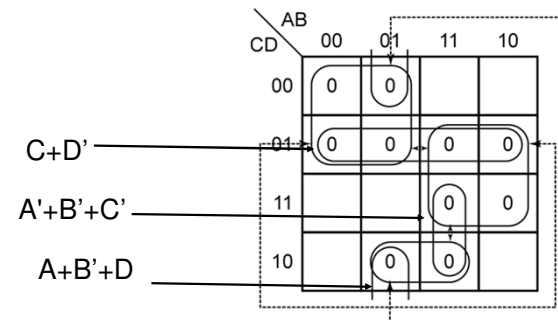


Rimozione di 0-Hazard



Quanti gate ridondanti sono necessari?

Rimozione di 0-Hazard



Quanti gate ridondanti sono necessari?

Domande

- E' possibile che si verifichino 0-Hazard statici in circuiti AND-OR (SOP) a due livelli?
- E' possibile che si verifichino 1-Hazard statici in circuiti OR-AND (POS) a due livelli?

Esercizio

Implementare un circuito privo di Hazard per la seguente espressione:

$$F(A,B,C,D) = A'C' + AD + BCD'$$

Esercizio

Implementare un circuito privo di Hazard per la seguente espressione:

$$F(A,B,C,D) = (A'+C')(A+D)(B+C+D')$$