



可重构计算 (Reconfigurable Computing)

李 磊

eniacle@ncic.ac.cn

智能中心HPC-OG组

2003-10-22

内容



- RC : what&why
- RC的体系结构
- RC的研究项目
- RC与DSAG

RC : What & Why

- 可重构计算：Reconfigurable Computing , RC
FPGA-based RC
- 历史：50年代，80年代
- 目标：**"the performance of hardware with the flexibility of software."**
 - ASIC - 专用，processor - 通用
 - 性能 - 成本
- 我们的目的
 - DSAG：光互连 - “拆”；RC - “聚”，聚的过程需要重构
 - 研究RC体系结构理论和方法对DSAG理论的指导
 - 研究如何利用现有的RC技术和产品构建DSAG

RC的研究主题

- 体系结构

逻辑，连接

- 软件技术

描述，编译，开发环境

- 快速可重构技术

实时性，更高的动态性

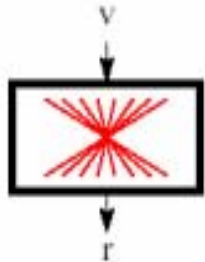
- 应用

ASIC（小雨点卡），design/verification(龙芯)，DSAG
(?)

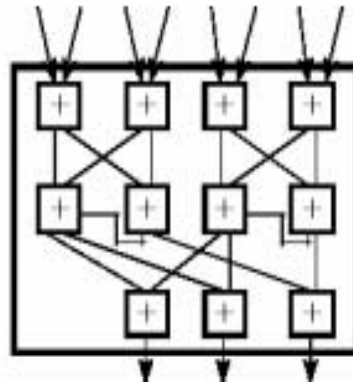
Why Reconfigurable Computing?

Bit-Level Parallelism

```
Reverse(int v) {  
    int x, r;  
  
    for (x=0; x<WIDTH; x++) {  
        r |= v&1;  
        v = v >> 1;  
        r = r << 1;  
    }  
    return r;  
}
```

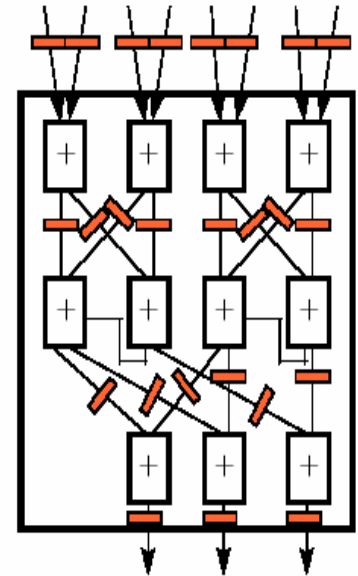


```
popcount(int v) {  
    int r=0;  
  
    while (v) {  
        if (v&1) r++;  
        v = v >> 1;  
    }  
    return r;  
}
```



Pipeline Parallelism

```
for (j=0; j<MAX; j++)  
    b[j] = popcount(a[j]);
```





Why Reconfigurable Computing?

Performance (~ 10x Speedup)

Algorithm	FPGA system	Comparison CPU	Speedup
DNA Matching	SPLASH 2	SPARC 10	4300
RSA Crypto	PAM	Alpha 150MHz	17.8
Ray Casting	RIPP-10	Pentium 75MHz	33.8
FIR filter	1 Xilinx FPGA	DSP 50MHz	17.9
Hidden Markov Model	1 Xilinx FPGA	SPARC 10	24.4
Spec92	MIPS+RC	MIPS	1.12

From CMU , 1998

FPGA

- FPGA : Field Programmable Gate Array现场可编程门阵列
- 家族历史：PAL , GAL , PLD , CPLD , FPGA
- 工艺实现：乘积项/查找表 , SRAM/flash/EEPROM
- 厂商与产品

 ALTERA

产品：MAX , FLEX , APEX , Stratix , cyclone等。开发工具：MaxplusII , QuartusII。

 XILINX®

产品：XC , Spartan , Vertix等 , 开发工具：Foundation , ISE。

 Lattice
Semiconductor
Corporation

产品：LSI , MACH等。

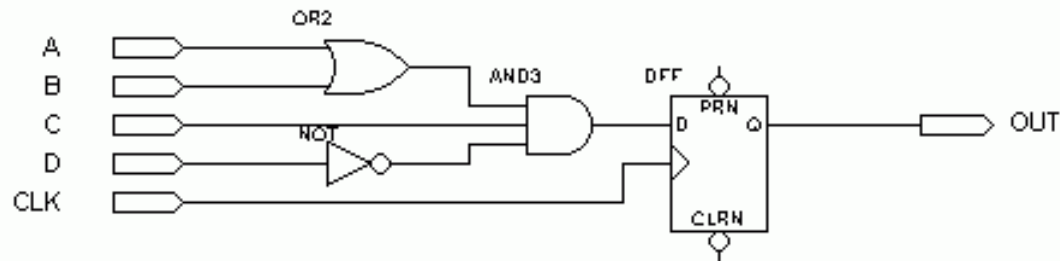
 Actel

产品：反熔丝技术的PLD。

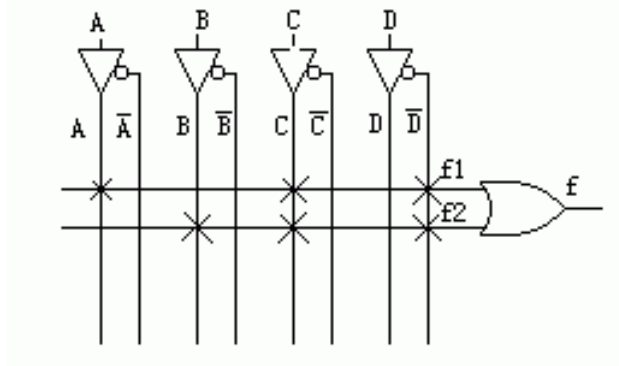
其他厂商：cypress , Quicklogic , atmel , WSI , lucent....

RC的原理

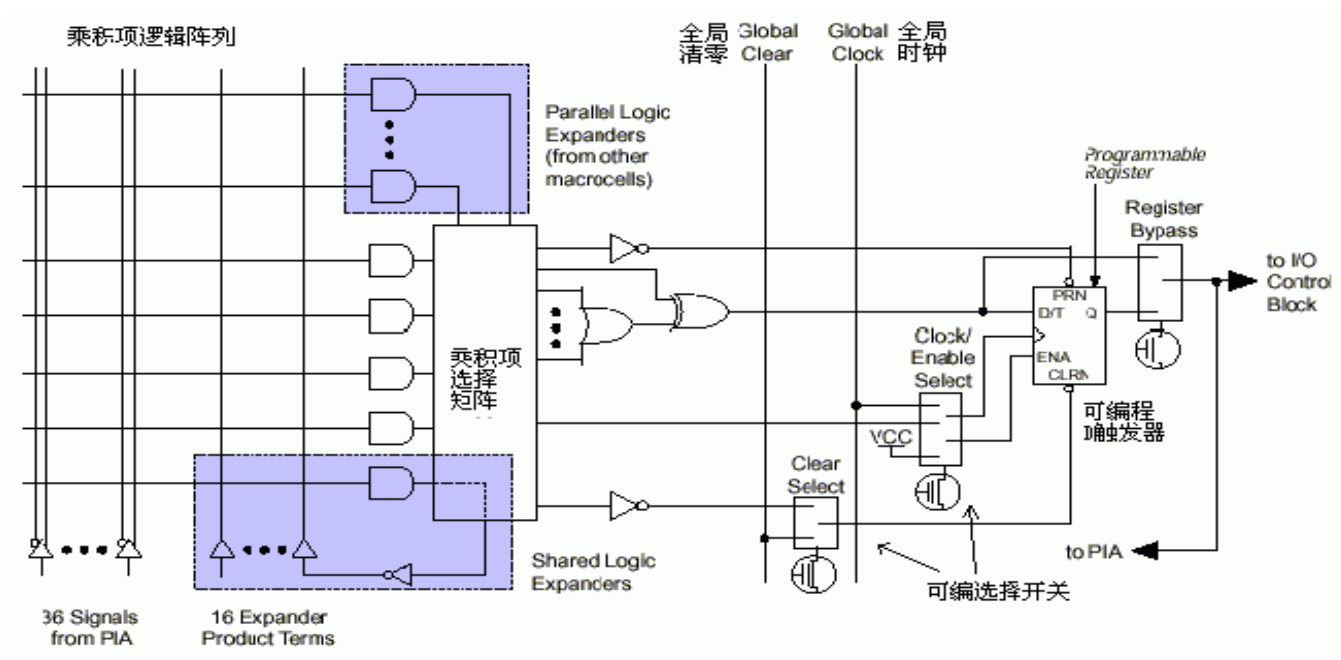
基于乘积项（product-term）的PLD原理



AND3的输出 $f = (A+B) * C * (!D) = A * C * !D + B * C * !D$

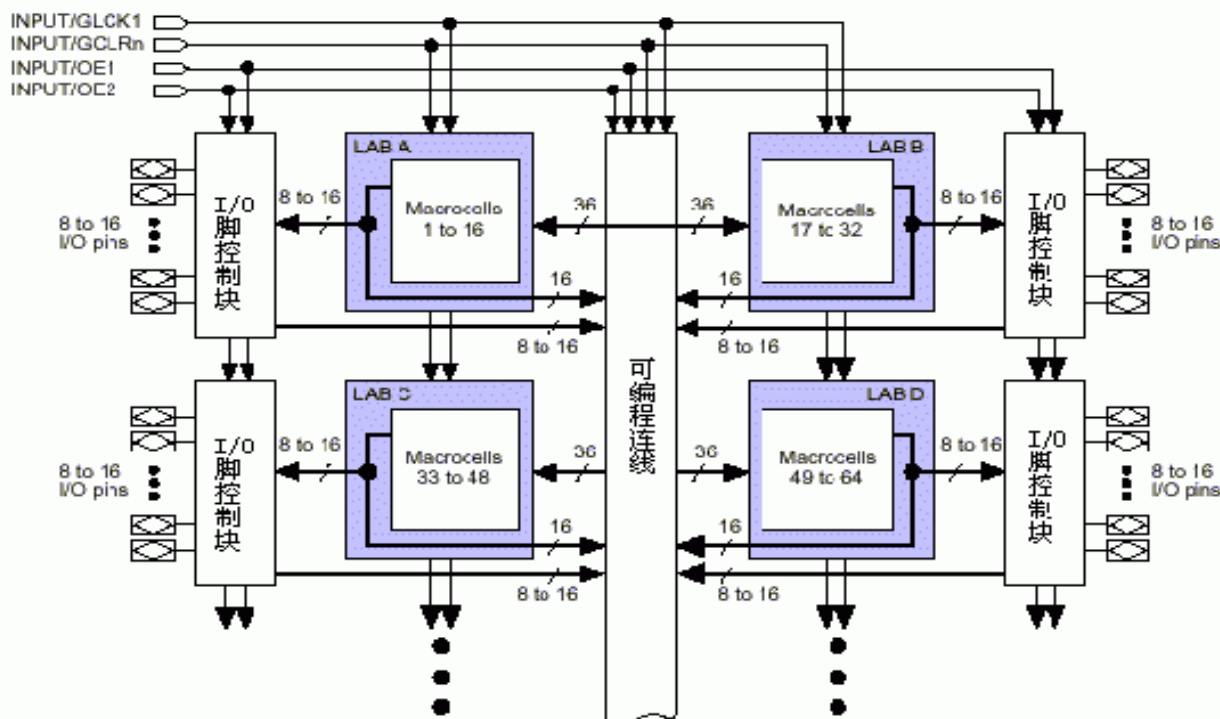


基于乘积项 (product-term) 的PLD原理(续)



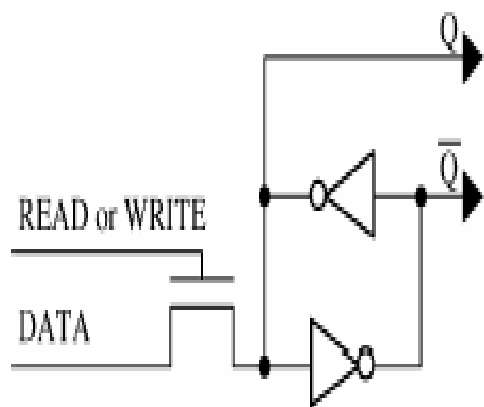
PLD宏单元

基于乘积项 (product-term) 的PLD原理(续)

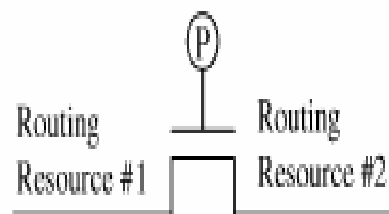


宏单元，可编程连线，IO控制块，公用信号专用通道

硬件可编程技术



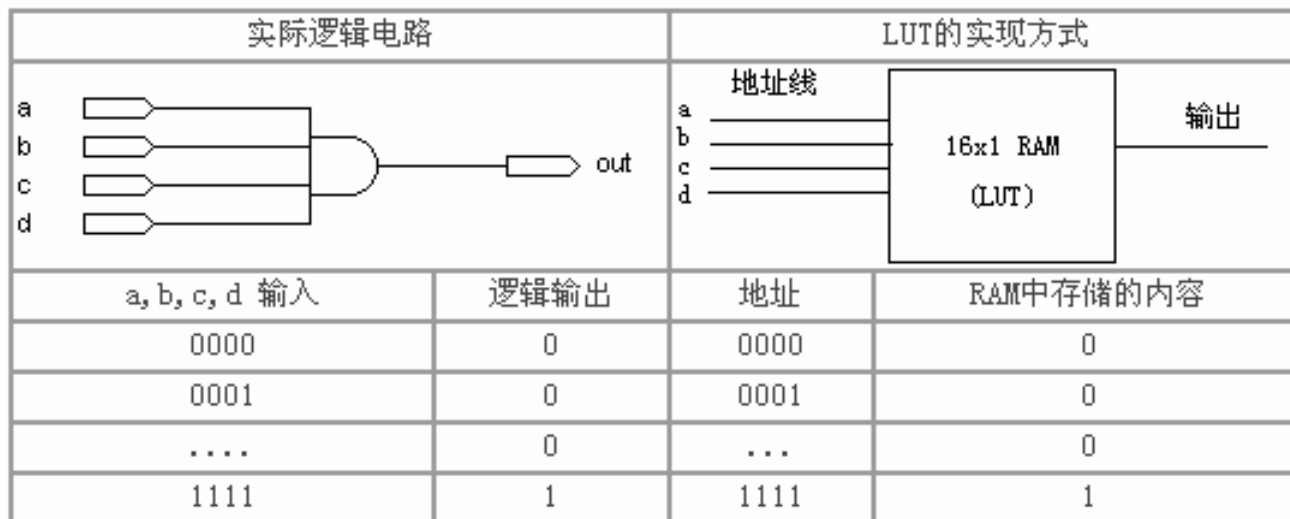
SRAM可编程位



可编程连线

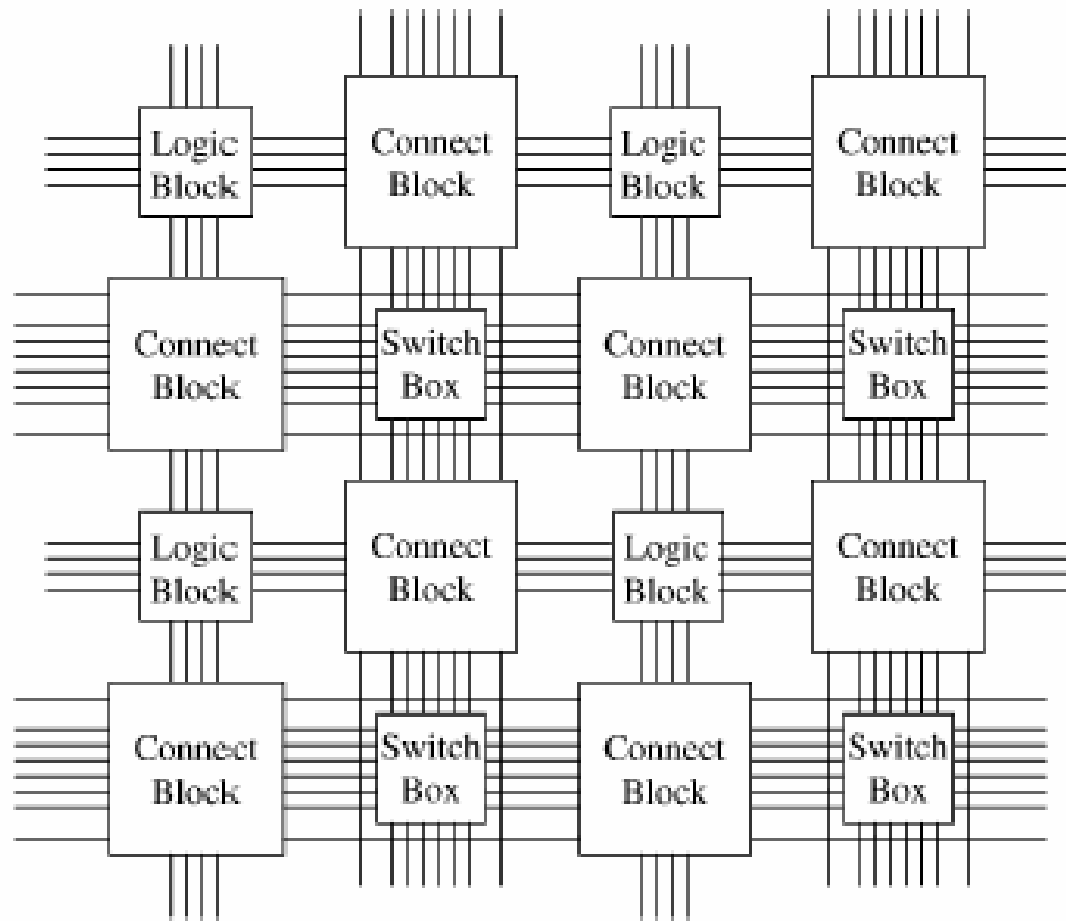
基于查找表 (Look-up Table, LUT) 的FPGA

查找表 : Look Up Table

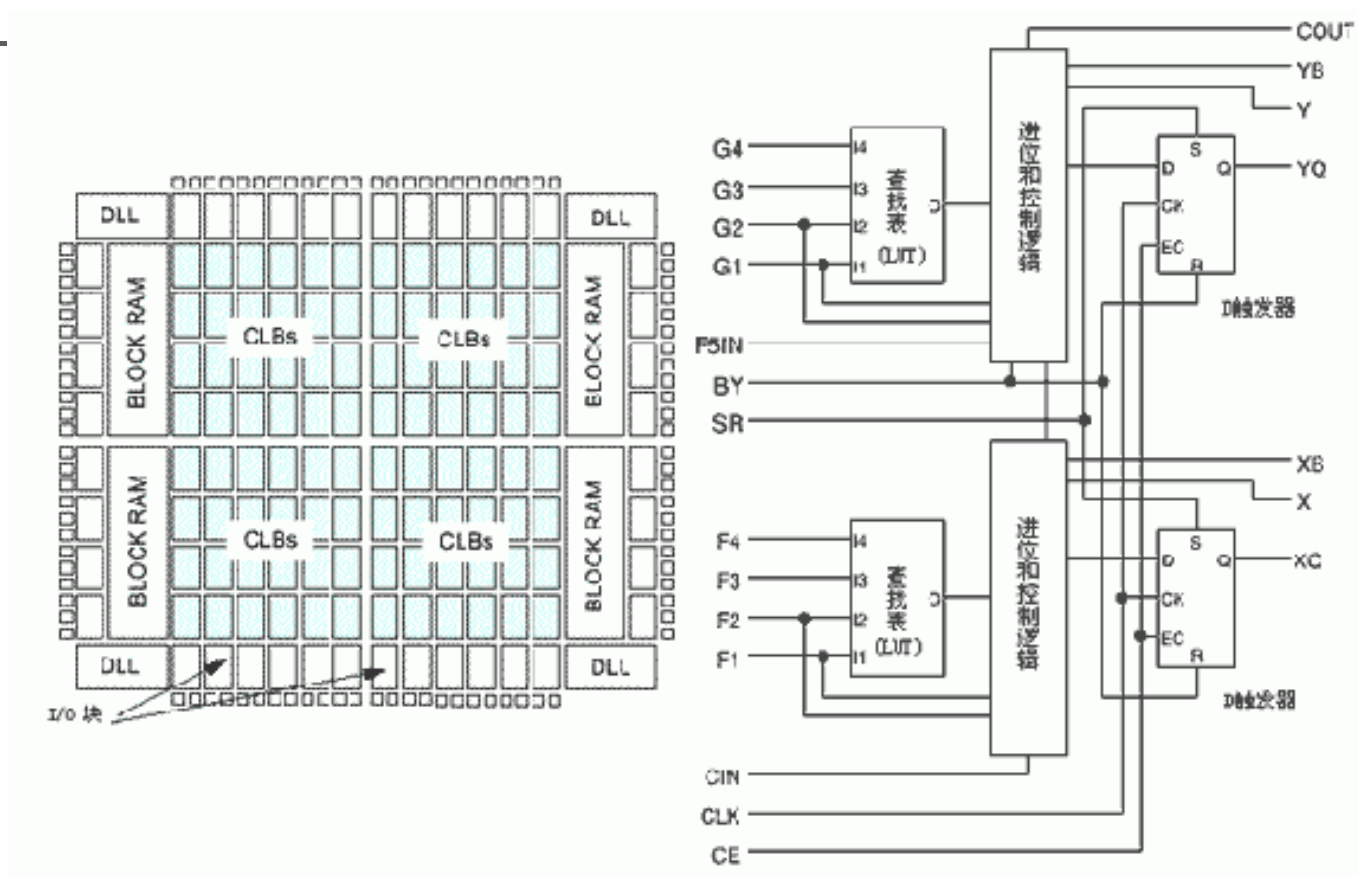


当用户用HDL或原理图描述了一个逻辑电路后，FPGA软件会自动计算所有可能的结果，事先写入RAM，以逻辑输入作为地址来查找，输出结果。

FPGA典型结构

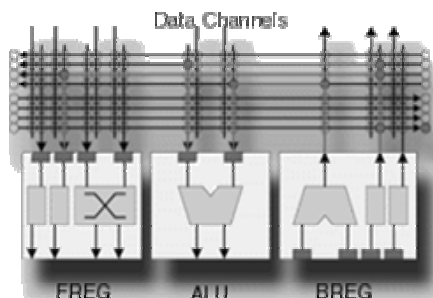


基于查找表 (Look-up Table, LUT) 的FPGA (续)

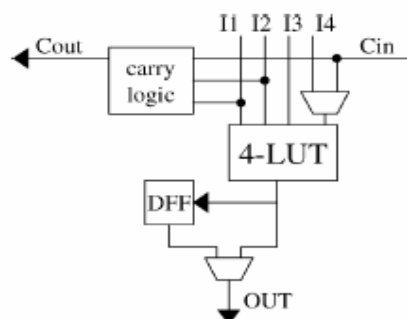


Xilinx SpartanII

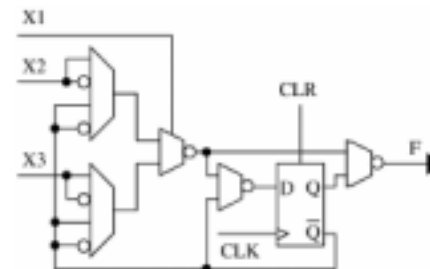
逻辑块的粒度



粗粒度



中粒度



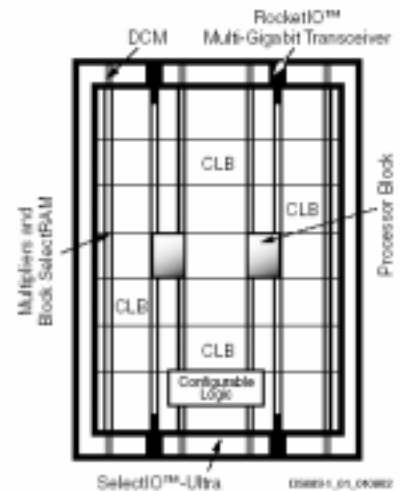
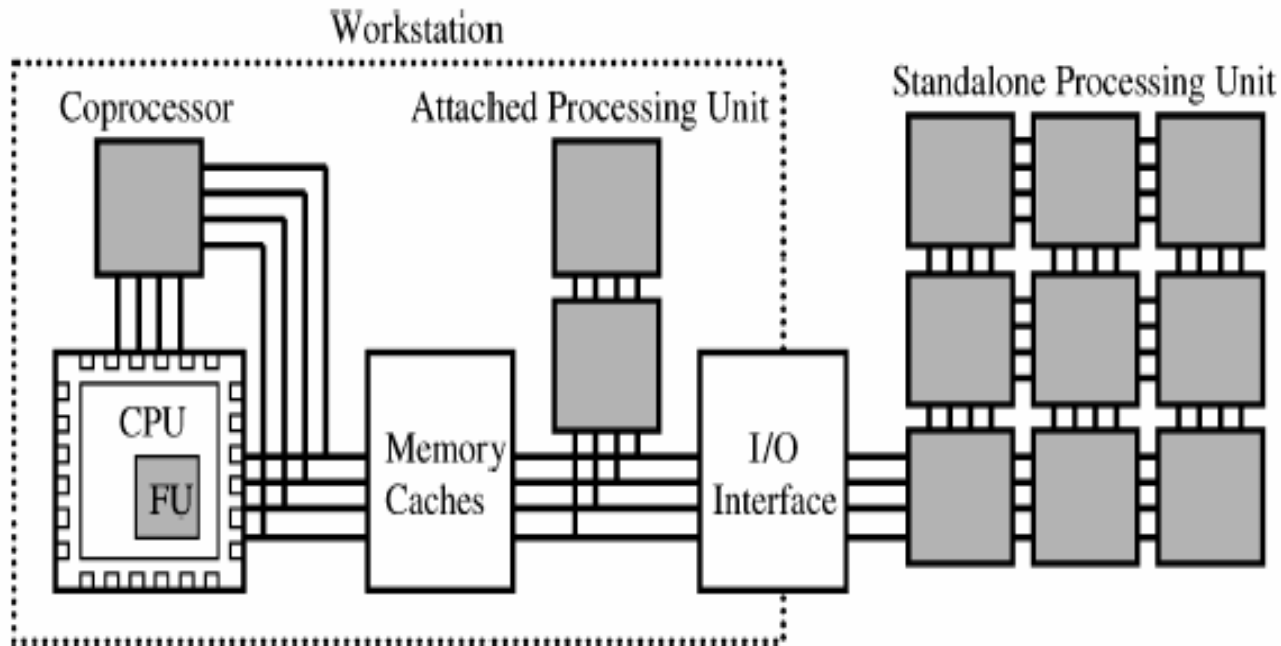
The functional unit from a Xilinx 6200 cell

细粒度

面向应用：datapath，computing，co-processor

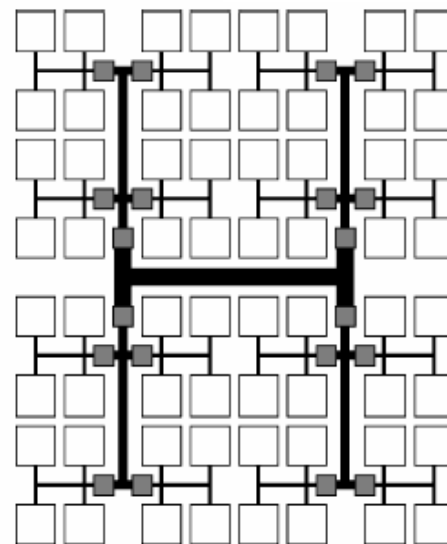
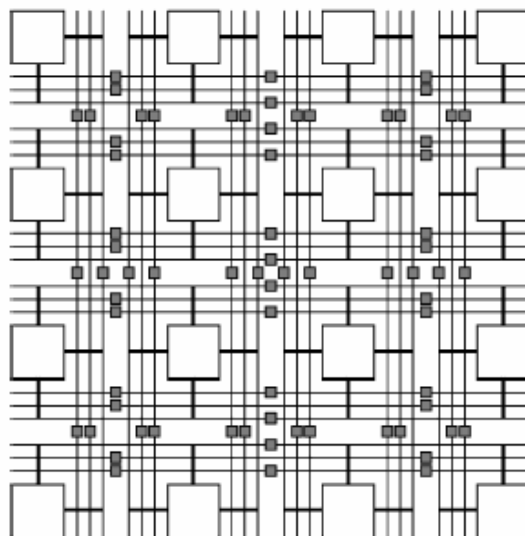
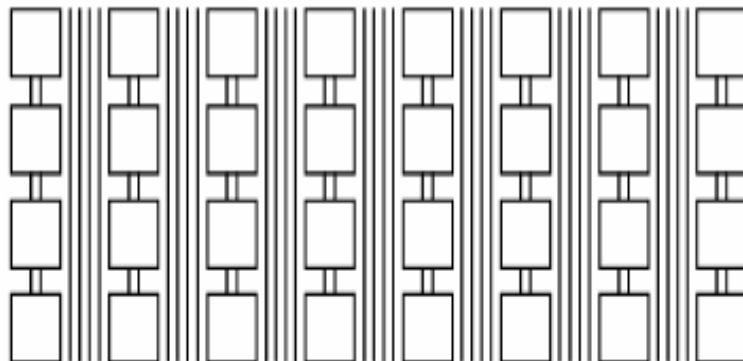
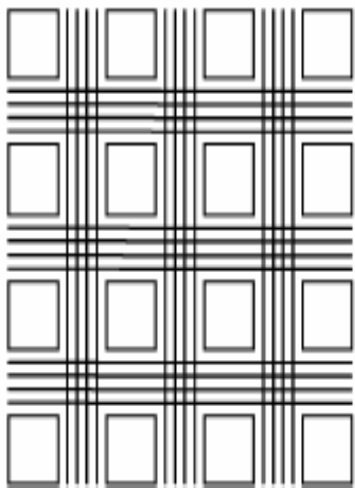
重构时间：

RC与计算机系统的耦合模式

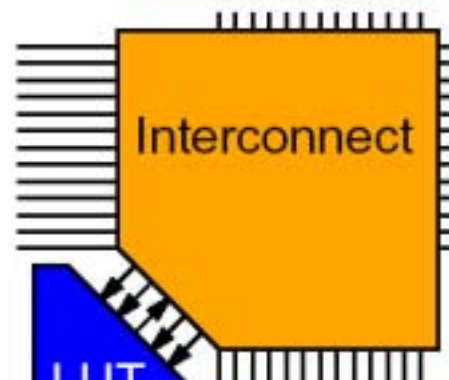
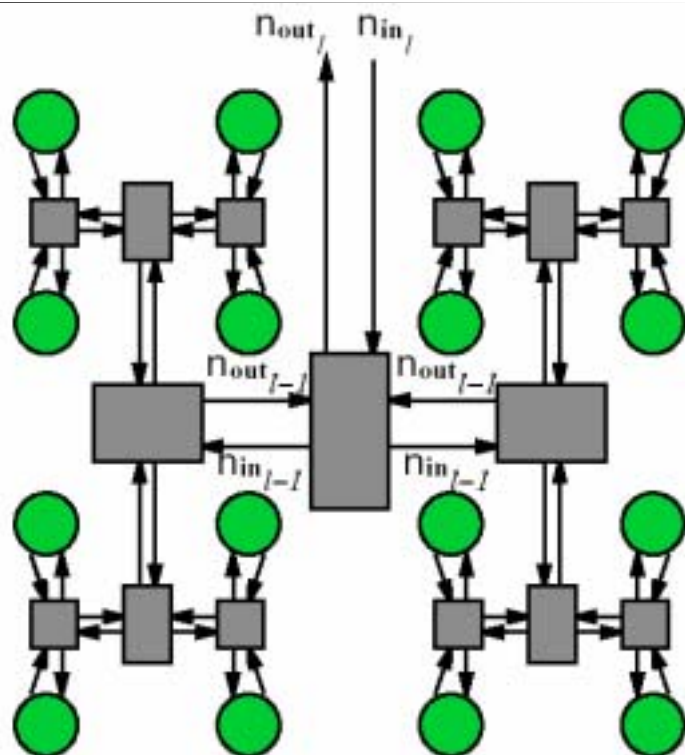


In HPC?

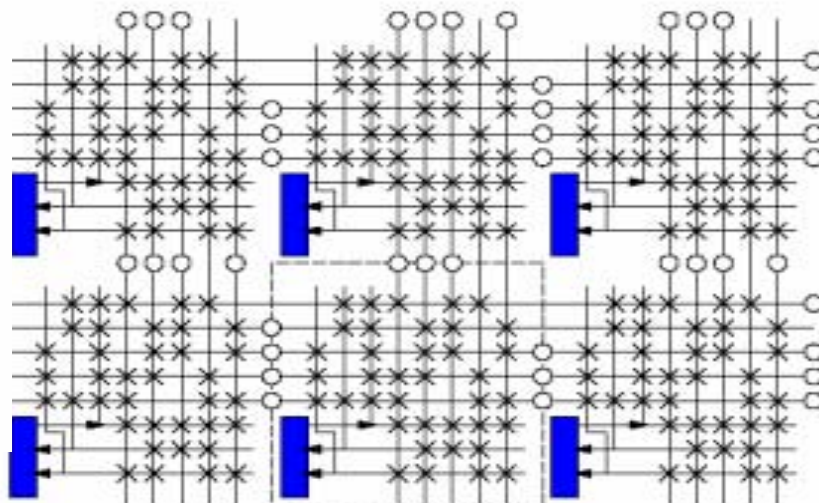
连接结构



一维
岛式
段式
层次式
混合式



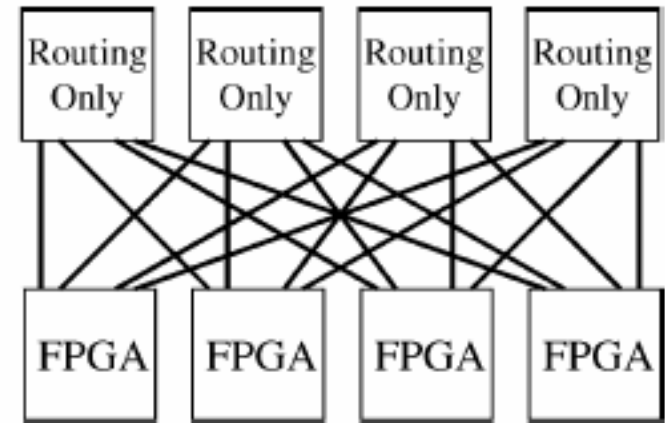
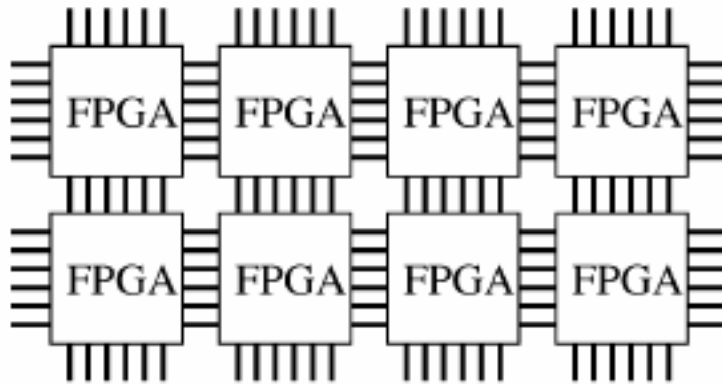
○ Switch between segments × Switch between orthogonal lines



布线资源的设计

- 任意逻辑块之间的任意连接方式
- 布线资源占用的面积大
 - 线的延迟
 - 线的交叉
- 提高布线资源利用率
- 局部连线，全局连线

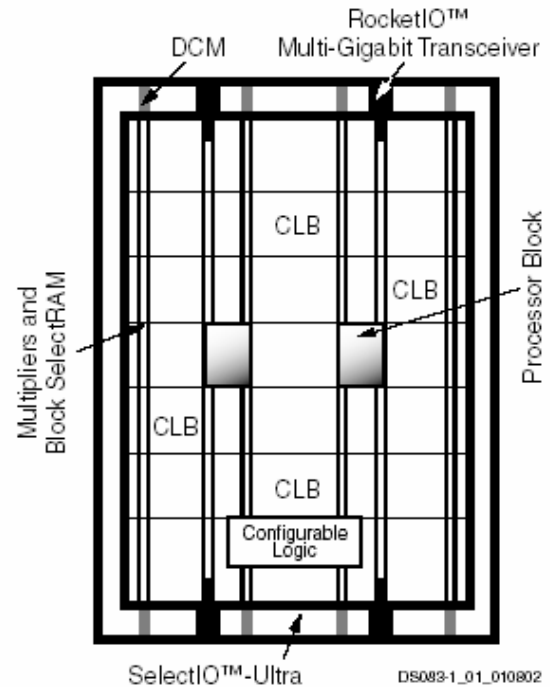
多FPGA系统



信息安全的串匹配，并行协议栈
生物信息处理专用机

Hybrid FPGA

- 在FPGA中嵌入各种专用硬核
- FPGA不再只是逻辑块和连线构成的fabric，而是功能更强大的开发平台
- 主动互连技术使得不同厂商的Ipcore可以嵌入
- 提供硬核和软核服务（试用，购买，免费），促进IP核服务？
- 灵活性和性能的进一步提升
- Altera ARM9，Xilinx PPC



RC的软件



■描述

原理图，HDL（VHDL, verilogHDL,C,Java）

电路描述，算法描述

■编译1

综合，翻译，映射，布局，布线

■编译2

指令集，优化编译

■测试

约束生成，激励生成

■开发平台

工程管理，电路库，电路生成器，测试生成器，资源分配器，仿真调试器

实时可重构技术



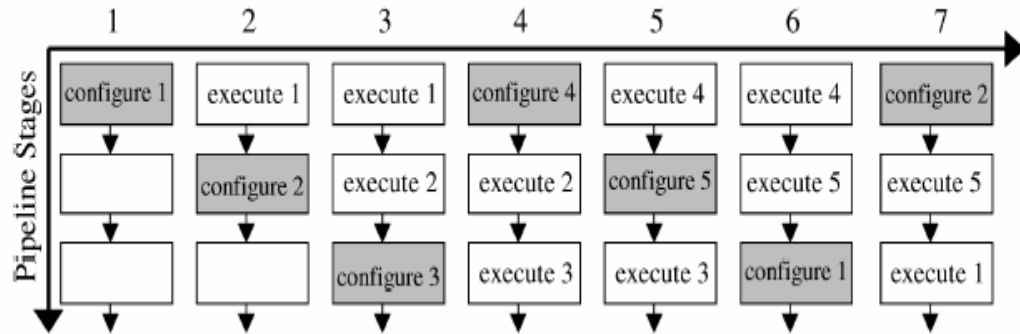
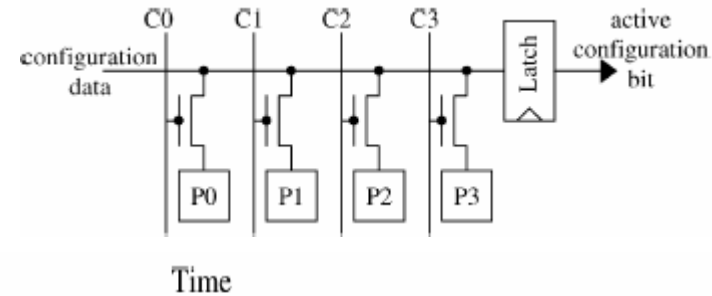
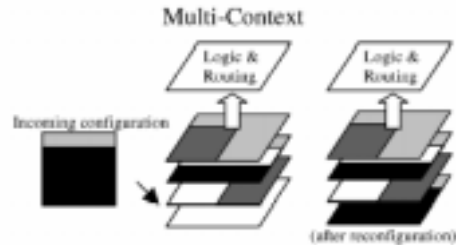
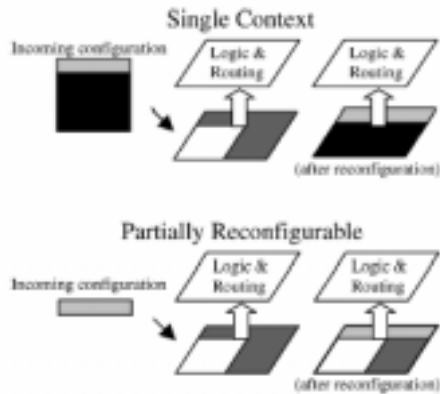
- RTR: Run-Time RC

- 快速：s，ms，ns，

- 实时：运行时

- 改变“预制而非动态”的状况

实时重构模式



Single-context: 全部重构

Multi-context: 一个可编程bit有多个选择

Partial: 只覆盖需要重构的部分

Pipelined :

快速可重构

采取的方法

- 预取，执行和配置过程并行；
- 压缩，减小配置数据量；
- 重定位和碎片整理，可以配置到未用的区域，从而使得已经配置的区域将来可以重复利用；
- 缓存

提高处理器和操作系统性能的方法用于了重构加速。

带来的问题

- 长线
- 进程切换带来的配置保护问题

缺点与局限



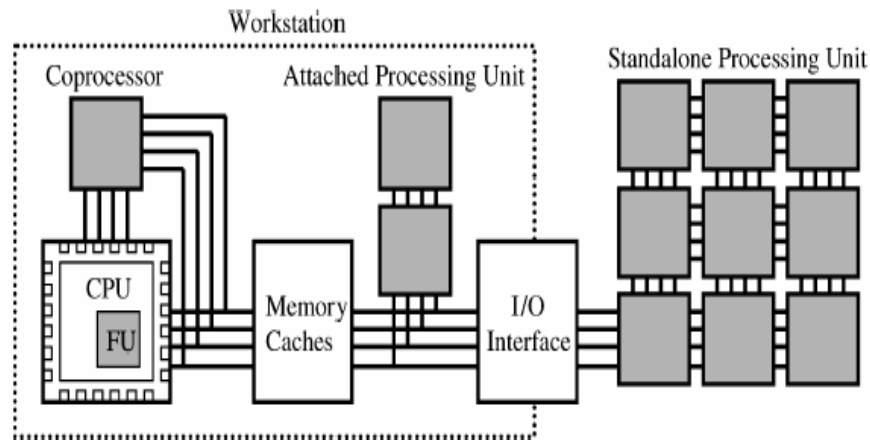
- 性能：尚不如ASIC
- 灵活性：开发和测试比软件复杂
- 成本：量产成本，工具成本，人力成本
- 缺乏体系结构支持：面向应用

RC的研究项目

- PRISC,PAM , GARP,DISC,OneChip,WASMII, PipeRench, splash2 , DPGA, Matrix, IRAM , RAW , BRASS

- 面向的应用 :

- 涵盖的模式 :



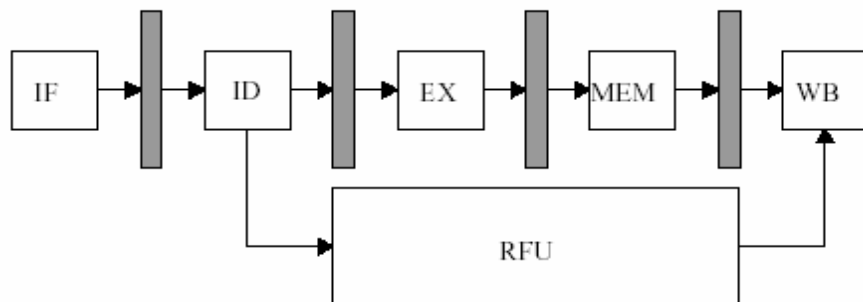
- 关注的点 : 面向应用 , 快速可重构 , 软硬件界面

PRISC

PRISC在处理器寄存器堆加入了一个可编程的功能单元（PFU），实现面向应用的可重用，但是PFU的指令是固定的并且是串行的，因此并没有真正使得rchitecture具有扩展性和并行性。

OneChip

与流水线紧密结合，以获得高带宽

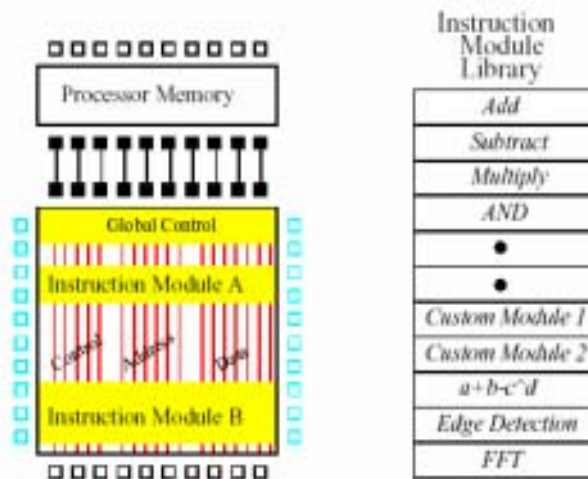


DISC

动态指令集

由处理器核和可定制指令空间组成

基于部分重构FPGA



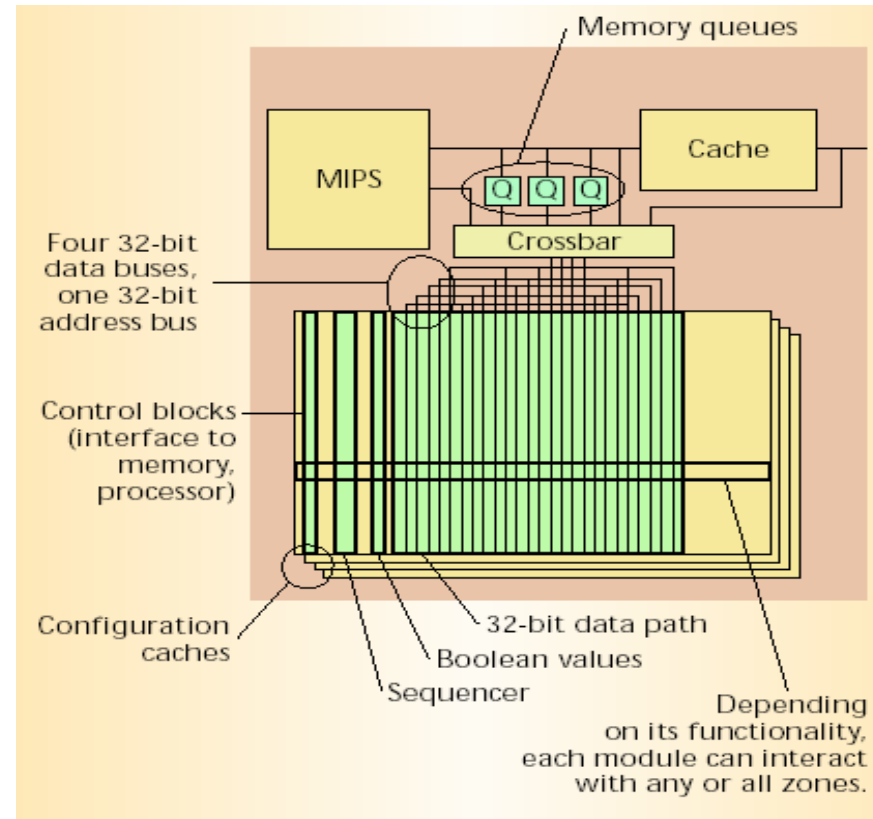
■Pi peRench

硬件分为若干块，时分复用，实现硬件的换入换出，动态配置。实现面向应用的流水化硬件；增量可重构；

■GARP

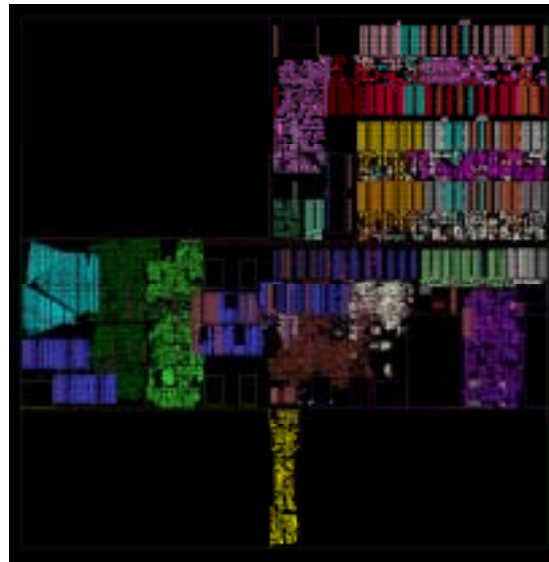
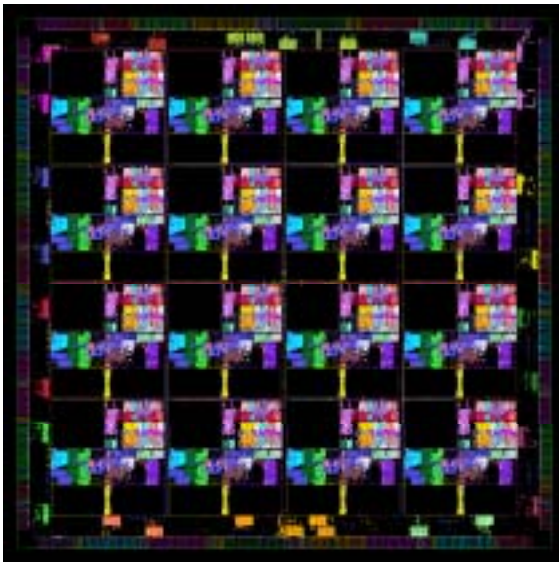
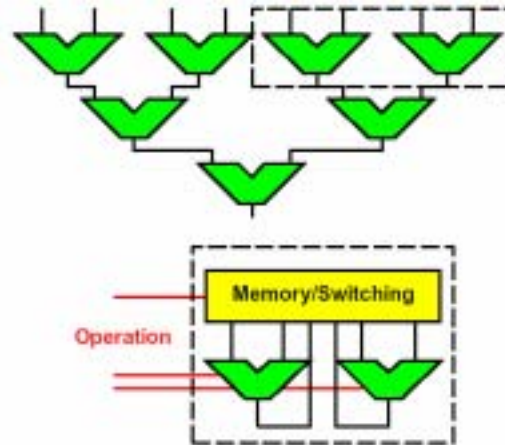
- 用于加速的硬件协处理器；
- 需要额外的指令从处理器和GARP之间移动数据；
- 从内存读入可重构配置；
- 缓存；

基于GARP技术的Xilinx XC6200
可重构时间<1ms



MARTIX: Multiple Alu
archiTecture with Recon-
figurable Interconnect
experiment

RAW: 可变指令集



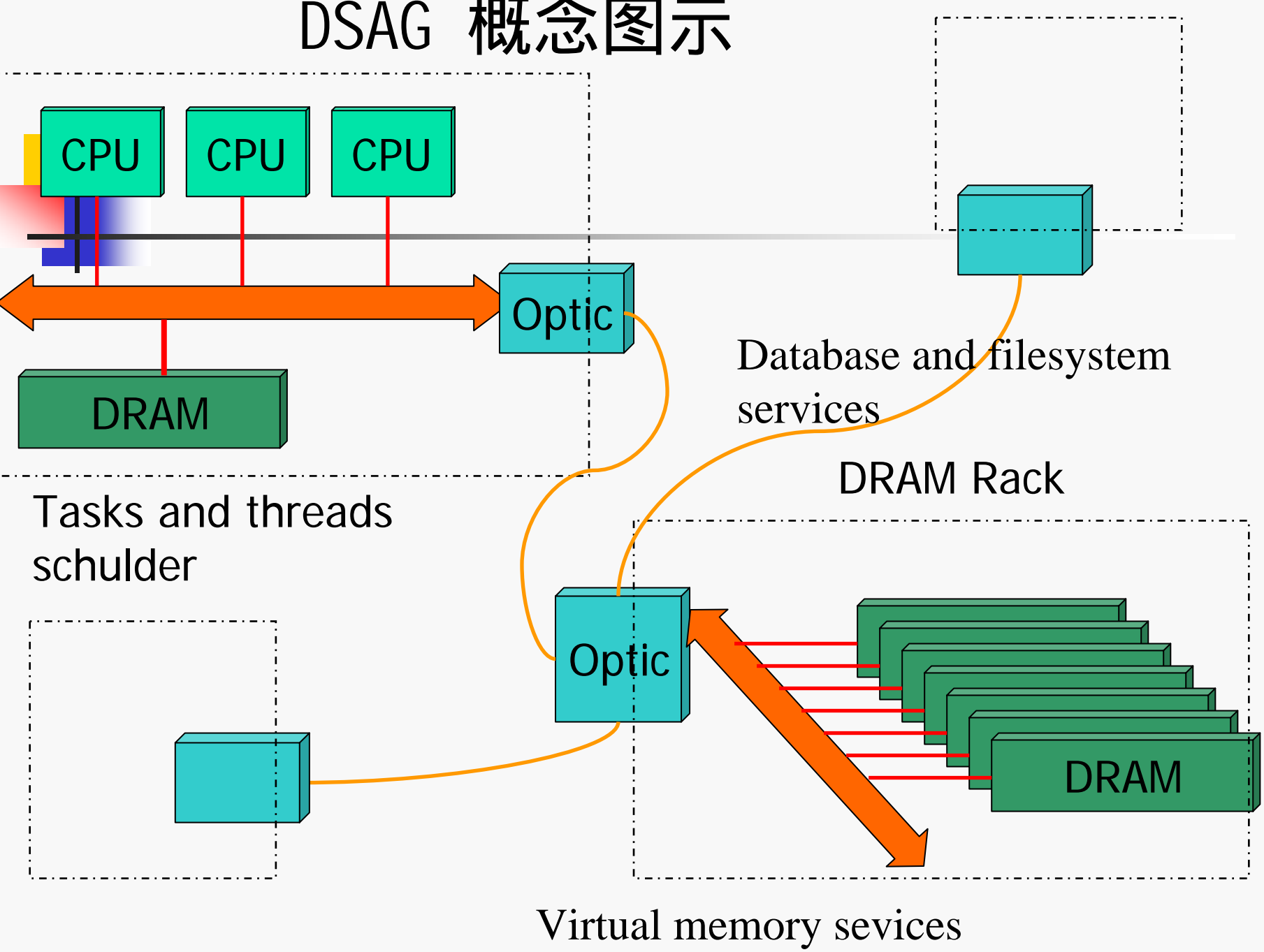
可重构计算与DSAG

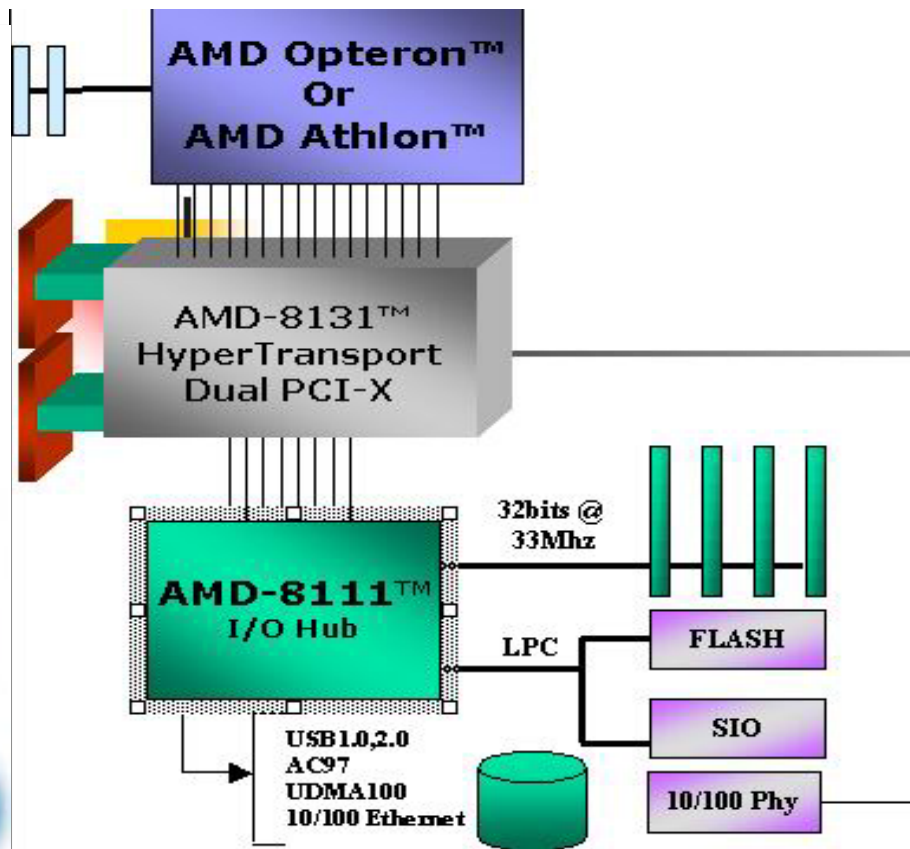
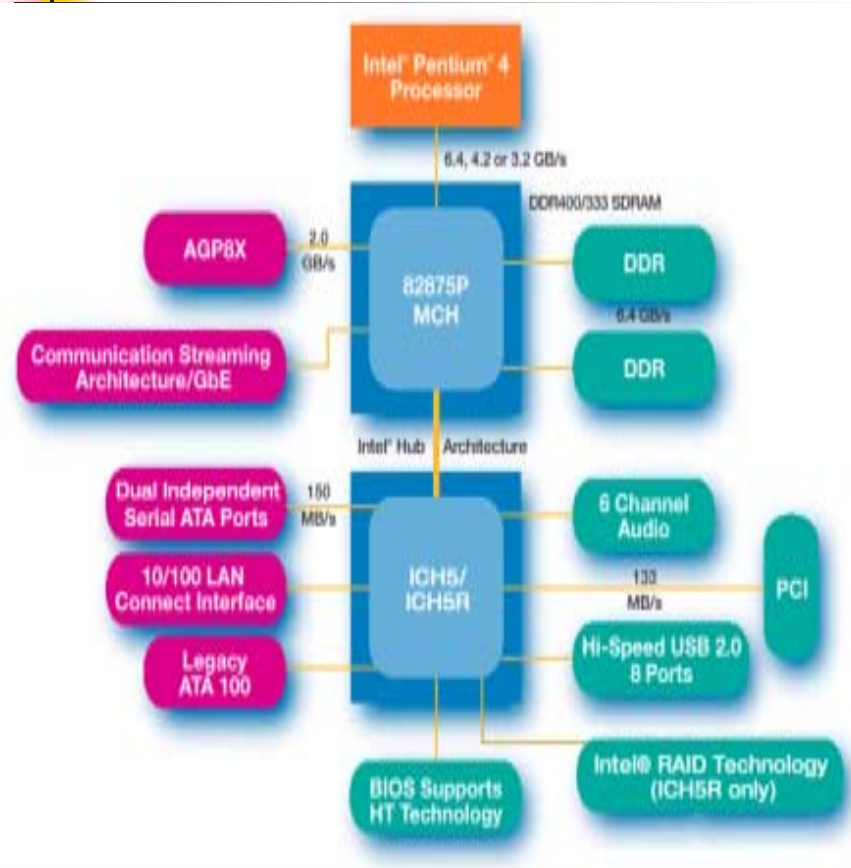
- 网格化：功能部件形成一种独立的具有自我描述功能的网络服务。
- 动态：资源通过网络进行动态的申请和释放和调配，没有一个物理的、固定的系统。
- 自组织：根据应用需求自动搜索、协商和分配资源，自动建立功能部件间的关联，以组织成一个完整的计算机系统

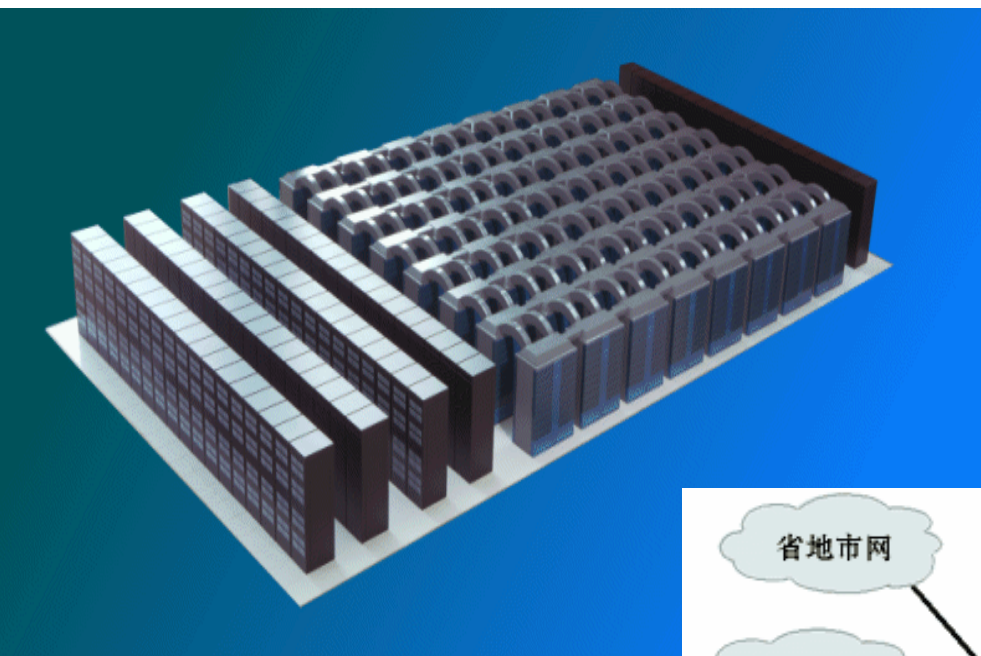
Architecure On Demand

- 基于DSAG的FPGA芯片系统设计：结合DSAG的思想，可以将FPGA的可重构处理单元(RPU)的结构按功能单元进行划分和动态组织，从减少重新定制开发RPU的周期，甚至最终打破原有高性能计算中硬件/软件的分界线
- FPGA在DSAG的构造中的应用

DSAG 概念图示

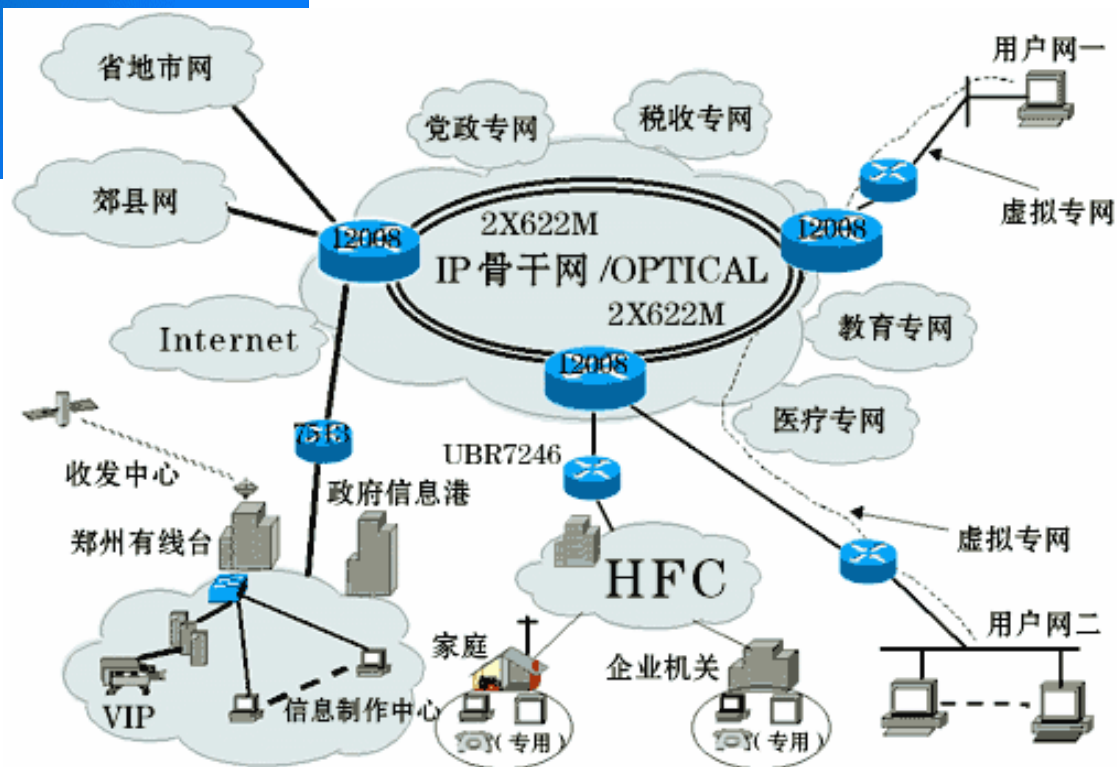


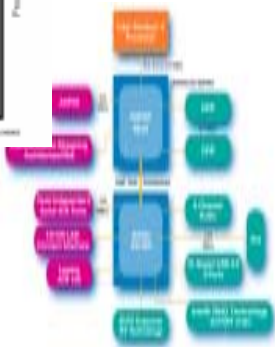
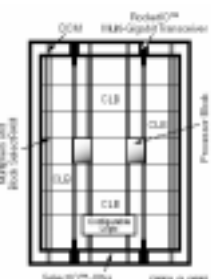




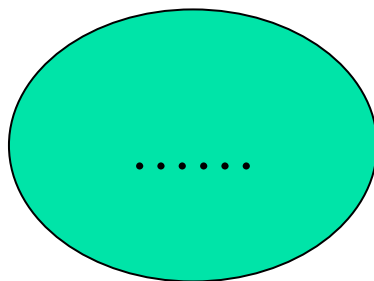
cluster

Intranet/internet



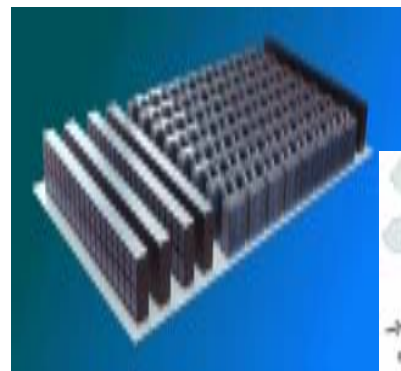


不同层次的RC：开关级，结构级，进程级，系统级



自相似：功能单元与互连单元

芯片->板卡->节点->机群->网络



From FPGA to internet

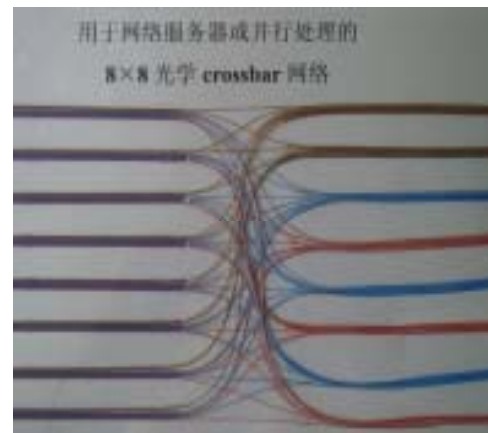


	FPGA	板卡	HPC (cluser)	Intranet/internet
级别	芯片内	板，卡	系统	网络
功能单元	逻辑块	芯片，模块	节点	各类计算设备
互连单元	可编程连线	总线	交换机等	路由器，交换机
重构方式	在线配置	跳线，嵌入式OS	进程调度，迁移	拓扑，路由
发展趋势

系统互连的趋势

- 交换式结构代替总线式
 - 高速串行点对点连接代替并行总线
 - 基于包交换的协议代替独立控制信号
 - 异步协议代替同步协议
-
- 传统意义上的互联走向通信模式？
-
- 为可重构互连带来了机会？
 - 模块化
 - 异步性

“拆”和“聚”



■光互连让“拆”成为了可能:

长距离传输，带宽

■可重构计算为“聚”提供了支持:

编制新的应用程序时，可直接调用共享内存或消息传递算法模块，利用已有成果，加速程序的开发。一个应用程序可能包括对三类结构库函数的并行调用。例如程序员开发通过投票方式确定基因比对结果的程序（一组数据调用三组函数库独立处理，结果比对，2：1为执行完），机器将自动调整为三部分（SMP、MPP、Cluster），并行执行三个独立的程序，数据可以共享！

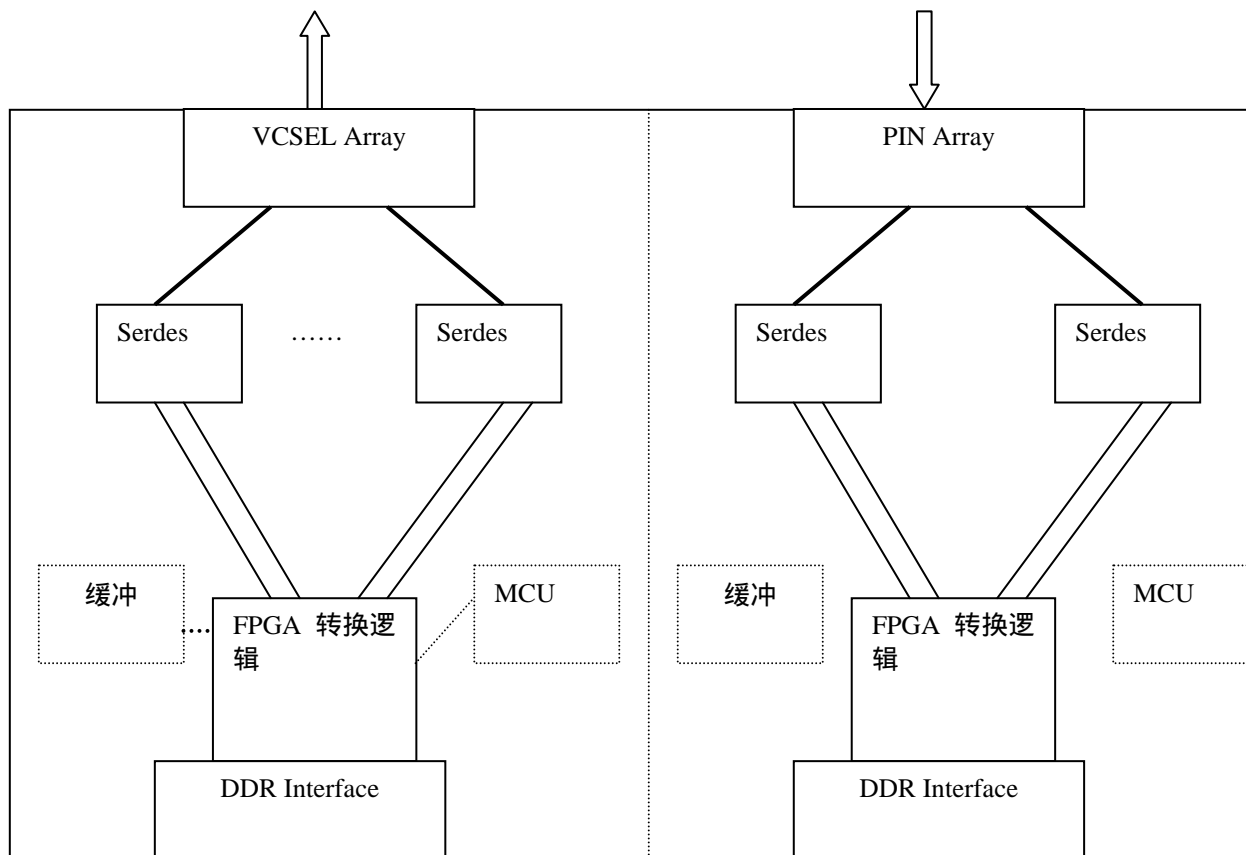
我们可以做的工作



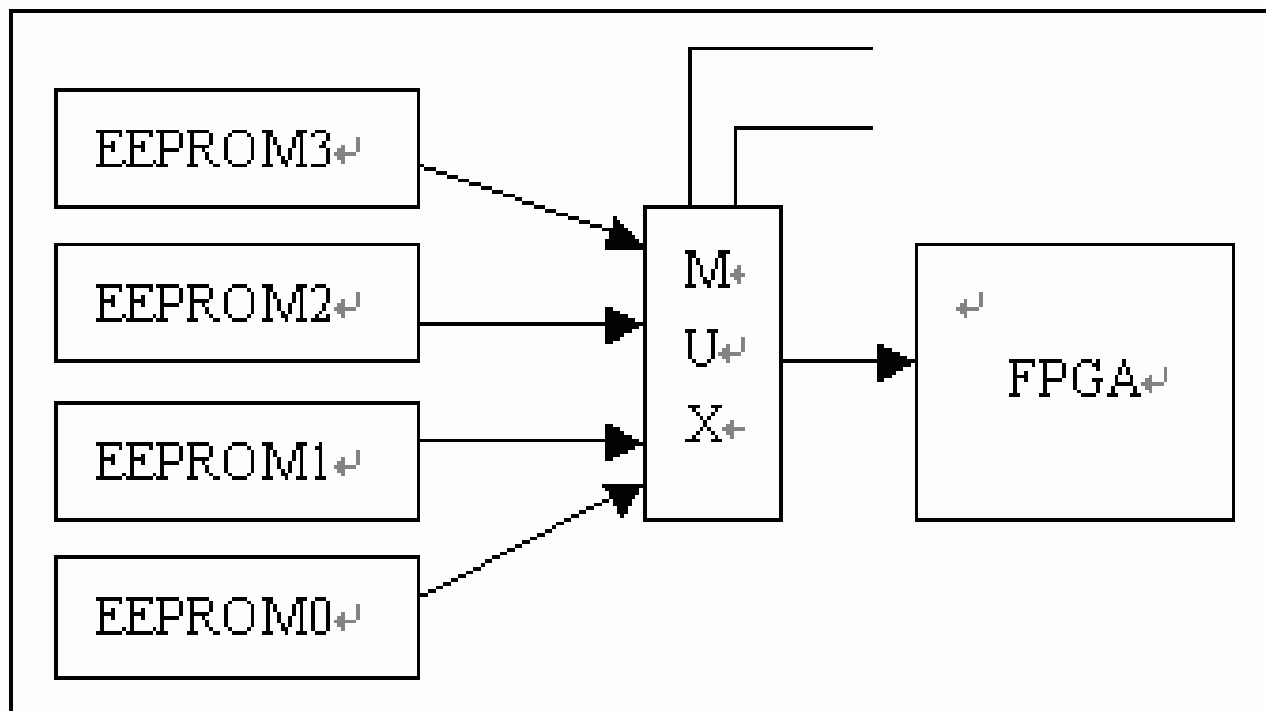
- 小雨点卡
- 可重构的多功能卡
- HPC - OG的可重构仿真
- 故障屏蔽和恢复

小雨点卡

ASIC



面向应用的可重构板卡



可重构仿真

龙芯的引脚兼容



HPC-OG仿真

HPC的设计、验证、评价平台

■全系统模拟器

从CPU流水线、存储器体系、网络等级别的全系统模拟

基于轻型OS和远程系统调用的软件环境

大规模并行模拟器研究

远期目标：灵活的体系结构模拟器

■基于可重构技术的仿真平台

可重构的功能节点

可重构的连接方式

内置的统计功能



Thanks !