



DISEÑO Y CONSTRUCCIÓN DE UN PROTOTIPO DIDÁCTICO DE SUMADOR BINARIO DE 2 BITS

DESIGN AND CONSTRUCTION OF A DIDACTIC 2-BIT BINARY ADDER PROTOTYPE

Cerón Sánchez, Víctor^a, Pérez Ramírez, Óscar Jesús^b, Rendón García, Hugo Emmanuel^c, Reyes Carro, Evelyn Monserrat^d, Rufino, Luis Osvaldo^e, Santiago Rendón, Jessica Aketzali^f.

^{a,b,c,d,e,f} Tecnológico Nacional de México/ITS del Occidente del Estado de Hidalgo. División de Ingeniería en Tecnologías de la Información y Comunicaciones. Mixquiahuala de Juárez Hidalgo. México. 42700. 250110286@itsoeh.edu.mx.

RESUMEN. *Este informe presenta el diseño, construcción y validación de un prototipo didáctico de medio sumador binario. El objetivo central fue resolver la operación de suma binaria implementando las funciones lógicas de Suma (S) y Acarreo (C) utilizando exclusivamente circuitos integrados de la familia TTL: NOT (74LS04), AND (74LS08), y OR (74LS32). La metodología siguió rigurosamente las etapas del Ciclo de Diseño en Ingeniería: análisis de requerimientos, diseño lógico, implementación de hardware y desarrollo de software de validación en Java, para conversiones decimal-binario y se gestionó el control de versiones mediante GitHub. Los resultados experimentales demostraron la correcta operación del circuito, validando las salidas mediante indicadores visuales para las combinaciones lógicas de entrada 00, 01, 10 y 11. Se concluye que la solución propuesta cumple con los estándares de diseño lógico y fundamentación matemática requeridos.*

Palabras clave: circuitos lógicos, compuertas NOT, AND, OR, diseño digital.

ABSTRACT. *This report presents the design, construction, and validation of a didactic binary half adder prototype. The central objective was to solve the binary addition operation by implementing the Sum (S) and Carry (C) logic functions using exclusively TTL family integrated circuits: NOT (74LS04), AND (74LS08), and OR (74LS32). The methodology rigorously followed the stages of the Engineering Design Cycle: requirements analysis, logic design, hardware implementation, and the development of validation software in Java for decimal-to-binary conversions, and version control was managed using GitHub. Experimental results demonstrated the correct operation of the circuit, validating the outputs via visual indicators for logical input combinations 00, 01, 10, and 11. It is concluded that the proposed solution meets the required logic design and mathematical foundation standards.*

Key words: logic circuits, NOT, AND, OR gates, digital design.

INTRODUCCIÓN

La aritmética binaria es la base de los sistemas digitales y del funcionamiento de las computadoras. Aunque es muy importante, a veces resulta difícil ver cómo las fórmulas y reglas abstractas (la lógica) se convierten en señales eléctricas reales. Bajo este panorama, se plantea la hipótesis de que la integración de un prototipo físico con modelado matemático y herramientas de software facilita la asimilación de estos conceptos complejos.

Un sumador binario es un circuito combinacional que realiza operaciones aritméticas básicas sobre bits; el medio sumador en particular suma dos bits de entrada (A y B) y produce una salida de Suma (S) y una de Acarreo (C).

En este proyecto, se aborda la implementación física de estas señales y su validación mediante el desarrollo de una herramienta en lenguaje **Java**. Esta aplicación emplea algoritmos modulares basados en el método de residuos y divisiones sucesivas para realizar conversiones numéricas, sirviendo como instrumento de verificación para los resultados obtenidos en el hardware.

El desarrollo integra conocimientos multidisciplinarios esenciales de la ingeniería: Fundamentos de Programación (estructuras de control iterativas y manejo de datos), Matemáticas Discretas (álgebra booleana y simplificación lógica), Introducción a las TICs (aplicando además control de versiones con

GitHub para garantizar una gestión colaborativa, transparente y organizada del código fuente) y el Taller de Ética (con colaboración hacia la transparencia y el respeto en la división de tareas). El objetivo de este trabajo es diseñar e implementar un prototipo didáctico de medio sumador binario, construido a partir de compuertas básicas, validado mediante simulación de software, consolidando los fundamentos teóricos mediante una aplicación tangible y funcional.

METODOLOGÍA

Para el desarrollo de este proyecto se adoptó un enfoque de Investigación Tecnológica Aplicada, estructurado bajo las etapas del Ciclo de Diseño en Ingeniería. Este método iterativo permitió asegurar que la solución final cumpliera con las especificaciones técnicas y teóricas.

Fase 1: Identificación y Análisis del Problema

Se estableció la necesidad de un circuito que satisfaga la tabla de verdad de la suma binaria. Se identificaron las variables de entrada (bits A y B) y las variables de salida requeridas:

- Acarreo (C): Activo solo cuando ambas entradas son 1.
- Suma (S): Activa cuando las entradas son diferentes.

Se determinó como restricción técnica el uso exclusivo de la familia lógica TTL 74LS y compuertas básicas (NOT, AND, OR).

Fase 2: Diseño de la Solución

En esta etapa se modeló el comportamiento del sistema mediante Álgebra de Boole.

Para el Acarreo, la relación es directa:

$$C = A \cdot B$$

Expresión lógica 1.- Acarreo

Para la Suma, se diseñó la expansión lógica "Suma de Productos":

$$S = (\neg A \cdot B) + (A \cdot \neg B)$$

Expresión lógica 1.- Suma

Hardware: Montaje Experimental Detallado

La implementación física del circuito se llevó a cabo sobre una placa de pruebas (protoboard). El procedimiento se estructuró en cuatro sub-etapas:

-Polarización y Energización: Se estableció un bus de alimentación común distribuyendo 5V (VCC) y Tierra (GND) en los rieles superior e inferior de la

placa. Se insertaron los circuitos integrados **74LS04**, **74LS08** y **74LS32**, asegurando su correcta polarización mediante la conexión del **Pin 14** a VCC y el **Pin 7** a GND en cada chip, verificando previamente la ausencia de cortocircuitos.

-Acondicionamiento de Entradas: Para las variables A y B, se instaló un *D/P Switch* de 2 posiciones.

-Interconexión Lógica (Bus de Datos): La interconexión de los componentes se estructuró conforme a las expresiones lógicas obtenidas

Inversión: Las señales A y B fueron derivadas hacia el **74LS04** para obtener sus complementos ($\neg A$ y $\neg B$).

Generación de Productos: Se utilizaron tres compuertas del **74LS08**. La primera operó ($A \cdot B$) (salida directa al Acarreo). Las otras dos procesaron los términos intermedios ($\neg A \cdot B$) y ($A \cdot \neg B$)

Sumatoria: Las salidas de los términos intermedios se conectaron a las entradas del **74LS32** para realizar la operación OR final, obteniendo la señal de Suma (S).

-Etapa de Visualización: Las salidas lógicas resultantes (S y C) se conectaron a diodos emisores de luz (LEDs) difusos. Se instalaron resistencias limitadoras de corriente de **330 Ω** en serie con el ánodo de cada LED.

RESULTADOS Y DISCUSIÓN

La aplicación del ciclo de diseño permitió obtener un prototipo funcional robusto. A continuación, se presentan los hallazgos de la fase de pruebas.

Desempeño del Hardware Al estimular las entradas del circuito físico, se observó el comportamiento detallado en la Tabla de verdad 1.

| A | B | Acarreo | Suma | Leds |
|---|---|---------|------|----------------|
| 0 | 0 | 0 | 0 | apagados |
| 0 | 1 | 0 | 1 | LED Suma ON |
| 1 | 0 | 0 | 1 | LED Suma ON |
| 1 | 1 | 1 | 0 | LED Acarreo ON |

Tabla de verdad 1.



La implementación física de la expresión lógica 2 mediante la interconexión de los integrados 74LS04, 74LS08 y 74LS32 demostró que es posible construir lógica compleja a partir de bloques elementales.

Validación del Software El módulo de software en Java operó correctamente como herramienta de verificación. El uso de las estructuras de control (while) y operadores aritméticos básicos validó la lógica matemática subyacente a la suma binaria. El programa fue capaz de convertir los valores decimales ingresados a su equivalente binario, coincidiendo el 100% de las veces con el estado de los LEDs en el circuito físico, lo que confirma la coherencia entre el modelo matemático (software) y el modelo físico (hardware).

CONCLUSIONES

El proyecto permitió construir y validar un medio sumador binario funcional utilizando compuertas TTL, demostrando un desempeño estable y coherente con la tabla de verdad teórica. La herramienta en Java apoyó la verificación lógica y el uso de GitHub aseguró una gestión ordenada del trabajo colaborativo. Además, se promovió una participación ética y equilibrada entre los integrantes. En conjunto, estos resultados establecen una base sólida para desarrollar sumadores de mayor complejidad y futuros módulos aritméticos digitales.

REFERENCIAS

1. Floyd, T. L. (2016). *Fundamentos de sistemas digitales* (11.^a ed.). Pearson Educación.
2. Tocci, R. J., Widmer, N. S., & Moss, G. L. (2017). *Sistemas digitales: Principios y aplicaciones* (11.^a ed.). Pearson Educación.
3. Autodesk. (2024). *Tinkercad [Software de simulación electrónica]*. <https://www.tinkercad.com>
4. GitHub. (2024). *GitHub: Collaborative development platform*. <https://github.com>
5. Voland, G. (2013). *Engineering by design* (3rd ed.). Pearson.