

期末考试试卷 (A 卷)

姓名: _____ 校园卡号: _____

题 号	一	二	三	四	五	总分
分 数						
阅卷教师						

1. 计算机的性能指标中，CPI 的含义是指_____。
A、表示 CPU 执行某段程序所占用的平均机器周期数
B、表示 CPU 执行某段程序所占用的平均时钟周期数
C、表示 CPU 执行某段程序中每条指令所需的平均机器周期数
D、表示 CPU 执行某段程序中每条指令所需的平均时钟周期数
2. 以下二进制表示 (-128) 补码 (采用 8 位二进制、单符号位、最高位为符号位) 的是 _____。
A、1000 0000
B、0000 0000
C、1111 1111
D、0111 1111
3. 按照 IEEE754，标准 32 位浮点格式，十进制数 (-1.25) 表示为_____。
A、3FC0 0000H
B、3FA0 0000H
C、BFA0 0000H
D、BFC0 0000H
4. 某计算机字长是 16 位，其存储容量是 256KB，按字编址，则寻址范围是 _____。
A、128K
B、256K
C、512K
D、256KB
5. 设交叉存储器容量为 64MB，模块数 $m=8$ ，存储周期 $T=100\text{ns}$ ，数据总线宽度为 64 位，总线传送周期 $t=50\text{ns}$ ，若连续读取 7 个字，则存储器宽带是 _____。
A、 64×10^7 位/s
B、 112×10^7 位/s
C、 113.8×10^7 位/s
D、 128×10^7 位/s
6. 已知 cache 存储周期 40ns，主存存储周期 200ns，cache/主存系统平均访问时间为 60ns，则 cache 的命中率是_____。
A、93.75%
B、90%

- C、88.3% D、87.5%
7. 用于对某个寄存器中操作数的寻址方式称为_____寻址。
A、直接 B、间接
C、寄存器直接 D、寄存器间接
8. 在微程序控制器中，机器指令和微指令的关系是_____。
A、每一条机器指令有一条微指令来执行
B、一条微指令由若干机器指令组成
C、每一条机器指令由一段微指令组成的微程序来解释执行
D、每一段微程序由一条机器指令来解释执行
9. 一个节拍电位信号的宽度是指_____。
A、指令周期 B、机器周期
C、时钟周期 D、存储周期
10. 判断以下两条指令中存在的数据相关类型_____。
- ADD R3, R4: (R3) + (R4) → R3
MUL R4, R5: (R4) × (R5) → R4
- A、RAR B、RAW
C、WAR D、WAW
11. 某种现在在一个总线周期中并行传送 4 个字节的数据，假设一个总线周期等于 4 个时钟周期，总线，时钟频率为 33MHz，则总线宽带是_____。
A、16.5MB/s B、33MB/s
C、66MB/s D、132MB/s
12. 中断向量可以提供_____。
A、被选中设备的地址 B、传送数据的起始地址
C、中断服务程序入口地址 D、主程序的断点地址
13. 系统总线中地址总线的功能是_____。
A、选择主存单元的地址
B、选择进行信息传输的设备
C、选择外存单元的地址
D、制定主存和 I/O 设备接口电路的地址
14. 温彻斯特磁盘简称温盘，有点事防尘性能好，可靠性高，对环境要求不高，是一种_____的磁盘机。
A、可移动磁头固定盘片 B、固定磁头固定盘片
C、固定磁头可移动盘片 D、可移动磁头可移动盘片
15. CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256 色，则刷新存储器的容量为_____。
A、512KB B、1MB
C、256KB D、2MB

二、简答题（每题 6 分，共 36 分）

1. 冯·诺依曼型计算机的主要设计思想是什么？它包括那些主要组成部分？
2. RISC 指令系统具有哪些主要特点？
3. 请解释什么是“总线仲裁”，集中式总线仲裁方式有哪些？它们有哪些特点？
4. 异步通信与同步通信的主要区别是什么，说明通信双方如何联络。
5. 请说明 CPU 可以响应外部中断源的中断请求时应具备哪些条件？
6. 请解释什么是“松耦合系统”及其两种表现形式。

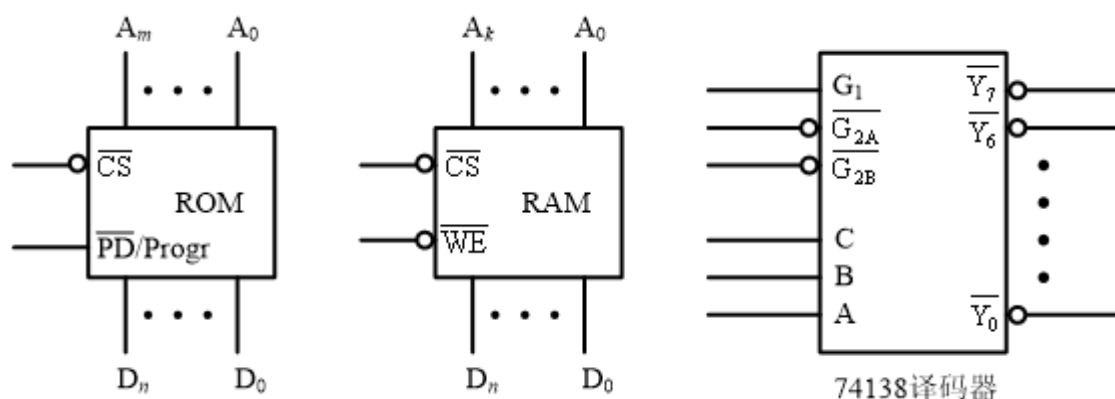
三、计算题（每题 7 分，共 28 分）

1. 已知 $x=10111$, $y=11011$, 请使用变形补码（双符号位补码）计算 $x-y$, 并指出运算结果是否发生溢出。
2. 设阶码 3 位, 尾数 6 位, 符号 1 位, 按浮点数运算方法, 完成 $x+y$, $x-y$ 运算, 其中 $x=2^{-011} \times 0.100101$, $y=2^{-010} \times (-0.011110)$
3. 一个组相联的 cache 由 128 个行组成, 每组 4 行。主存储器含 8K 个块, 每块 256 字。请表示内存地址的格式, 要求给出标记位、组号、字地址的计算过程。
4. 某磁盘存储器的转速为 3000r/min, 共 4 个记录面, 8 道/mm, 每道记录信息 12288B, 最小磁道直径为 230mm, 共有 256 道, 问:
 - (1) 该磁盘存储器的存储容量是多少？
 - (2) 最大位密度, 最小位密度是多少？
 - (3) 磁盘数据传输率是多少？
 - (4) 平均等待时间是多少？

四、设计分析题（第 1 小题 11 分，第 2 小题 10 分，共 21 分）

1. 设 CPU 共有 16 根地址线（内存寻址空间为 64K），8 根数据线，并用 \overline{MREQ} 作访存控制信号（低电平有效），用 R/\overline{W} 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU 与存储器连接图，要求：
 - (1) 存储芯片地址空间分配为：最大 4K 地址空间（F000H-FFFFH）为系统程序区（选用 ROM 芯片），相邻的 4K 地址空间（E000H-EFFFH）为系统程序工作区（选用 RAM 芯片），最小 16K 地址空间（0000H-3FFFH）为用户程序区（选用 RAM 芯片），给出地址译码方案（二进制于十六进制均可）；
 - (2) 指出选用的存储芯片类型及数量；

(3) 详细画出片选逻辑。



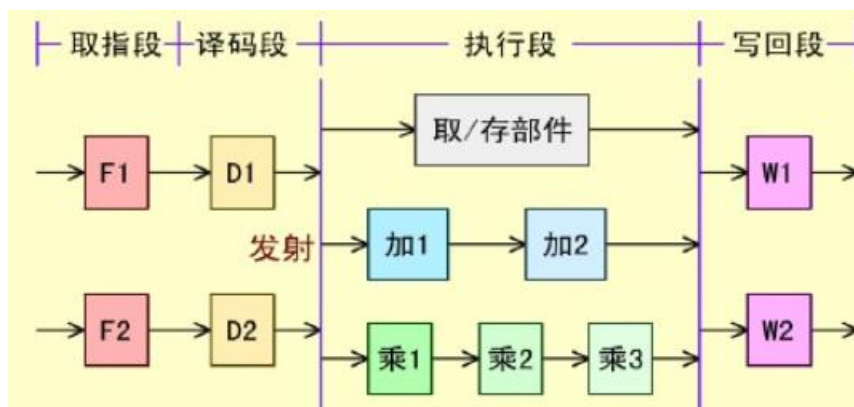
ROM: 2K×8 位
4K×8 位
8K×8 位

RAM: 1K×4 位
4K×4 位
8K×8 位

$\overline{G_1}$, $\overline{G_{2A}}$, $\overline{G_{2B}}$ 为工作控制端
C, B, A 为变量控制端

2. 下图为超标量流水线结构模型图，它分为 4 个段，即取指 (F) 段、译码 (D) 段、执行 (E) 段和写回 (W) 段。F, D, W 段只需 1 个时钟周期完成。E 段有多个功能部件，其中取/存部件需要 1 个时钟周期，加/减法需 2 个时钟周期，乘/除法需 3 个时钟周期，它们均已流水化。F 段和 D 段要求成对的输入。E 段有内部数据定向传送，结果生成即可使用。现有如下 6 条指令序列：

I1: LAD R1, B ; M(B)→R1, M(B) 是存储器单元
I2: ADD R2, R1 ; (R2) - (R1) → R2
I3: ADD R3, R4 ; (R3) × (R4) → R3
I4: MUL R4, R5 ; (R4) + (R5) → R4
I5: LAD R6, A ; M(A)→R6, M(A) 是存储器单元
I6: MUL R6, R7 ; (R6) + (R7) → R6



请画出按序发射按序完成的流水时空图。