

兰州大学信息科学与工程学院实验报告

实验成绩：_____

学生姓名：_____杨添宝_____

学 号：_____320170941671,6 组 17 号_____

年级专业：_____2017 级计算机基地班_____

指导老师：_____饶增仁_____

实验课程：_____数字逻辑实验_____

实验题目：_____集成门电路的组合电路_____

一、实验目的

- (1) 掌握组合电路的设计和测试方法。
- (2) 掌握“负逻辑”和“正逻辑”的关系。
- (3) 熟练逐级调试方法并养成分部逐级调试的良好习惯。

二、实验原理

组合逻辑电路是数字电路的最基本的一类，设计比较简单。一般根据设计要求，列出真值表，或用卡诺图，或用逻辑表达式进行化简，最后得到逻辑电路图和画出具体电路。有了逻辑图，在画具体电路时，先要根据实际条件选取器件，器件的数量和类型要尽可能少，而且注意用摩根公式进行正负逻辑之间的转换。在实际应用中，可靠性高、成本低、维修方便是选择元器件的重要原则。

所谓“正逻辑”，就是自变量和函数均是高电平有效，即把高电平定为逻辑“1”，把低电平定为逻辑“0”。“负逻辑”则正好相反，把高电平定为逻辑“0”，而低电平定为逻辑“1”。由于门电路一般都是按“正逻辑”设计的，所以在处理“负逻辑”问题时，依然把高电平定为“1”，而把低电平定为逻辑“0”，使表示规整统一。

举个例子，某电路的清零信号为 *RESET*，低电平有效，它受两个信号 *A* 和 *B* 的控制，*A*、*B* 也是低电平有效。要求不管是 *A* 送来信号还是 *B* 送来的信号，该电路都应清零。显然，这是一个“负逻辑”的“或”运算。怎么处理呢？我们依然规定这三个变量为高电平代表“1”，低电平代表“0”。他们之间的关系是：

$$\overline{RESET} = \bar{A} + \bar{B}$$

然后用摩根公式把上式变换为

$$RESET = AB$$

就是说，用正逻辑与门来实现负逻辑的或运算。

容易得出如下结论：

- (1) 正逻辑与门就是负逻辑或门。
- (2) 正逻辑或门就是负逻辑与门。

以上两条是最主要的，此外还有以下几点：

- (1) 正逻辑与非门就是负逻辑或非门。

(2) 正逻辑或非门就是负逻辑与非门。

(3) 正逻辑异或门就是负逻辑同或门。

(4) 正逻辑同或门就是负逻辑异或门。

知道了这些关系，不仅对由逻辑图画具体电路很有用，而且对分析具体电路的逻辑关系也很有帮助。不要看到与门就说它在实现“与”运算，看到或门就说它在实现“或”运算。这时一定要仔细。下面就有这样的例子，是我们特意设计的。

本实验用两个应用电路进行练习。

1. 奇偶校验电路

奇偶校验是最简单的校验方法，广泛用于计算机和数字通信中。欲传送的二进制代码称为信息码，例如 $A_1A_2A_3$ ；在传输信道中，由于干扰等原因，接收到的码可能发生了变化，例如发送的是 101，而接收到的却是 100。一般一位错的可能性远大于两位错、三位错。假定我们只考虑一位错，那么如何能发现这种错误呢？利用奇偶校验是很简便的。所谓奇偶校验，就是在信息码之外再加一位校验码 P 。这样发送的代码就变成 $A_1A_2A_3P$ 了，这个码通常叫作码字。接收端根据所接收到的码字，就可以判断出传输是否有错。如果有错，就要求重发。码字中 1 的个数如果是奇数，就是奇校验；如果是偶数，就叫偶校验。偶校验码 P 的编码方程为

$$P = A_1 \oplus A_2 \oplus A_3$$

由上式可知，当信息码 $A_1A_2A_3$ 中 1 的个数为奇数时， $P=1$ ，则码字中 1 的个数就是偶数；如果信息码 $A_1A_2A_3$ 中 1 的个数为偶数时， $P=0$ ，码字中 1 的个数依然是偶数。这就是偶校验。

接收端接收到一个码字，如何判定该码字是对的还是错的呢？利用错误检测方程

$$E = A_1 \oplus A_2 \oplus A_3 \oplus P$$

进行译码就可以了。显然码字 $A_1A_2A_3P$ 中 1 的个数为偶数时， $E=0$ ，说明传输无错；为奇数时， $E=1$ ，说明传输中发生了错误，需要重发。

以上关系可以用真值表获得。

2. “菊花链” 电路

在计算机中，有一种 CPU 查询中断源的电路，叫“菊花链”。CPU 每执行一条机器指令之后，都要看有没有中断请求，如果有，就要找到中断源，然后转入相应的中断服务程序；如果没有，就继续执行下一条机器指令。“菊花链”电路的任务就是用来查询中断源是哪一個的。

假定中断源有 3 个，分别为 I_1 、 I_2 、 I_3 ，低电平有效，优先级依次降低；CPU 送来的查询信号为 B ，低电平有效。图 1 给出了这种“菊花链”电路。U₂ 的 3 个正或非门，起着负逻辑“与非”运算的作用。当 $B=H$ （即 CPU 未发出查询，H 表示高电平）时，不论何中断源有无请求，U₂ 的 3 个输出 I'_1 、 I'_2 、 I'_3 均为 0（因为 B 是负逻辑“0”，封闭了这 3 个负逻辑的“与非”门）。当 $B=L$ （L 表示低电平）时，若 I_1 、 I_2 、 I_3 都为 H，即无中断请求，U₂ 的三个输出均为 0 保持不变；若 $I_1=L$ ，不论 I_2 、 I_3 为何值，U_{2A} 的输出 I'_1 变为 1，而由于门 U_{1B} 被封闭，所以，信号 B 就无法再向右传，U_{2B} 的 4 脚，U_{2C} 的 I_2 脚依旧维持高电平，于是这两个门的输出 I'_2 、 I'_3 也就维持 0 而不变。只有 $I_1=H$ ， I_2 的请求才能通过 U_{2B} 送出去。故 I_1 的优先级比 I_2 的高。同样， I_2 的优先级高于 I_3 。

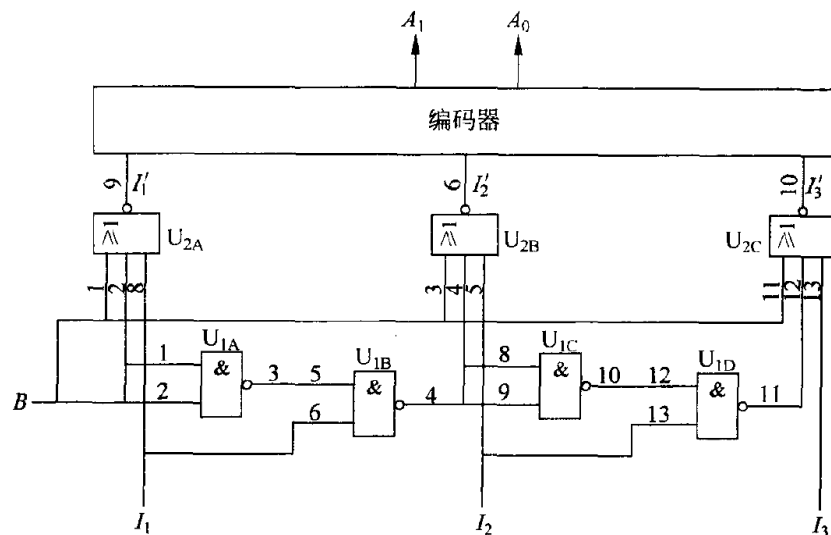


图 1 三中断源自动判优电路原理图

CPU 要识别中断请求中优先级最高的是哪个源，还需要对以上的输出 I'_1 、 I'_2 、 I'_3 进行编码。编码器的输出为 A_1A_0 ，注意要留一个（如 $A_1A_0=00$ ）分配给没有任何源请求的状态。

如果有更多的中断源，“菊花链”还可以继续链下去。“菊花链”也叫串行

排队电路。

三、实验器材

2 输入四异或门 CD4030 一片，2 输入四或门 CD4071 一片。

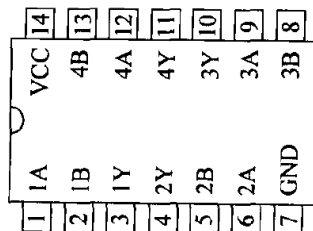


图 2 CD4030、CD4071 引脚图

四、实验内容

1. 设计 2 位信息码校验码产生电路及其校验电路，调试验证其结果。
2. 编码器电路设计，实验电路调试。（至少设计过程及原理图体现在实验报告内）
3. 使用本实验所给芯片设计一位全加器电路并调试验证其运算结果。（实验可选做，但实验报告中需包括设计过程及电路原理图）

五、实验报告和思考题

（1）写出设计原理，画出电路图，列表测试结果，并讨论。

① 2 位信息码校验码产生电路及其校验电路

使用 2 输入四异或门 CD4030 来实现偶校验码产生电路及其校验电路。

两位偶校验码 P 的编码方程为 $P = A_1 \oplus A_2$ ，其电路图如下：

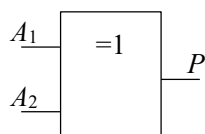


图 3 两位偶校验码产生电路

两位偶校验码的错误检测方程为 $E = A_1 \oplus A_2 \oplus P$ ，其电路图如下：

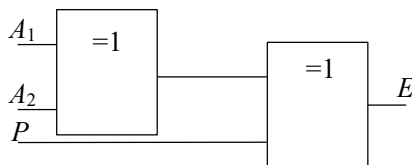


图 4 两位偶校验码校验电路

② 编码器电路

图 1 中的“菊花链”电路的真值表如下：

表 1 三中断源自动判优电路真值表

I_1	I_2	I_3	I'_1	I'_2	I'_3	A_1	A_0
0	×	×	1	0	0	0	1
1	0	×	0	1	0	1	0
1	1	0	0	0	1	1	1
1	1	1	0	0	0	0	0

其中后 5 列为编码器部分的真值表。

根据真值表画出 A_0 和 A_1 的卡诺图如下：

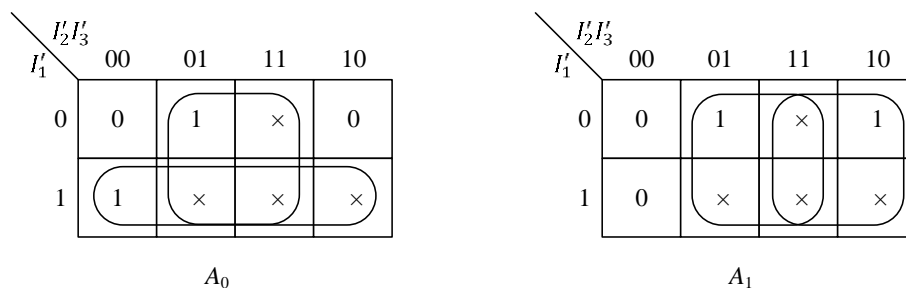


图 5 编码器的卡诺图

根据卡诺图可得编码器的逻辑电路表达式为：

$$A_0 = I'_1 + I'_3$$

$$A_1 = I'_2 + I'_3$$

使用 2 输入四或门 CD4071 中的或门设计电路如下图所示：

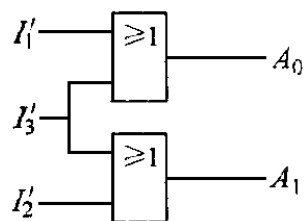


图 6 编码器电路

③ 一位全加器电路

一位全加器的真值表如下：

表 2 一位全加器的真值表				
c_{i-1}	a_i	b_i	s_i	c_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

根据真值表画出 s_i 和 c_i 的卡诺图如下：

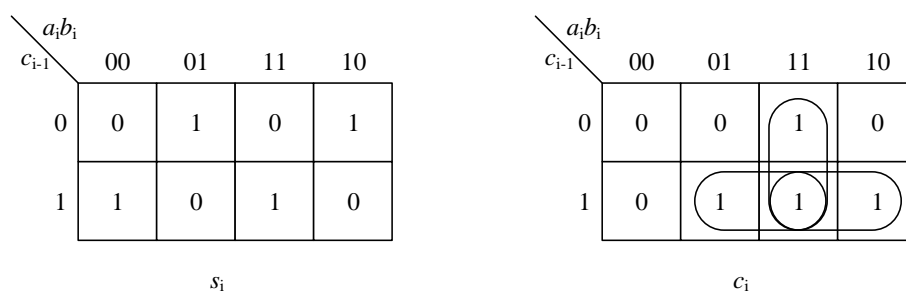


图 7 一位全加器的卡诺图

由此得到全加器的逻辑电路表达式如下：

$$s_i = a_i \oplus b_i \oplus c_{i-1}$$

$$c_i = a_i b_i + a_i c_{i-1} + b_i c_{i-1} = \overline{\overline{a_i b_i} \cdot \overline{a_i c_{i-1}} \cdot \overline{b_i c_{i-1}}}$$

使用 2 输入四异或门 CD4030 设计全加器电路的进位 s_i 如下：

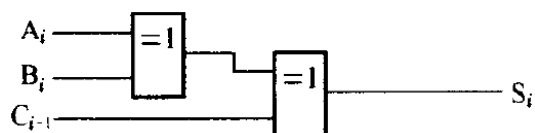


图 8 一位全加器 s_i 电路

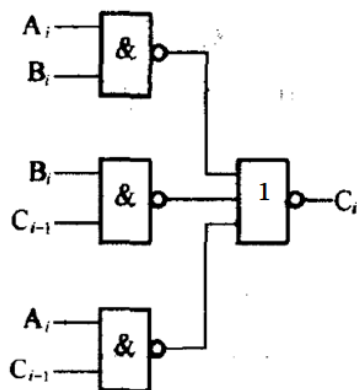


图 9 一位全加器 c_i 电路

(2) 实验过程中遇到哪些问题，是如何解决的？

在将编码器的真值表转化为逻辑表达式时没有化简为最简，不能仅使用 2 输入四或门 CD4071 得到表达式对应的电路图，在求助老师后，意识到需要通过卡诺图对表达式进行进一步的化简，最终得到了仅使用或门的编码器电路图。

(3) 如果采用奇校验，实验电路将如何改动？

奇校验码若直接采用偶校验码的电路，最后得到的结果为 1，因此需要增加非门(或使用同或门)，这里在偶校验码使用 2 输入四异或门 CD4030 的基础上，增加含有非门的芯片。

两位奇校验码 P 的编码方程为 $P = \overline{A_1 \oplus A_2}$ ，其电路图如下：

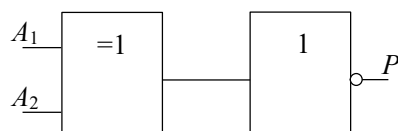


图 10 两位奇校验码产生电路

两位奇校验码的错误检测方程为 $E = \overline{A_1 \oplus A_2 \oplus P}$ ，其电路图如下：

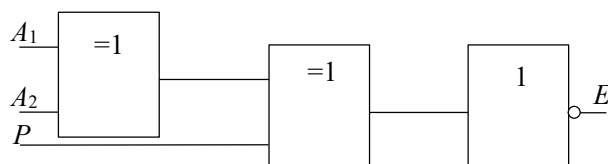


图 11 两位奇校验码校验电路

(4) 在图 1 中编码器的设计里，有何特点？

编码是把一组有特定含义（事件）的输入信号按一定的规律编成不同二进制代码输出的过程。事件和所编的代码是一一对应的。编码器是实现编码的组合电路，图 1 中的编码器为 3 输入 2 输出编码器，可以将 3 输入变量转化为 2 位二进制输出，其中输入 000 时输出 0，但此编码器只能保证最多一个输入为 1 的时候结果正确。

(5) 如果要求图 1 中的编码器用正与非门实现（当然还需反相器），电路是怎样的？

对逻辑电路表达式进一步处理，得到如下表达式：

$$A_0 = I'_1 + I'_3 = \overline{\overline{I'_1 + I'_3}} = \overline{\overline{I'_1} \cdot \overline{I'_3}}$$

$$A_1 = I'_2 + I'_3 = \overline{\overline{I'_2 + I'_3}} = \overline{\overline{I'_2} \cdot \overline{I'_3}}$$

该表达式中只用到了与非门和反相器，画出对应的电路图为：

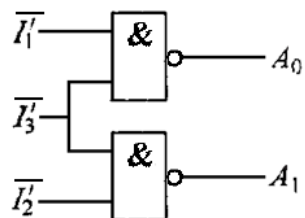


图 12 使用与非门的编码器电路

六、实验收获体会和改进建议

通过本次实验，我复习了卡诺图的使用方法，知道了同一种功能可以用不同的逻辑门电路来实现，因此在设计电路时，通过卡诺图化简得到最简逻辑表达式后，根据提供的门电路进行进一步的处理，得到相应的逻辑电路图，这个过程中要尽量使得得到的电路图最简。