

第3章

组合逻辑电路与时序逻辑电路实验

实验4 集成门电路的组合电路

一、实验目的

- (1) 掌握组合电路的设计和测试方法。
- (2) 掌握“负逻辑”和“正逻辑”的关系。
- (3) 熟练逐级调试方法并养成分部逐级调试的良好习惯。

二、实验原理

组合逻辑电路是数字电路的最基本的一类,设计比较简单。一般根据设计要求,列出真值表,或用卡诺图,或用逻辑表达式进行化简,最后得到逻辑电路图和画出具体电路。有了逻辑图,在画具体电路时,先要根据实际条件选取器件,器件的数量和类型要尽可能少,而且注意用摩根公式进行正负逻辑之间的转换。在实际应用中,可靠性高、成本低、维修方便是选择元器件的重要原则。

所谓“正逻辑”,就是自变量和函数均是高电平有效,即把高电平定为逻辑“1”,把低电平定为逻辑“0”。“负逻辑”则正好相反,把高电平定为逻辑“0”,而低电平定为逻辑“1”。由于门电路一般都是按“正逻辑”设计的,所以在处理“负逻辑”问题时,依然把高电平定为“1”,而把低电平定为逻辑“0”,使表示规整统一。

举个例子,某电路的清零信号为 $RESET$,低电平有效,它受两个信号 A 和 B 的控制, A 、 B 也是低电平有效。要求不管是 A 送来信号还是 B 送来的信号,该电路都应清零。显然,这是一个“负逻辑”的“或”运算。怎么处理呢? 我们依然规定这三个变量为高电平代表“1”,低电平代表“0”。它们之间的关系是:

$$\overline{RESET} = \overline{A} + \overline{B}$$

然后用摩根公式把上式变换为

$$RESET = AB$$

就是说,用正逻辑与门来实现负逻辑的或运算。

容易得出如下结论:

- (1) 正逻辑与门就是负逻辑或门。
- (2) 正逻辑或门就是负逻辑与门。
- 以上两条是最主要的,此外还有以下几点:

- (1) 正逻辑与非门就是负逻辑或非门。
- (2) 正逻辑或非门就是负逻辑与非门。
- (3) 正逻辑异或门就是负逻辑同或门。
- (4) 正逻辑同或门就是负逻辑异或门。

知道了这些关系,不仅对由逻辑图画具体电路很有用,而且对分析具体电路的逻辑关系也很有帮助。不要看到与门就说它在实现“与”运算,看到或门就说它在实现“或”运算。这时一定要仔细。下面就有这样的例子,是我们特意设计的。

本实验用两个应用电路进行练习。

1. 奇偶校验电路

奇偶校验是最简单的校验方法,广泛用于计算机和数字通信中。欲传送的二进制代码称为信息码,例如 $A_1A_2A_3$; 在传输信道中,由于干扰等原因,接收到的码可能发生了变化,例如发送的是 101,而接收到的却是 100。一般一位错的可能性远大于两位错、三位错。假定我们只考虑一位错,那么如何能发现这种错误呢? 利用奇偶校验是很简便的。所谓奇偶校验,就是在信息码之外再加一位校验码 P 。这样发送的代码就变成 $A_1A_2A_3P$ 了,这个码通常叫作码字。接收端根据所接收到的码字,就可以判断出传输是否有错。如果有错,就要求重发。码字中 1 的个数如果是奇数,就是奇校验; 如果是偶数,就叫偶校验。偶校验码 P 的编码方程为

$$P = A_1 \oplus A_2 \oplus A_3$$

由上式可知,当信息码 $A_1A_2A_3$ 中 1 的个数为奇数时, $P=1$,则码字中 1 的个数就是偶数; 如果信息码 $A_1A_2A_3$ 中 1 的个数为偶数时, $P=0$,码字中 1 的个数依然是偶数。这就是偶校验。

接收端接收到一个码字,如何判定该码字是对的还是错的呢? 利用错误检测方程

$$E = A_1 \oplus A_2 \oplus A_3 \oplus P$$

进行译码就可以了。显然码字 $A_1A_2A_3P$ 中 1 的个数为偶数时, $E=0$,说明传输无错; 为奇数时, $E=1$,说明传输中发生了错误,需要重发。

以上关系可以用真值表获得。

2. “菊花链”电路

在计算机中,有一种 CPU 查询中断源的电路,叫“菊花链”。CPU 每执行一条机器指令之后,都要看有没有中断请求,如果有,就要找到中断源,然后转入相应的中断服务程序; 如果没有,就继续执行下一条机器指令。“菊花链”电路的任务就是用来查询中断源是哪一个的。

假定中断源有 3 个,分别为 I_1 、 I_2 、 I_3 ,低电平有效,优先级依次降低; CPU 送来的查询信号为 B ,低电平有效。图 3-1 给出了这种“菊花链”电路。 U_2 的 3 个正或非门,起着负逻辑“与非”运算的作用。当 $B=H$ (即 CPU 未发出查询, H 表示高电平)时,不论何中断源有

无请求, U_2 的 3 个输出 I'_1 、 I'_2 、 I'_3 均为 0 (因为 B 是负逻辑“0”, 封闭了这 3 个负逻辑的“与非”门)。当 $B=L$ (L 表示低电平) 时, 若 I_1 、 I_2 、 I_3 都为 H , 即无中断请求, U_2 的三个输出为 0 保持不变; 若 $I_1=L$, 不论 I_2 、 I_3 为何值, U_{2A} 的输出 I'_1 变为 1, 而由于门 U_{1B} 被封闭, 所以, 信号 B 就无法再向右传, U_{2B} 的 4 脚, U_{2C} 的 I_2 脚依旧维持高电平, 于是这两个门的输出 I'_2 、 I'_3 也就维持 0 而不变。只有 $I_1=H$, I_2 的请求才能通过 U_{2B} 送出去。故 I_1 的优先级比 I_2 的高。同样, I_2 的优先级高于 I_3 。

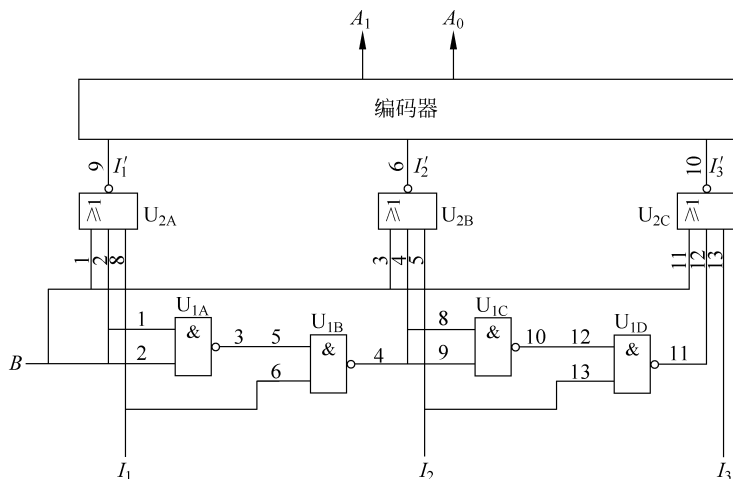


图 3-1 三中断源自动判优电路原理图

CPU 要识别中断请求中优先级最高的是哪个源, 还需要对以上的输出 I'_1 、 I'_2 、 I'_3 进行编码。编码器的输出为 A_1A_0 , 注意要留一个 (如 $A_1A_0=00$) 分配给没有任何源请求的状态。

如果有更多的中断源, “菊花链”还可以继续链下去。“菊花链”也叫串行排队电路。

请读者把图 3-1 中除去“编码器”以外的“菊花链”电路画成正逻辑框图 (全部变量以高电平有效)。

三、实验器件

2 输入四异或门 CD4030 一片, 2 输入四与非门 CD4011 一片, 3 输入三或非门 CD4025 一片, 2 输入四或门 CD4071 一片。

四、实验要求

(1) 根据实验原理 1 设计一个 3 位信息码的偶校验编码电路和检错译码电路, 并进行其功能测试。输入数据用实验台上的置数开关, 输出用实验台上的 LED 指示灯显示。

(2) 用本实验所给器件, 设计图 3-1 中的编码器, 并按图 3-1 连好电路, 进行逐级测试和总体功能测试。输入数据用实验台上的置数开关, 输出用实验台上的 LED 指示灯显示。

(3) 用本实验所给器件, 实现 1 位全加器。

(4) 用本实验所给器件, 实现 1 位全减器。

五、实验报告和思考题

- (1) 写出设计原理,画出电路图,列表测试结果,并讨论。
- (2) 实验过程中遇到哪些问题,是如何解决的?
- (3) 如果采用奇校验,实验电路将如何改动?
- (4) 在图 3-1 中编码器的设计里,有何特点?
- (5) 如果要求图 3-1 中的编码器用正与非门实现(当然还需反相器),电路是怎样的?

实验 5 编码器和译码器

一、实验目的

- (1) 熟悉编码器和译码器的功能与基本应用。
- (2) 了解 OC(集电极开路)门的“线与”功能。

二、实验原理

1. 编码

编码是把一组有特定含义(事件)的输入信号按一定的规律编成不同二进制代码输出的过程。事件和所编的代码是一一对应的。编码器是实现编码的组合电路,表 3-1 是 8-3 优先编码器 74LS148 的功能表。

表 3-1 74LS148 功能表

级 联 入	输 入	输 出	级 联 出
<i>EI</i>	<i>7 6 5 4 3 2 1 0</i>	<i>C B A</i>	<i>EO GS</i>
1	××××××××	1 1 1	1 1
0	1 1 1 1 1 1 1 0	1 1 1	1 0
0	1 1 1 1 1 1 0 ×	1 1 0	1 0
0	1 1 1 1 1 0 ××	1 0 1	1 0
0	1 1 1 1 0 ××	1 0 0	1 0
0	1 1 1 0 ××	0 1 1	1 0
0	1 1 0 ××	0 1 0	1 0
0	1 0 ××	0 0 1	1 0
0	0 ××	0 0 0	1 0
0	1 1 1 1 1 1 1 1	1 1 1	0 1

从功能表得出:

输入低电平有效,优先级的次序由 7 到 0 依次降低;输出编码是输入有效号的各位取反码。*EI* 是使能端,低电平有效。*EO* 和 *GS* 是为了扩展用的。

2. 译码

译码是编码的反过程,就是把二进制数码按它的原意翻译成相应的输出信号。实现译码功能的电路称为译码器。译码器的种类很多,本实验只涉及变量译码器。变量译码器就是其输出表示输入变量的状态的译码器。注意,这种译码器,任何时候,译码器的输出只能是一端有效,即不可能同时译出两个以上的码来。表 3-2 是 3-8 译码器 74LS138 的功能表。从表中可看到,它还具有数据分配器的功能(当 $E_3=1$ 时,把 E_1+E_2 分配给 Y_1 ; 或当 $E_1+E_2=0$ 时,把 E_3 分配给 Y_1)。

表 3-2 74LS138 功能表

门 控		输 入	输 出
E_3	$E_1 + E_2$	$C B A$	$Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0$
×	1	× × ×	1 1 1 1 1 1 1 1
0	×	× × ×	1 1 1 1 1 1 1 1
1	0	0 0 0	1 1 1 1 1 1 1 0
1	0	0 0 1	1 1 1 1 1 1 0 1
1	0	0 1 0	1 1 1 1 1 0 1 1
1	0	0 1 1	1 1 1 1 0 1 1 1
1	0	1 0 0	1 1 1 0 1 1 1 1
1	0	1 0 1	1 1 0 1 1 1 1 1
1	0	1 1 0	1 0 1 1 1 1 1 1
1	0	1 1 1	0 1 1 1 1 1 1 1

74LS148、74LS138 的引脚图如图 3-2 所示。

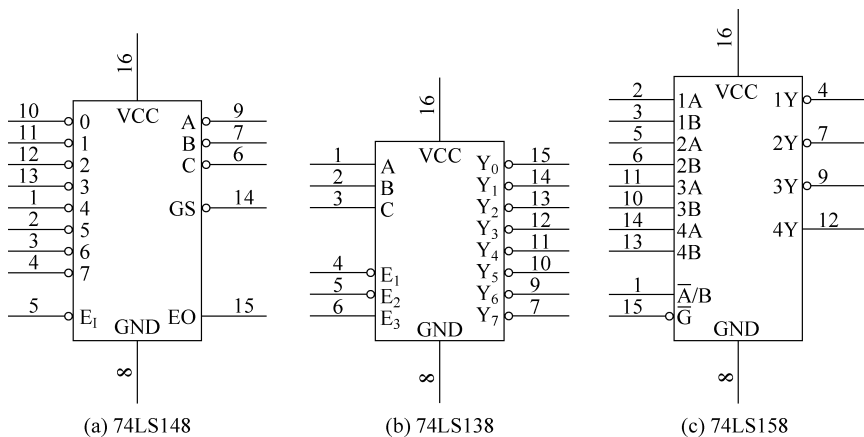


图 3-2 74LS138、74LS148 和 74LS158 逻辑引脚图

3. 排队电路

这里介绍一种并行优先排队电路。计算机中各 CPU、各外设都可以访问存储器。但它们的优先级别不同,这应该事先规定好。我们把各 CPU、各外设一律称作设备,假定设备 1 的优先级最高,依次是设备 2、设备 3、……所谓“访问”,就是设备和存储器交换(读或写)数

据的过程。该过程是这样进行的：某设备要访问存储器，首先发出请求占用总线信号（例如使其请求 RS 触发器置 0 或置 1），若没有比它级别更优先的设备也在请求的话，它的请求便得以响应。这时它发出的地址码就能送到地址总线上，存储器由总线上的地址码，确定要访问的单元（存放数据的地方），其中的数据就通过数据总线和该设备进行交换。现在我们只讨论从设备发出请求信号到把地址码送到地址总线这一段的工作原理。

为了和芯片的功能配合，假定设备要占用总线的请求为 0，不请求是 1；把各设备的请求信号加到优先编码器的输入端，进行优先编码，它输出的每一个有效码，既对应着一个一个的设备，又表示现在在申请占用总线的设备中，它的优先级最高（注意，一定要留一个无效码，表示没有任何设备申请）。然后，通过译码，让其输出打开一组传输门。所对应的设备通过该组门，把地址码送往地址总线（见图 3-3）。

这组门是受控传输门，用三态门最简单。也可以用 OC 门组成的“线与”电路。因为三态门在以后的实验中要遇到，所以，在本实验中采用 OC 门。图 3-4 是 OC 门的线与电路，输出 $F = \overline{A} \overline{B}$ 。注意，在电路中，这两个门各属于不同的设备，不可能同时被打开，只可能同时被截止（输出高电平）。R 选得太大，会影响开关速度；太小，或不能保证逻辑低电平，或把芯片烧坏。

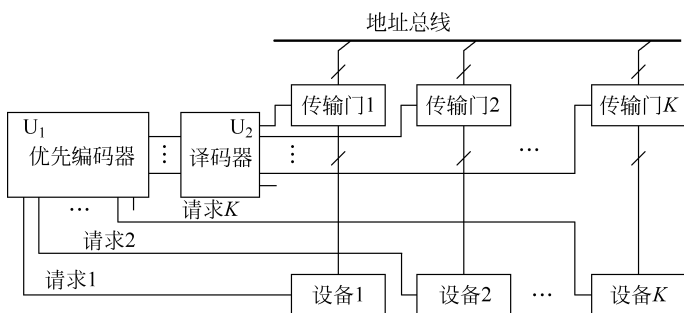


图 3-3 多外设共享总线原理框图

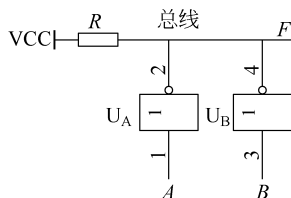


图 3-4 OC 门线与功能示意图

三、实验器材

8-3 线优先编码器 74LS148, 3-8 线译码器/分配器 74LS138, 四或非门 74LS02, OC 六反相器 74LS05(或 74LS06), 四 2 选 1 数据选择器 74LS158 等。

四、实验内容

(1) 测试编码器 74LS148 和译码器 74LS138 的功能，输出用实验台上的 LED 二极管指示。

(2) 按图 3-3 设计、安装、调试一个优先排队占用总线的电路，受控传输门用或非门及 OC 非门。因为正逻辑或非门就是负逻辑与非门，所以这里采用 2 输入四或非门 74LS02 和 OC 六反相器 74LS05。设备只取两个，每个设备所传送的地址码为 3 位 (bit)，用置数开关设定。注意，总线上出现 111，则是无效码，即没有设备申请。总线请求信号用置数开关模拟。总线上的数据用实验台上的 LED 指示。

(3) 图 3-5 是优先编码器的并行扩展电路。其中 74LS158 为四 2 选 1 数据选择器(引

脚 16 接 VCC, 引脚 8 接 GND), $\overline{A}/B=0$ 时, 选中 A 组数据; $\overline{A}/B=1$ 时, 选中 B 组数据。试分析工作过程, 连线安装并测试。实验按表 3-3 所示的真值表测。

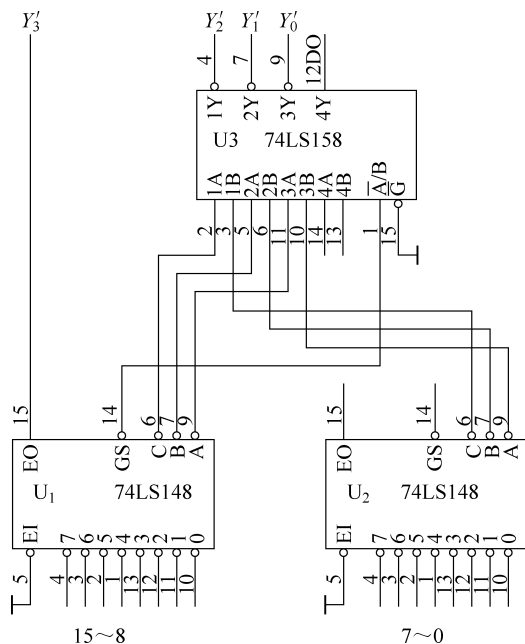


图 3-5 优先编码扩展原理图

表 3-3 编码器扩展电路 IO 真值空表

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	Y'_3	Y'_2	Y'_1	Y'_0

(4) 74LS138 的扩展应用。

- ① 用 74LS138 设计一个 8 数据分配器, 要求输出高电平有效。
- ② 用 74LS138 和必要门电路实现一位全减器。
- ③ 用 74LS138 和必要门电路设计一个 4-16 线译码器。

五、实验报告和思考题

(1) 写出设计的主要考虑, 画出实验电路图, 说明测试方法, 列出测试结果, 并作必要讨论。

(2) 在什么条件下, 编码器、译码器必须留一个无效码? 什么时候不留?

(3) 向总线传送数据的可控传输门用 OC 门的“线与”方式和用三态门有何不同? 后者其输出是否也要留一个无效码?

实验 6 加法器

一、实验目的

- (1) 掌握加法器的原理、设计和应用。
- (2) 了解加法器中对控制信号时序的要求。

二、实验原理

1. 算术逻辑运算单元

算术逻辑运算单元(ALU)74LS181 是一种功能较强的组合逻辑电路,它能进行多种算术运算和逻辑运算。它的基本逻辑结构是超前进位加法器。其全部功能可查阅有关手册(如果对补码不熟悉,就看不懂功能表的算术运算部分)。这里仅对要用到的加以介绍,采用正逻辑介绍。

$S_3 \sim S_0$: 工作方式选择。

M : 当 $M=H$ 时,进行逻辑运算; $M=L$ 时,进行算术运算。取 $M=L$ 。

$A=A_3 \sim A_0, B=B_3 \sim B_0$: 参加运算的两个数(注脚 3 表示最高位)。

$F_3 \sim F_0$: 运算结果。

CN : 最低位进位输入, $CN=H$ 时,表示无进位输入; $CN=L$ 时,有进位输入。取 $CN=H$ 。

$CN+4$: 最高位进位输出,低电平有效。

$A=B$: 当 $F_3 \sim F_0$ 全为高电平时为 1,否则为 0。

G 称为进位发生输出, P 称为进位传送输出。它们是为了便于实现多芯片 ALU 之间的超前进位用的,在实验中不用。

74LS181 的引脚如图 3-6 所示。正逻辑操作数方式时,输入、输出信号的极性和图 3-6 中所标的正好相反,和上面所说的一致。当 $S_3 \sim S_0 = HLLH$ (即=1001), $M=0, CN=1$ 时,其功能是 $F=A$ 加 B (算术加,包括进位位)。

2. 加法器

加法器是计算机中的重要部件,这里给出它的基本逻辑框图(见图 3-7)。根据此图,作一次加法运算的步骤(也叫程序)是:

- (1) 在做加法运算之前,先让累加器 AC 清零。
- (2) 把数据总线(例如,在计算机中其上的数据来源于存储器)上的被加数寄存到数据寄存器 B 上,再通过 ALU,把被加数放到累加器 AC 中。
- (3) 把数据总线上的加数放到寄存器 B 中。这时 ALU 的输出即为和数。
- (4) 把和数存放到累加器 AC 上。这样,就完成了—次加运算。

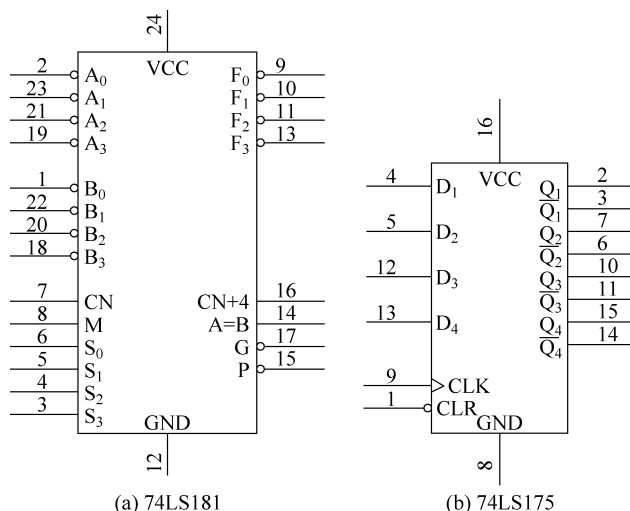


图 3-6 74LS181 和 74LS175 逻辑引脚图

三、实验器件

ALU 74LS181、4D 上升沿触发器 74LS175、3 输入三与非门 74LS10 等。

四、实验内容

(1) 按图 3-7 设计一个 4 位加法器,要求累加器 AC 和数据寄存器 B 用 74LS175。ALU 的输出(包括进位输出)和 AC 输出由 LED 指示,输入的数据用置数开关模拟,寄存器的打入脉冲用手动单脉冲发生器(也叫逻辑开关,而手动置数开关有抖动毛刺,不能用。为什么?)加入,“清零”用按键开关。安装并调试。注意各控制信号的时序要求。

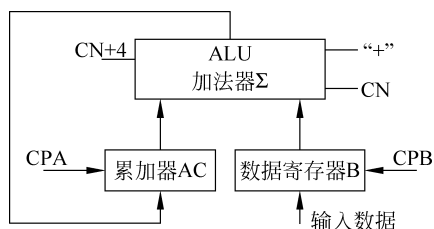


图 3-7 加法器逻辑框图

(2) 选做: 用 ALU 74LS181 实现 8421BCD 码向其余 3 码的转换。

提示: 其余 3 码就是 8421BCD 码加 3。

(3) 选做: 用 ALU 74LS181,设计一个 1 位十六进制数转换为两位十进制数 8421BCD 码的电路。

提示: 当十六进制数 ≤ 9 时,直接传送(即加 0);当十六进制数 ≥ 10 时,加 6 便是十进制数,进位输出就是十位。

这里可用直接转换法,例如十六进制数由 74LS181 的 A 端输入,同时对 A 进行判断,判断电路的输出接到 B2, B1 上,并令 B3B0=00;当 $A \leq 9$ 时,判断电路输出 0;当 $A \geq 10$ 时,判断电路输出 1。74LS181 的输出就是变换结果。

(4) 选做: 设计一个 1 位十进制(8421BCD 码)加法器,包括进位输出。

提示: 用上述(1)中的实验电路作加法,当 Σ 的输出($CN+4, F_3, F_2, F_1, F_0$)为和时,将此结果进行二进制对十进制的转换。两个一位十进制数相加,其范围是 0~18,当和 ≤ 9 时,

直传；当和 ≥ 10 时，加6。

注意：这时 $CN+4$ 应参与判断，当和 ≥ 10 时，判断电路输出1，该输出同时也是变换结果的进位输出。

在计算机中，转换电路不是像实验中用 ALU 芯片做的，而是用门电路做成专用电路。

五、实验报告和思考题

- (1) 画出实验电路图，说明测试方法，列出测试结果，并作必要讨论。
- (2) 画出输入数据，各控制信号的时序图。
- (3) 思考题：锁存器和寄存器有何不同？在实验中，如果把寄存器 B 换成锁存器行不行？把累加寄存器 AC 用锁存器代替行吗？为什么？

实验 7 触发器

一、实验目的

- (1) 掌握集成触发器的使用和逻辑功能的测试方法。
- (2) 掌握用集成触发器设计同步时序电路及其测试方法。

二、实验原理

1. 基本 RS 触发器

由两个与非门交叉耦合而成的基本 RS 触发器是各种触发器的最基本组成部分，其电路如图 3-8 所示。它能够存储 1 位二进制信息，但存在 $\bar{R} + \bar{S} = 1$ 的约束条件。

基本 RS 触发器的用途很广，就是用来保存二进制信息，而且时间可以任意长。

RS 触发器（也叫 RS 锁存器，或门锁器）的典型应用是，当某操作在启动（例如，计算机中启动某定时器计数）时，给置位端加一个负向脉冲使其状态为 1；而当该操作结束时，则给复位端加一个负向脉冲（例如，计算机中定时器计数完毕，就给复位端反馈一个负向脉冲），使其复位到 0。

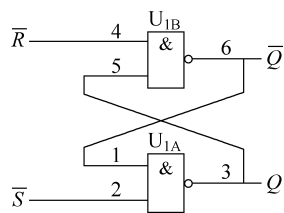


图 3-8 RS 触发器

作为一个例子，在实验中经常用基本 RS 触发器作无抖动开关。例如，在图 3-9 所示的电路中，通常希望在开关 S 闭合时，A 点电压的变化是从 +5V 到 0V 跳变，但是由于机械开关的接触抖动，往往在几十毫秒内电压会出现多次抖动，相当于连续出现了几个脉冲信号。显然，用这样的开关产生的信号直接作为电路的驱动信号，可能导致电路产生错误动作，这在有些情况下是绝对不允许的。为了消除开关的接触抖动，可在机械开关与被驱动电路间接入一个基本 RS 触发器（见图 3-9 右）。使开关每扳动一次，Q 或 \bar{Q} 点输出信号仅发生一次变化。通常把存在抖动的开关称为数据（或置数）开关，把这种带 RS 触发器的无抖动开关称为逻辑开关。该防抖开关在实验台上已设有。

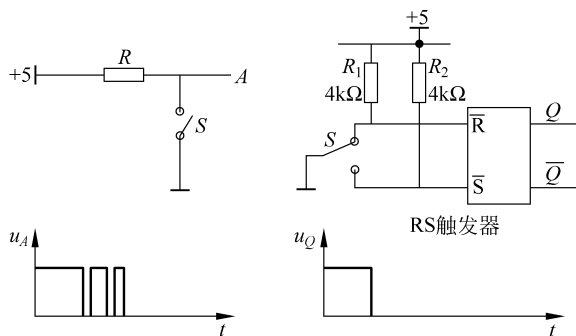


图 3-9 机械开关与 RS 触发器用于逻辑开关原理图

2. 边沿 JK 触发器

图 3-10 中给出了边沿型 JK 触发器 74LS109,它是用上升沿触发的。图中 CD 和 SD 分别为直接复位和直接置位,低电平有效。其真值表如表 3-4 所示。由于这种触发器是利用信号传递延时的差异来进行工作的,因此要求时钟脉冲的边沿较陡,从而其工作频率可以比其他型的高。常用这种触发器构成缓冲寄存器、移位寄存器和计数器等。

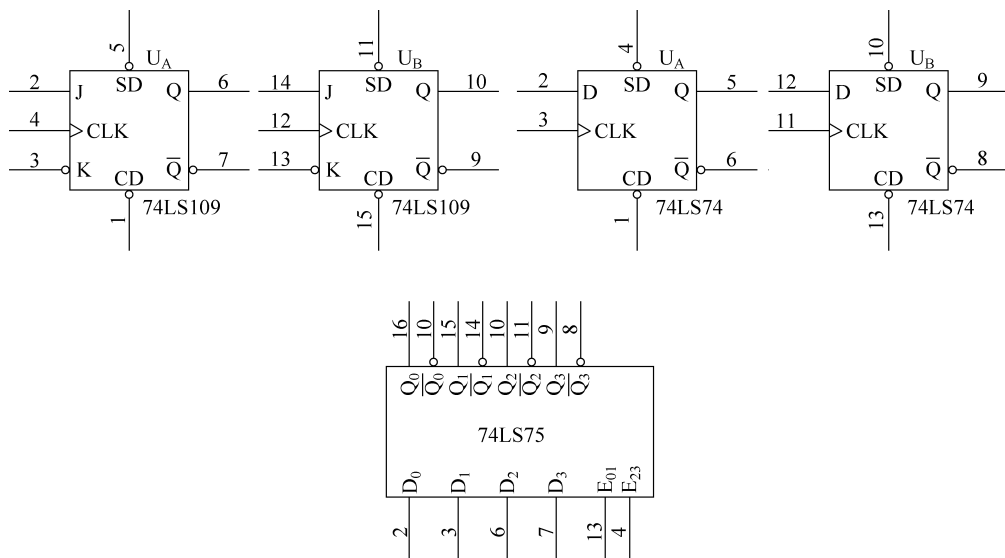


图 3-10 74LS109、74LS74 与 74LS75 逻辑引脚图

表 3-4 JK 触发器真值表

J	\bar{K}	Q_{n+1}	J	\bar{K}	Q_{n+1}
0	1	Q_n	0	0	0
1	1	1	1	0	\bar{Q}_n

3. 维持阻塞型 D 触发器

在图 3-10 中有 D 触发器 74LS74 的逻辑图,它是维持阻塞型的触发器。CD 和 SD 分别

为直接复位和直接置位,低电平有效;在时钟脉冲 CLK 的上升沿发生翻转,触发器的状态取决于时钟作用有效期(即时钟脉冲上升沿期间)中 D 的状态。这种 D 触发器常用于组成各种类型的计数器、数据寄存器等。

4. 同步型(电平触发)D 触发器

同步型(电平触发)D 触发器也叫 D 锁存器,例如 74LS75 就是 4D 锁存器,其引脚图如图 3-10 所示,时钟输入为高电平有效。这种锁存器是用来保存数据信息的。它的特点是在时钟有效期中输出 Q 和输入 D 相同,称它为“直通”,该特性就能产生所谓“空翻”现象。

对时钟型(包括电平触发型的,边沿型的,维持阻塞型的和主从型的)触发器,输入信号和时钟信号在时间上的正确搭配非常重要。不管是在设计时还是在实验时,对这一点都要有足够的重视。

5. 时序电路的设计与测试

同步时序电路的特点是,电路中时间的划分是以时钟脉冲为依据的。其设计的主要步骤是:根据设计要求写出动作说明,列出状态转换图或状态转换表,然后进行状态化简和状态分配,再根据所选触发器确定其驱动方程,最后画出电路图。当然,在设计中有时考虑自启动也是必不可少的。

在进行设计时,不要拘泥于以上程式,应该融会贯通,灵活掌握。

对于所设计的逻辑电路图,必须进行实验检测,只有实际电路符合设计要求时,才能证明设计是正确的。

时序电路的功能测试分静态和动态两种方法。静态测试就是直流稳态测试,就是测试电路的状态转换真值表。测试时,时钟脉冲由逻辑开关提供,电路输出用发光二极管指示。动态测试是指,在时钟输入端输入矩形波或方波信号,用二踪示波器观察电路各级的工作波形,它不仅可以看到电路的稳态情况,而且还可以观察到电路的过渡态(或叫瞬态)。在每次观察时,示波器的同步信号或触发信号应选用合适的信号从内触发通道输入,并记录电路的工作波形。记录波形时注意标出坐标刻度。

三、实验设备与器件

(1) 二踪脉冲示波器一台,实验台一台。

(2) JK 触发器 74LS109 两块,双 D 触发器 74LS74 一块,4D 锁存器 74LS75 一块,其他门电路,电阻,电容等。

四、实验内容

(1) JK 触发器 74LS109 的功能测试。

① 分别改变 CD 和 SD,观察和记录 Q 与 \bar{Q} 的状态。

② 按表 3-5 要求,测试并记录触发器的逻辑功能,在表中,CP 的 0→1 和 1→0 分别表示一个时钟正脉冲的上升边沿和下降边沿,应由逻辑开关供给。

表 3-5 74LS109 功能测试表

J	\bar{K}	CP	Q_{n+1}	
			$Q_n=0$	$Q_n=1$
0	0	$0 \rightarrow 1$		
		$1 \rightarrow 0$		
0	1	$0 \rightarrow 1$		
		$1 \rightarrow 0$		
1	0	$0 \rightarrow 1$		
		$1 \rightarrow 0$		
1	1	$0 \rightarrow 1$		
		$1 \rightarrow 0$		

③ 使触发器处于计数状态($J=1, \bar{K}=0$), CP 端输入 $f=10\text{kHz}$ 的方波信号, 记录 CP 、 Q 和 \bar{Q} 的工作波形。

④ 使用 JK 触发器设计一个五进制的同步减法计数器。写出设计过程, 画出逻辑图; 观察并记录时钟脉冲和各级触发器输出的工作波形。

(2) D 触发器 74LS74 的测试

① 按表 3-6 要求测试并记录触发器的逻辑功能。

表 3-6 74LS74 功能测量表

D	CP	Q_{n+1}	
		$Q_n=0$	$Q_n=1$
0	$0 \rightarrow 1$		
	$1 \rightarrow 0$		
1	$0 \rightarrow 1$		
	$1 \rightarrow 0$		

② 使触发器处于计数状态(\bar{Q} 与 D 相连接), CP 端输入 $f=10\text{kHz}$ 的方波信号, 记录 CP 、 Q 和 \bar{Q} 的工作波形。

(3) 用 D 锁存器 74LS75 也接成计数器(即把 D 和 \bar{Q} 相连), 时钟输入分别接高电平和方波, 用示波器观察输出 Q , 看得到什么结果? 测出什么参数?

(4) 设计一个公路和铁路交叉路口控制电路, 并安装调试之。

在离公路和铁路交叉路口两侧足够远的铁路上, 取 P_1 和 P_2 点, 分别设置两个压敏元件(也可用其他传感元件)。这两点相距较远, 因此一列火车不会同时压在两个压敏元件上。在交叉路口的铁路两侧有两个栅门, 当火车由东到西, 或由西到东通过 P_1-P_2 段时, 栅门应同时关闭以阻断公路通行, 否则栅门同时打开以使公路贯通。压敏元件的功能是, 当它承受火车的压力时, 产生逻辑电平 0, 否则为 1。如压敏元件 P_1, P_2 的输出用 X_1, X_2 表示, 它控制一个电路, 其输出为 Z , 当 $Z=1$, 栅门关闭; 当 $Z=0$ 栅门打开。

这个问题的关键在设计, 设计的关键在思路。可以设计得很麻烦, 也可以很简单。

其实, 不管火车是由东往西, 还是由西往东, 每次都会依次产生两个脉冲信号, 第一个脉冲使输出为 1, 第二个脉冲又使输出回到 0。用如图 3-11 所示的电路就能实现, 第一个脉冲

使其状态为 1, 第二个脉冲又使它回到 0, 很简单。其中 RC 电路是上电复位, 开关 S 是人工复位(可不要), 在火车未来时上电。

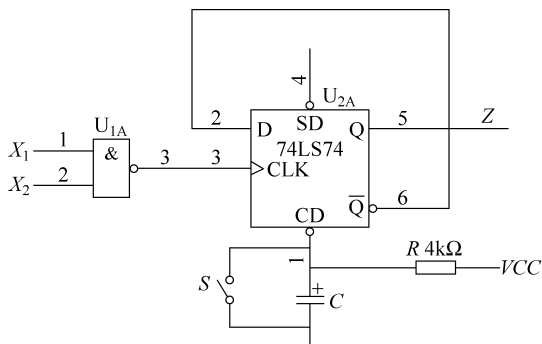


图 3-11 由 RC、与非门及 74LS74 组成的一种电路图

该电路也可以用 RS 触发器来实现, 不过电路要复杂一些。不知道你从中能得到什么启示?

(5) 设计一个更好的公路和铁路交叉路口控制电路, 并安装调试之。

上面的交叉路口控制电路, 有一个很大的毛病, 就是公路的通行效率低。因为 P_1 和 P_2 点离路口都相当远, 火车通过交叉路口以后, 要经过很长一段时间, 公路才能放行。

为此, 可以在交叉路口两侧的铁路线上, 由东向西依次选 4 个点: P_1 、 P_2 和 P_3 、 P_4 (分别产生信号 X_1 、 X_2 、 X_3 、 X_4)。 P_1 和 P_4 离路口比较远一些, P_2 和 P_3 离路口近一些, 大约略大于列车的最大长度。这样, 当火车从东往西走时, 在 P_1 点让栅门关闭, 即 $Z=1$; 当运行到 P_3 时, 便让栅门打开, $Z=0$ 。而当火车从西往东时, 则运行到 P_4 点时, 让栅门关闭, $Z=1$; 而运行到 P_2 点时, 栅门打开, $Z=0$ 。显然, 这就提高了公路的通行效率。

试用 JK 触发器和必要的门电路设计并安装该控制电路。

提示: 任何一项设计, 都可以有各种不同的方案。这里给出两种, 一种是用 RS 触发器, 让 X_1 、 X_4 使其置位, 让 X_3 、 X_2 使其复位。这里需有一个火车运行方向的判断电路, 当火车从东往西时, 使 X_1 和 X_3 有效; 而从西往东时, 使 X_4 和 X_2 有效。另一种是用同步时序电路图, 这正是我们要求做实验的方案。在用这一方案时, 要注意有以下三个特点:

① 时钟由 $X_1 + X_2 + X_3 + X_4$ 产生, 就是说, 在火车没有压在各传感器上时, 就不会有时钟信号, 触发器的状态将维持不变。

② 各 X_i 所持续的时间, 比稳态时间短很多, 就是可以把各 X_i 看成有某一定宽度的脉冲。这样, 输出信号 Z 就可以只依赖于状态, 而不依赖于 X_i 。

③ 各 X_i 是互斥的, 即不可能有任何两个同时有效。

考虑到以上特点, 会使设计既符合教科书上所给的设计方法, 又要不拘泥于那些程式, 这就叫“脱规矩而合规矩”。要做到脱规矩, 就必须对规矩有深入细致的了解。所以, 通过这项设计和实验, 不仅使你对“规矩”有一个更深入的理解, 而且对你的智力有更进一步开发作用。这正是我们设计本实验的意图所在。

五、实验报告要求与思考题

- (1) 列表整理各实验结果并讨论。
- (2) 画出观察到的波形,说明触发方式。
- (3) 有人说“基本 RS 触发器 $R=S=0$ 时(状态)是不定的”,对吗? 应该怎样说才准确?
- (4) 在实验内容(3)中,如果把 X_1 、 X_2 的相位倒过来,即火车没有压在测试点上时, X_1 、 X_2 都为 0V,和现在的设定在逻辑上都是完全可行的,但在实际使用上效果会一样吗? 哪种好些,为什么? 另外,为什么要上电复位?
- (5) “对时钟型(包括电平触发型的、边沿型的、维持阻塞型的和主从型的)触发器,输入信号和时钟信号在时间上的正确搭配非常重要”你是怎么理解的? 试用 JK 触发器的特性方程加以说明(注意该方程成立的条件、各变量有效的时间段)。

附: 原设计设定 X_1 、 X_2 为高电平有效, CP 要求读者自行设计。另外,要画出具体电路,还要增加一些门和附加电路,如图 3-12 所示。

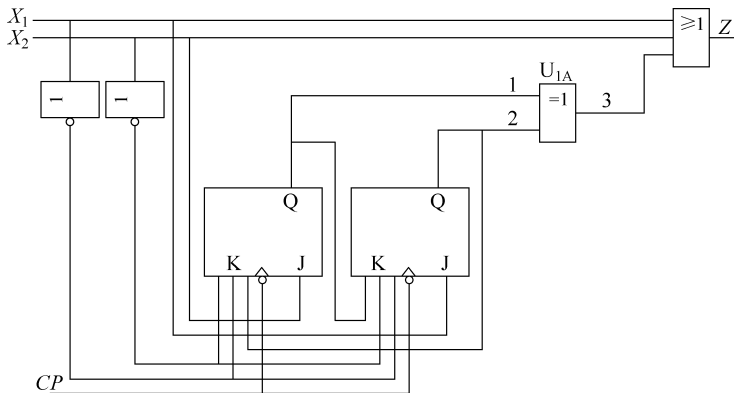


图 3-12 一种交叉路口控制逻辑电路图示

实验 8 计数器和移位寄存器

一、实验目的

- (1) 掌握集成计数器和双向移位寄存器的使用方法。
- (2) 熟悉显示译码器和数码管的使用方法。

二、实验原理

中规模集成电路的时序功能器件常用的有计数器和移位寄存器等,借助于器件手册提供的功能表和工作波形图,就能正确地使用这些器件。对于一个使用者,关键在于合理地选用器件,灵活地使用器件的各控制输入端,运用各种设计技巧,完成任务要求的功能。在使用器件时,各控制输入端必须按照逻辑要求接入电路,不允许悬空。

1. 计数器

计数器是实现计数功能的时序部件,它不仅可用来作计脉冲数,而且也常用作数字系统的定时、分频、控制电路和执行数字运算以及其他特定的逻辑功能。

计数器种类较多,根据计数器中各触发器是否使用同一个时钟脉冲源来分,有同步计数器和异步计数器。根据计数器的长度(即模数)分,有二进制计数器、十进制计数器和 M 进制计数器等。根据计数状态值的增减趋势,又分为加法、减法和可逆计数器等。

在同步计数器中,所有触发器共用一个时钟脉冲 CP (被计数的输入脉冲),使该翻转的触发器同时翻转计数,因而工作速度较快。异步计数器则不同,触发器的 CP 端有的直接来自输入计数脉冲,有的则来自前一级触发器的输出,因此它们的翻转是异步的,整个电路的工作速度比同步计数器慢,而且若由各级触发器的输出直接译码,则会出现竞争冒险现象(属何类冒险?),即出现译码尖峰,但电路一般比同步计数器简单。

本实验所用计数器芯片是常用的 74LS90。

74LS90 是二-五-十进制异步计数器,它的外引线图如图 3-13 所示,逻辑功能如表 3-7 所示。该芯片包含有 4 个主从触发器和附加门,其中一级 Q_0 组成二分频计数器,计数输入端是 CLK_0 ; 另外三级(Q_3 、 Q_2 、 Q_1)组成五分频计数器,计数输入端是 CLK_1 。四级的共同复零输入是 MR ,而 MS 则为预置 9(即预置 $Q_3=1, Q_0=1, Q_2=Q_1=0$)输入端。利用该中规模集成异步计数器,根据“计数到 N 时置 0”的原则(也叫反馈复位法),可构成 N 进制计数器。图 3-14 为六进制计数器的实例。

表 3-7 74LS90 功能表

复 位 输 入				输 出		
MR_1	MR_2	MS_1	MS_2	Q_3	Q_2	Q_1 Q_0
H	H	L	×	L	L	L L
H	H	×	L	L	L	L L
×	×	H	H	H	L	L H
×	L	×	L	计数		
L	×	L	×	计数		
L	×	×	L	计数		
×	L	L	×	计数		

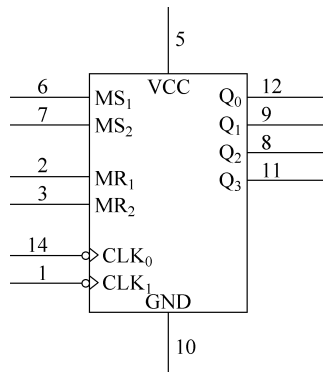


图 3-13 74LS90 逻辑引脚图

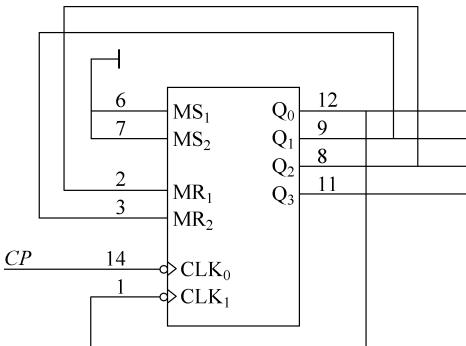


图 3-14 74LS90 组成六进制计数器原理图

下面举个预置 9 的例子。

在某些装置中,有时对计数电路有各种特殊要求,这就要根据要求进行专门设计。数字钟里的计时装置就是一个不从 0 开始而是从 1 开始,以 12 小时为周期的特殊计数器,要求时位计数从 1 开始一直到 12 以后再返回 1。当计数到 13 时通过与门产生一个复位信号,使计数器时十位为 0,而时个位为 1,从而实现了 1~12 计数。其接线图如图 3-15 所示。这里用了两片 74LS90,第 1 片的 Q_0 和第 2 片的 Q_1 、 Q_2 、 Q_3 组成时个位;第 2 片的 Q_0 为时十位。于是,对第 1 片预置 9,实际上是预置 1($Q_0=1$);第 2 片只用清零就可以了。容易看出,该电路实现了 1~12 的计数。

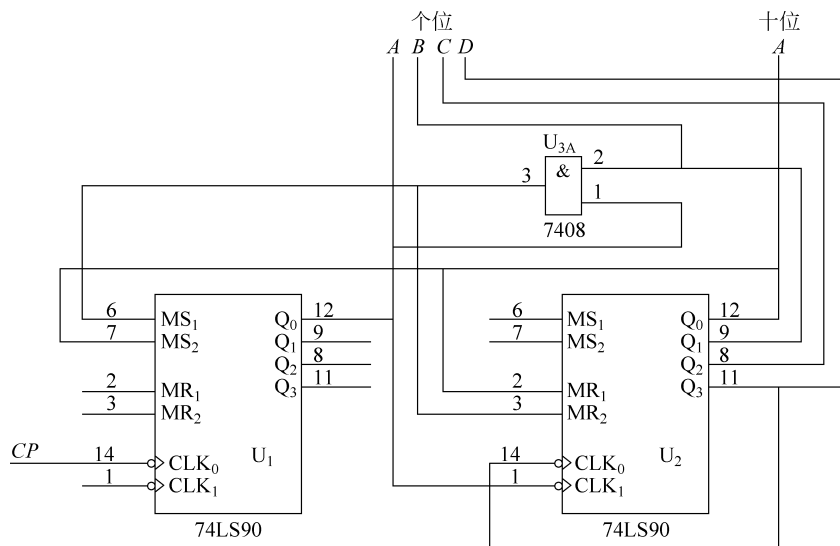


图 3-15 十二进制时钟逻辑实现图

2. 移位寄存器

在数字系统中,常常需要将二进制信息码(数据序列)移位。实现移位功能的部件,就是移位寄存器。它由一些 D 触发器链型连接而成,每个触发器的输出接下一级触发器的输入。所有触发器共用一个时钟源,在移位控制信号作用下,既能左移又能右移的,则称它为双向移位寄存器。74LS194 是一个 4 位双向移位寄存器。它具有清零、左移、右移、并行送数和保持等多种功能,它的逻辑功能引脚如图 3-16 所示。

DSR——右移输入端;

DSL——左移输入端;

$P_0 \sim P_3$ ——置数输入端;

$Q_0 \sim Q_3$ ——输出端(状态次序规定为 $Q_0 \sim Q_3$);

CLK——时钟输入端,上升沿有效;

\overline{MR} ——异步清零端,低电平有效;

S_1 、 S_0 ——功能控制,如表 3-8 所示。

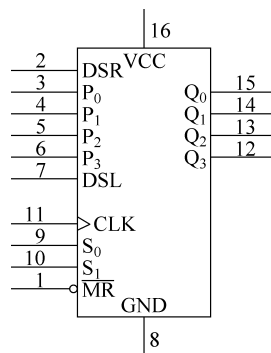


图 3-16 74LS194 逻辑图

表 3-8 74LS194 状态控制功能表

S_1	S_0	功能	S_1	S_0	功能
0	0	保持	1	0	左移
0	1	右移	1	1	并行送数

移位寄存器可以临时寄存信息,也可以加工或传送数据,还可作为基本部件用于各种时序逻辑电路,如计数器、脉冲分配器、序列码发生器、序列码检测器等。

3. 数码显示

(1) 七段发光二极管(LED)数码管。

七段 LED 数码管有共阴型和共阳型两类。实验中使用共阴型数码管,它的图形符号和内部电路图如图 3-17 所示。要求配用相应的译码/驱动器。小型数码管的每段发光二极管的正向压降,随显示光的颜色不同略有区别,通常约为 2V。点亮电流在 5~10mA。

(2) 4 线七段译码/驱动器。

74LS48 是 BCD 输入的 4 线七段译码/驱动器,逻辑引脚如图 3-18 所示。其中, D 、 C 、 B 、 A 是 BCD 码的输入端; a 、 b 、 \cdots 、 g 是译码输出端,高电平有效。器件内部有上拉电阻,不必再外接负载电阻至电源,能直接驱动共阴七段 LED 数码管工作。由于数码管每笔段的正向工作电压仅约 2V,为了不使流过每笔段二极管的电流过大,通常在中间串接一只几百欧姆的限流电阻器。 \overline{LT} 是灯测试输入端,当 $\overline{LT}=0$ 时,输出为全 1,显示“8”; \overline{RBI} 是灭 0 输入端,当 $\overline{RBI}=0$,且 D 、 C 、 B 、 A 输入为 0000 时,输出为全 0,数字“0”不显示,处于“灭 0”状态; BI/\overline{RBO} 是输入、输出合用的引出端, BI 是“灭灯”输入端,当 $BI=0$ 时,输出为全 0,即处于灭灯状态; RBO 是“灭 0”输出端,当该器件处于“灭 0”状态时,输出 $RBO=0$,否则 $RBO=1$,它主要用来控制相邻位的灭 0 功能。

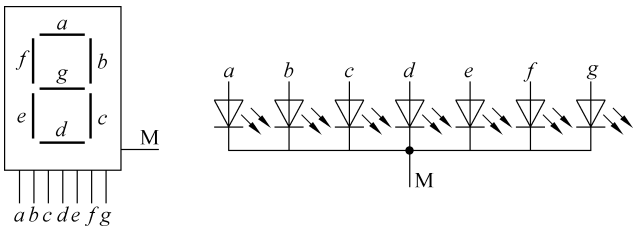


图 3-17 七段 LED 原理图

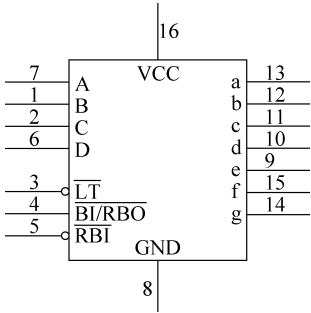


图 3-18 74LS48

数码显示电路,包括 4 线七段译码/驱动器 74LS48 和 LED 数码管,在实验台上已经安装好了,可以直接使用。

三、实验设备与器件

- (1) 双踪脉冲示波器一台,实验台一台。
- (2) 2-5-10 计数器 74LS90 两块,4 位移位寄存器 74LS194 四块,双 D 触发器 74LS74,

其他门电路等。

四、实验内容

1. 测试 74LS90 的功能

- (1) 按其功能表测试功能。
- (2) 在计数输入端加单次 CP 信号,用 LED 显示输出端 Q 的状态,注意各 Q 端顺序,对于 74LS90 还应注意 8421BCD 码和 5421BCD 码两种情况的接线方式。
- (3) 使器件按 8421BCD 码计数,用显示译码器、七段 LED 数码管配合显示计数过程(时钟脉冲频率用 $1\sim 2\text{Hz}$)。

2. 用 74LS90 构成电路

- (1) 接成 5 分频、6 分频、8 分频的分频器,并用双踪示波器同时显示输入、输出波形。
- (2) 设计一个输出脉冲占空比为 50% 的十分频器。用双踪示波器显示并记录它的输入、输出波形。
- (3) 试设计一个数字钟,用二十四进制的计数器,用数码显示电路显示。
- (4) 按图 3-15 电路给图中的空脚以适当的连接,安装调试 1~12 计数器,用数码显示电路的计数过程。

3. 移位寄存器 74LS194 实验

- (1) 二进制数码的串、并行转换和传输。

二进制数码的串-并行转换和传输广泛用在数据通信,计算机等数字系统中,如计算机主机要向磁盘,光盘存数据时,就要把并行数据转换为串行数据;而在读取数据时,则必须把串行数据转换为并行数据。

令 74LS194 的 Q_0 为最低位, Q_3 为最高位,串行输入或串行输出一个二进制数。实验时,应注意正确选择移位方式控制,并自行设计测试方法。

① 串行输入,并行输出: 设串行输入 0101。先用右移方式,后用左移方式实现并行输出。

② 并行输入,串行输出: 设并行输入 1001。采用左移方式实现串行输出。

③ 8 位串-并转换电路实验。

如图 3-19 所示的是一个 8 位串-并行转换电路。D 触发器 U_2 , 寄存器 U_3, U_4 组成 8 位移位寄存器, U_4 的 Q_3 是用作控制 U_3, U_4 工作方式的; U_5 和 U_6 是寄存并行输出数据的,完全可以用其他 D 寄存器代替。 U_1 各门是辅助电路。开始时,先送入 CLR 清零;然后在输入端 DI 送入串行序列数据并送入时钟信号 CP , 每送够 8 位串行数据,则 U_5, U_6 就输出一个 8 位并行数据。

试分析其工作原理,并按图 3-19 所示的安装、调试电路(或根据其原理另设计一个 7 位串-并转换电路,由教师指定)。

(2) 用双向移位寄存器 74LS194 实现计数器。

① 设计、安装、调试一个自启动五级扭环计数器。验证其逻辑功能并用双踪示波器分

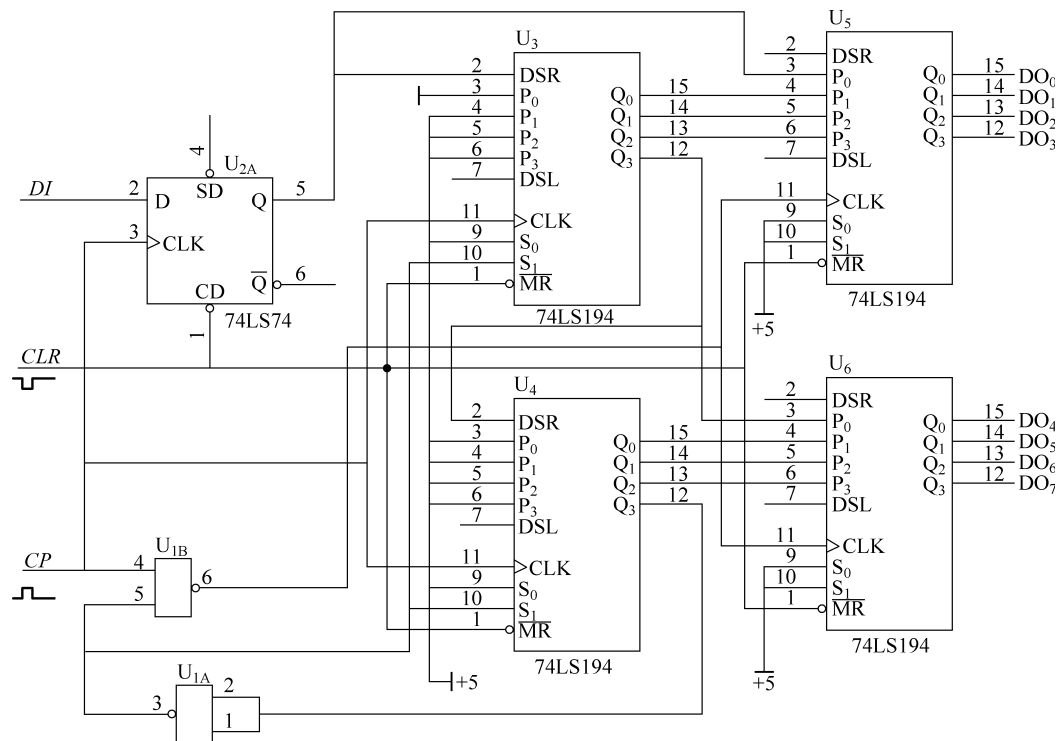


图 3-19 8 位串-并转换原理电路图

别测量 CP 及各 Q 端波形图。

② 设计安装一个自启动四位环形计数器。要求画出逻辑图,列表记录电路的全部状态。

五、实验报告要求与思考题

- (1) 整理实验记录及波形。
- (2) 在并行输入、串行输出的转换中,若二进制数码高位在前、低位在后,应采取何种移位方式?
- (3) 时序电路自启动的作用何在? 它和用人工预置的方法比较,对电路的作用有何差异?
- (4) 环形计数器的最大优点和最大缺点各是什么? 为什么扭环计数器的输出在译码时不存在竞争冒险?

实验 9 顺序脉冲发生器的设计与调试

一、实验目的

- (1) 掌握顺序脉冲发生器的设计方法。

- (2) 了解时序逻辑电路中的竞争冒险现象。
- (3) 了解顺序脉冲发生器的主要用途。

二、实验原理

在数字系统和计算机中,往往需要机器按照人们事先规定的顺序进行运算或操作,这就要求机器的控制部分不仅能正确地发出各种控制信号,而且要求这些控制信号在时间上有一定的先后顺序。用顺序脉冲发生器可以实现这一功能。顺序脉冲也叫相位脉冲,或节拍脉冲。计算机之所以能一步一步地运行,就是要靠节拍脉冲一拍一拍地指挥。

顺序脉冲发生器是产生在时间上有先后顺序的脉冲,通常可以用移位寄存器产生,也可以由计数器和变量译码器组合而成,计数器状态提供译码器的地址码,译码器把该地址代码译成有一定顺序的电位脉冲,其方框图如图 3-20 所示。

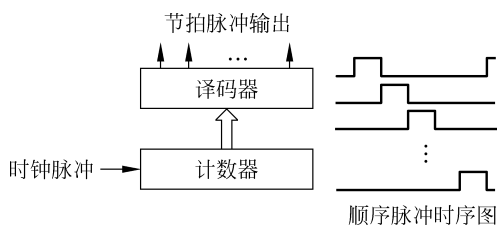


图 3-20 顺序脉冲实现原理框图

本实验要求用 JK 触发器和门电路分别设计格雷码和自然二进制的异步八进制计数器,译码器选用芯片 3-8 线译码器 74LS138,产生 8 相顺序脉冲。每次状态转换时,若有多个触发器状态改变,在译码器输出端有可能产生尖脉冲,即有竞争冒险现象(是哪一类冒险?能用加冗余项法消除吗?),可引入封锁法或选通脉冲法加以消除。

三、实验仪器与器材

- (1) 双踪示波器、实验台、万用表。
- (2) 74LS109 双 JK 触发器两片,74LS138 译码器一片,如图 3-21 所示。

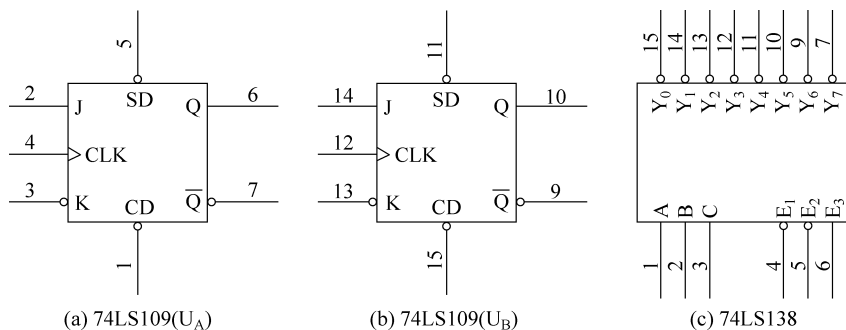


图 3-21 74LS109 与 74LS138 逻辑引脚图

四、实验内容

- (1) 设计、安装、调试格雷码异步八进制计数器。

提示：列出状态转换真值表,会发现最低位触发器是 CP 的 4 分频,所以,再设定一级 2 分频的辅助级,便很好设计了。

- (2) 设计、装配、调试自然二进制码异步八进制计数器。
- (3) 把上述两种计数器的状态分别作为译码器的输入,观察并记录译码器的输出,找出两种情况下输出波形在顺序上的差异,尖峰脉冲的产生。
- (4) 试设计消除尖峰脉冲的电路并用实验验证。

五、实验报告要求与思考题

- (1) 写出异步八进制计数器的设计过程,画出原理图 and 实际连线图,说明实际测试结果。
- (2) 画出顺序脉冲发生器整体原理图 and 实际连线图,画出输入输出 CP 之间时序图。
- (3) 说明尖峰脉冲产生的原因和消除的方法。
- (4) 实验过程中异常现象的分析与排除。
- (5) 思考题。
 - ① 计数器采用异步有何优点?
 - ② 计数器状态采用格雷码的目的是什么?
 - ③ 若用移位寄存器获得节拍脉冲信号,其电路是怎样的?

实验 10 序列信号的产生和检测

一、实验目的

- (1) 掌握序列信号发生器的设计与调试方法。
- (2) 掌握序列信号检测器的设计与调试方法。
- (3) 熟悉简单数字系统的测试步骤。

二、设计要求

- (1) 用多路选择器 74LS151(8 选 1)和计数器 74LS90 设计一个同步串行输出“10110”序列信号发生器。
 - (2) 设计一个串行输入“110”和“10110”序列信号检测器,要求用 D 触发器 74LS175 和必要的门电路组成的时序电路来完成。
- 发生器和检测器的输出用发光二极管显示。

三、实验设备及元器件

- (1) 双踪示波器,实验台,万用表。
- (2) 74LS151(8 选 1)一片,74LS90(计数器)一片,4 D 触发器 74LS175 和必要的门电路等,如图 3-22 所示。

四、实验内容

- (1) 设计串行输出“10110”序列信号发生器,画出原理图 and 实际连线图,装配和自拟调

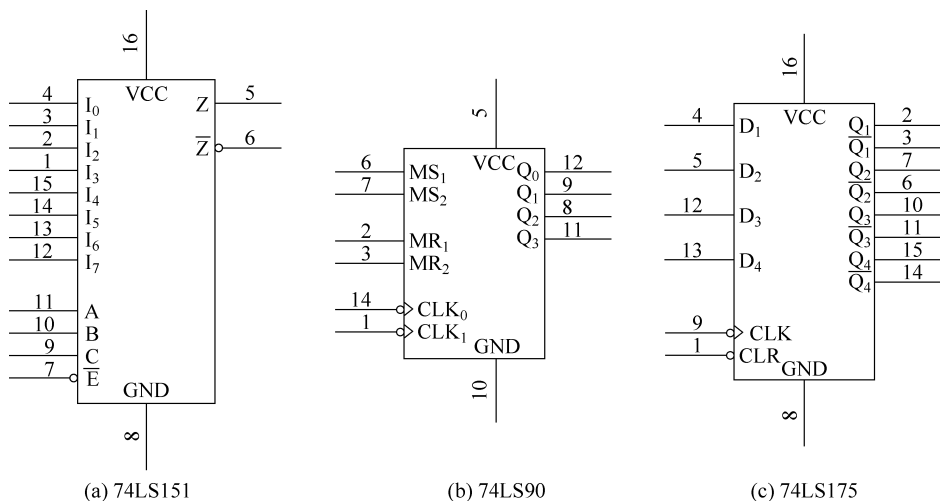


图 3-22 74LS151、74LS90 和 74LS175 逻辑引脚图

试步骤进行测试；

(2) 分别设计串行输入“110”和“10110”序列信号检测器，画出原理图和实际连线图，装配和自拟调试步骤。串行输入信号由序列信号发生器提供。

五、实验报告要求与思考题

- (1) 写出设计步骤，画出原理图和实际连线图。
- (2) 写出调试方法总结实验结果。
- (3) 故障的分析与排除。
- (4) 序列信号发生器，除了用本实验所指定的方法之外，还可以用什么方法实现？序列信号检测器，除了用本实验所指定的方法之外，还可以用什么方法实现？
- (5) 假如有一个电路系统，一个周期需要三个控制信号 A、B、C，它们要按一定的时序发生，按序列排列如下(也可以把它们画成波形)：

A : 1000000。

B : 0011000。

C : 0000010。

你用怎样的方法得到这种信号(只说明方法，不要求画具体电路)？