

兰州大学信息科学与工程学院实验报告

实验成绩：_____

学生姓名：_____杨添宝_____

学 号：_____320170941671,6 组 17 号_____

年级专业：_____2017 级计算机基地班_____

指导老师：_____饶增仁_____

实验课程：_____数字逻辑实验_____

实验题目：_____加法器_____

一、实验目的

- (1) 掌握加法器的原理、设计和应用。
- (2) 了解加法器中对控制信号时序的要求。

二、实验原理

1. 算术逻辑运算单元

算术逻辑运算单元 (ALU) 74LS181 是一种功能较强的组合逻辑电路, 它能进行多种算术运算和逻辑运算。它的基本逻辑结构是超前进位加法器。其全部功能可查阅有关手册 (如果对补码不熟悉, 就看不懂功能表的算术运算部分)。这里仅对要用到的加以介绍, 采用正逻辑介绍。

$S_3 \sim S_0$: 工作方式选择。

M : 当 $M=H$ 时, 进行逻辑运算; $M=L$ 时, 进行算术运算。取 $M=L$ 。

$A = A_3 \sim A_0$, $B = B_3 \sim B_0$: 参加运算的两个数 (注脚 3 表示最高位)。

$F_3 \sim F_0$: 运算结果。

CN : 最低位进位输入, $CN=H$ 时, 表示无进位输入; $CN=L$ 时, 有进位输入。取 $CN=H$ 。

$CN+4$: 最高位进位输出, 低电平有效。

$A=B$: 当 $F_3 \sim F_0$ 全为高电平时为 1, 否则为 0。

G 称为进位发生输出, P 称为进位传送输出。它们是为了便于实现多芯片 ALU 之间的超前进位用的, 在实验中不用。

74LS181 的引脚如图 1 所示。正逻辑操作数方式时, 输入、输出信号的极性和图 1 中所标的正好相反, 和上面所说的一致。当 $S_3 \sim S_0 = HLLH$ (即= 1001), $M=0$, $CN=1$ 时, 其功能是 $F=A$ 加 B (算术加, 包括进位位)。

2. 加法器

加法器是计算机中的重要部件, 这里给出它的基本逻辑框图 (见图 3)。根据此图, 作一次加法运算的步骤 (也叫程序) 是:

(1) 在做加法运算之前, 先让累加器 AC 清零。

(2) 把数据总线 (例如, 在计算机中其上的数据来源于存储器) 上的被加数寄存到数据寄存器 B 上, 再通过 ALU, 把被加数放到累加器 AC 中。

- (3) 把数据总线上的加数放到寄存器 B 中。这时 ALU 的输出即为和数。
- (4) 把和数存放到累加器 AC 上。这样，就完成了一次加运算。

三、实验器件

ALU 74LS181、4D 上升沿触发器 74LS175、3 输入三与非门 74LS10 等。

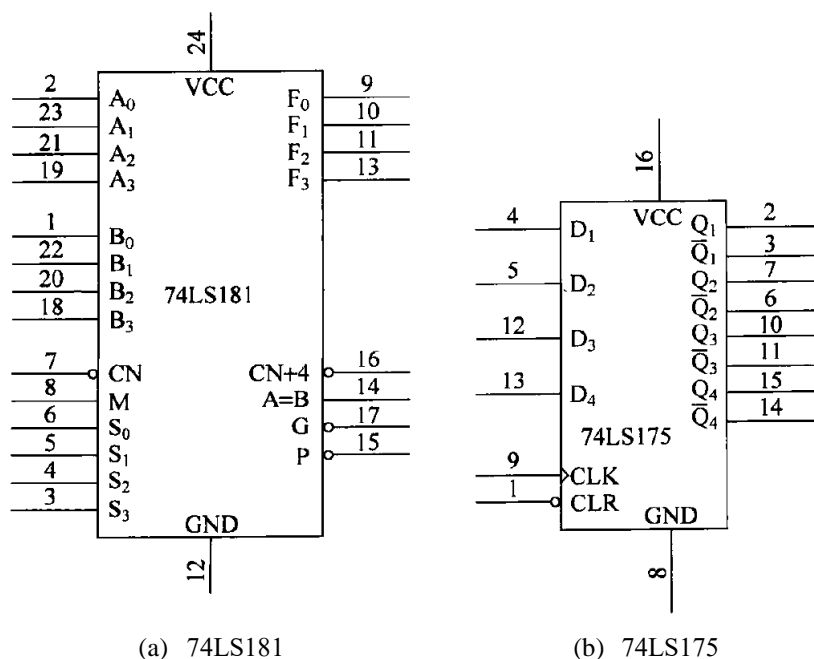


图 1 74LS181 和 74LS175 逻辑引脚图

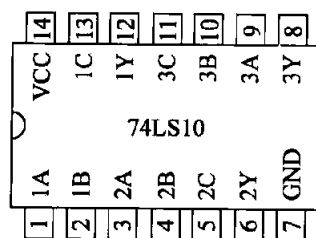


图 2 3 输入三与非门 74LS10 引脚图

四、实验内容

(1) 按图 3 设计一个 4 位加法器，要求累加器 AC 和数据寄存器 B 用 74LS175。ALU 的输出（包括进位输出）和 AC 输出由 LED 指示，输入的数据用置数开关模拟，寄存器的打入脉冲用手动单脉冲发生器（也叫逻辑开关，而手动置数开关有抖动毛刺，不能用。为什么？）加入，“清零”用按键开关。安装并调试。注意各控制信号的时序要求。

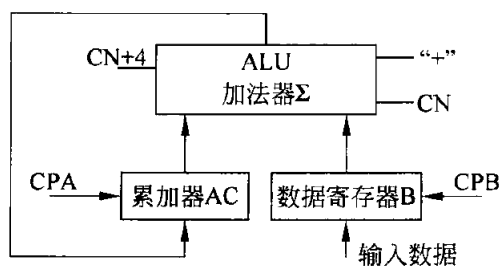


图3 加法器逻辑框图

(2) 选做：设计一个1位十进制(8421BCD码)加法器，包括进位输出。

提示：用上述(1)中的实验电路作加法，当 Σ 的输出($CN+4, F_3, F_2, F_1, F_0$)为和时，将此结果进行二进制对十进制的转换，两个一位十

进制数相加，其范围是0~18，当和 ≤ 9 时，直传；当和 ≥ 10 时，加6。

注意：这时 $CN+4$ 应参与判断，当和 ≥ 10 时，判断电路输出1，该输出同时也是变换结果的进位输出。

在计算机中，转换电路不是像实验中用ALU芯片做的，而是用门电路做成专用电路。

五、实验报告和思考题

(1) 画出实验电路图，说明测试方法，列出测试结果，并作必要讨论。

①4位加法器：

在本次实验中，由于寄存器的数量不足，数据寄存器B对应的引脚 $B_0 \sim B_3$ 以固定值0001代替。此外，累加器AC采用4D上升沿触发器74LS175，它的4个数据输入是上一次ALU运算的输出结果。

时钟脉冲CLK上升沿触发，这里将CLK与单脉冲发生器SP1连接，如此能保证每次按下开关只产生一个单脉冲，从而控制ALU进行一次加法运算，若使用手动置数开关会有较多抖动毛刺，得到的不是单脉冲。CLR用于手动清零，在加法运算前需要将其将其置0一次。为了使ALU 74LS181进行算术加运算，需要设置 $S_3 \sim S_0 = 1001$ 、 $M = 0$ 、 $CN = 1$ 。 $CN+4$ 端为最高位进位输出，用于观察是否有进位。

因此，我们设计4位加法器的电路图如下：

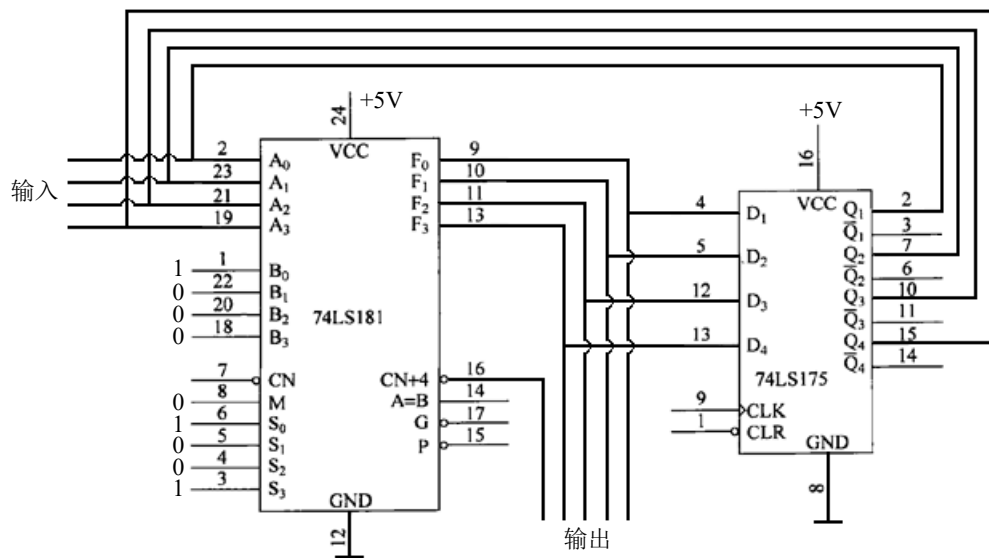


图 4 4 位加法器电路图

测试电路的逻辑功能时，首先将 CLR 清零，使得累加寄存器 AC 输出全为 0，然后进行累加操作：每当发出一个时钟脉冲，计算结果就相应加 1，直到四位数据都为 1111，产生高位进位 CN+4 变为 1，此后再发出时钟脉冲，数据全部回到 0000，CN+4 重新变为 0，恢复清零后的状态。

这个过程使用表格记录如下：

操 作 步 骤	输 出 信 号				CN + 4
	D ₄	D ₃	D ₂	D ₁	
CLR 清零	0	0	0	0	0
CLK	0	0	0	1	0
CLK	0	0	1	0	0
CLK	0	0	1	1	0
CLK	0	1	0	0	0
CLK	0	1	0	1	0
CLK	0	1	1	0	0
CLK	0	1	1	1	0
CLK	1	0	0	0	0
CLK	1	0	0	1	0
CLK	1	0	1	0	0
CLK	1	0	1	1	0
CLK	1	1	0	0	0
CLK	1	1	0	1	0
CLK	1	1	1	0	0
CLK	1	1	1	1	1

②1 位十进制加法器:

我们用二进制加法器对两个数相加，并看其和是否大于 10。若和大于 10，则必须在结果处加 6（0110）。十进制加法器共使用了两个二进制加法器。进位检测电路检测的是第一个加法器（包括进位）的输出。

列出进位检测电路的真值表如下：

表 1 进位检测电路真值表

CN + 4	修正前的输出				C
	F ₃	F ₂	F ₁	F ₀	
0	0	×	×	×	0
0	1	0	0	×	0
0	1	0	1	×	1
0	1	1	×	×	1
1	×	×	×	×	1

画出卡诺图并化简上述真值表得到如下表达式：

$$C = CN + 4 + F_1F_3 + F_2F_3$$

因此画出电路图如下：

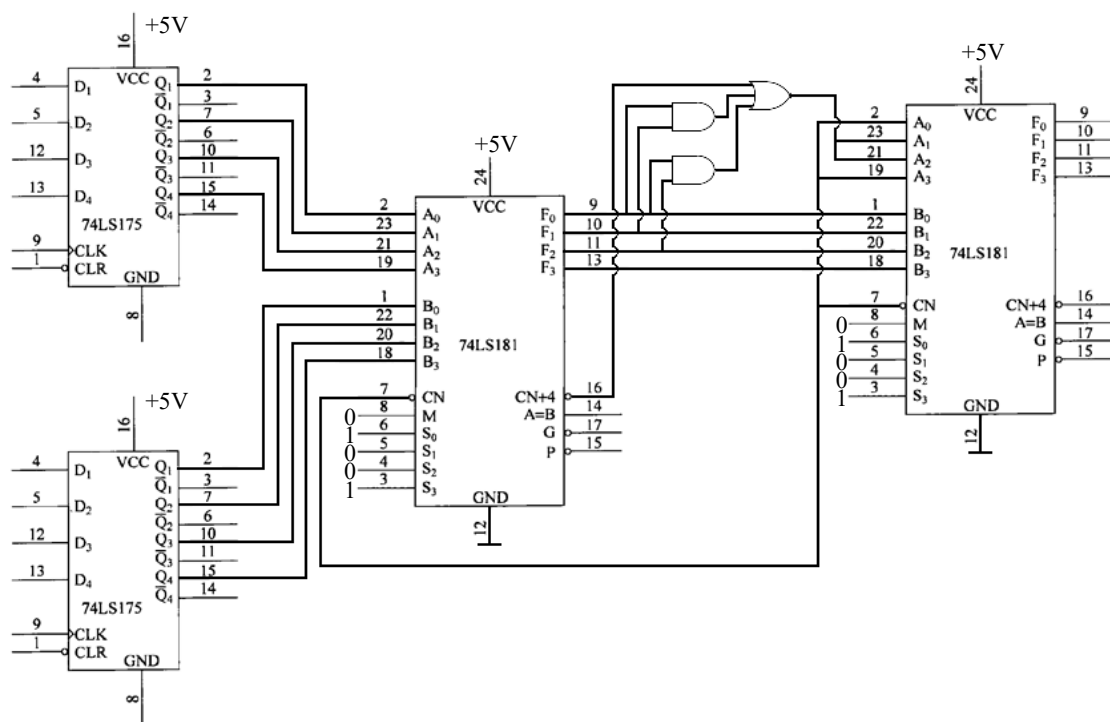
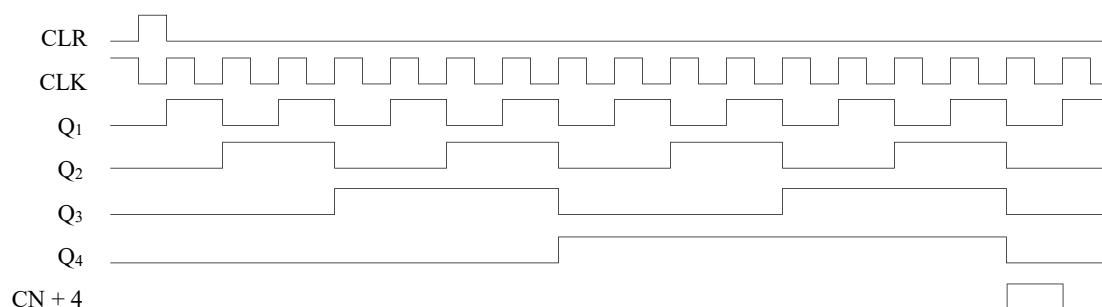


图 5 1 位十进制加法器电路图

若加法器的输出大于 9，则检测电路输出 1。这就是十进制加法器的进位输出，同时也是校正指示位。当进位输出为 1 时，第一个加法器得到的结果加 6；当进位输出为 0 时，第一个加法器得到的结果不变（加 0）。经过测试，在两数之和大于 9 的情况下，进位被置为 1，满足要求。

(2) 画出输入数据，各控制信号的时序图。

4 位加法器的各控制信号的时序图如下：



(3) 思考题：锁存器和寄存器有何不同？在实验中，如果把寄存器 B 换成锁存器行不行？把累加寄存器 AC 用锁存器代替行吗？为什么？

锁存器：

电平有效时，输出随输入的变化而变化。时钟有效先于数据有效。由若干个钟控 D 触发器构成的一次能存储多位二进制代码的时序逻辑电路，当电平有效时相当于组合逻辑。

缺点：容易产生毛刺，电平有效时可能会发生空翻，容易引起时序上的混乱。

寄存器：

边沿触发的存储单元，只有在边沿数据才发生变化，一个周期里只能变化一次。时钟有效后于数据有效。由若干个正沿 D 触发器构成的一次能存储多为二进制代码的时序逻辑电路。

在理想情况下，寄存器可以用锁存器代替，但锁存器的时钟信号中可能存在毛刺，从而导致空翻影响电路的稳定性。

六、实验收获体会和改进建议

通过本次实验，我了解了 ALU 和寄存器的工作原理，学会了设计十进制加法器的方法，复习了时序图的绘制方法，了解了锁存器与寄存器的区别。