**兰州大学2017～2018学年第 2 学期**

**期末考试试卷（A卷）**

**课程名称： 计算机组成原理 任课教师：**

**学院： 信息学院 专业： 年级：**

**姓名： 校园卡号：**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **题 号** | **一** | **二** | **三** | **四** | **五** | **总分** |
| **分 数** |  |  |  |  |  |  |
| **阅卷教师** |  |  |  |  |  |  |

**一、选择题（每题1分，共15分)**

1. 用于科学计算的计算机中，标志系统性能的主要参数是 。

A、主时钟频率 B、主存容量

C、MFLOPS D、MIPS

1. 在规格化浮点数表示中，保持其他方面不变，将阶码部分的移码表示改为补码表示，将会使数的表示范围 。

A、增大 B、减小

C、不变 D、以上都不对

1. 某机器字长是32位，存储容量是4MB，若按字编址则寻址范围是 。

A、0～1MW-1 B、0～1MB-1

C、0～4MW-1 D、0～4MB-1

1. 动态半导体存储器DRAM的刷新方式不包含以下哪种方式 。

A、集中式刷新 B、分散式刷新

C、同步式刷新 D、异步式刷新

1. 主存储器的速度表示中，Ta（存取时间）与Tc（存储周期）的关系是 。

A、Ta≥Tc B、Ta<Tc

C、Ta=Tc D、Ta>Tc

1. 以下四种类型机器指令中，执行时间最长的是 。

A、RR（寄存器—寄存器）型  B、RS（寄存器—存储器）型

C、SS（存储器—存储器）型 D、程序控制指令

1. 在寄存器间接寻址方式中，操作数存放在  。

A、寄存器 B、堆栈栈顶

C、累加器 D、主存单元

1. 机器指令从主存中读出时，该机器指令地址 。

A．总是根据程序计数器（PC）

B．有时根据PC，有时根据转移指令

C．根据地址寄存器

D．有时根据PC, 有时根据地址寄存器

1. 设机器指令由取指令、译码、执行三个子部件完成，且每个子部件的时间均为△t，若采用常规标量单流水线处理机，连续执行12条指令，共需要时间 。

A．12△t B．14△t

C．16△t D．18△t

1. 微程序控制器中，控制部件向执行部件发出的某个控制信号称为 。

A．微程序 B．微指令

C．微操作 D．微命令

1. 在集中式总线控制中，响应时间最快的是 。

A、（菊花）链式  B、计数器（定时）式

C、独立请求式 D、分组链式

1. 总线的异步通信方式是 。

A、既不采用时钟信号，也不采用握手信号

B、只采用时钟信号，不采用握手信号

C、不采用时钟信号，只采用握手信号

D、既采用时钟值号，也采用握手信号

1. CD-ROM的光道是 。

A、位记录密度不同的同心圆

B、位记录密度相同的同心圆

C、位记录密度不同的螺旋线

D、位记录密度相同的螺旋线

1. 主机、外设不能并行工作的方式是 。

A、程序查询方式 B、中断方式

C、DMA方式 D、通道方式

1. 下列说法正确的是 。

A、程序中断过程是由硬件和中断服务程序共同完成的

B、每条指令的执行过程中，每个总线周期要检查一次有无中断请求

C、检测有无DMA请求，一般安排在一条指令执行过程的末尾

D、中断服务程序的最后指令是无条件转移指令

**二、判断题（每题2分，共20分）**

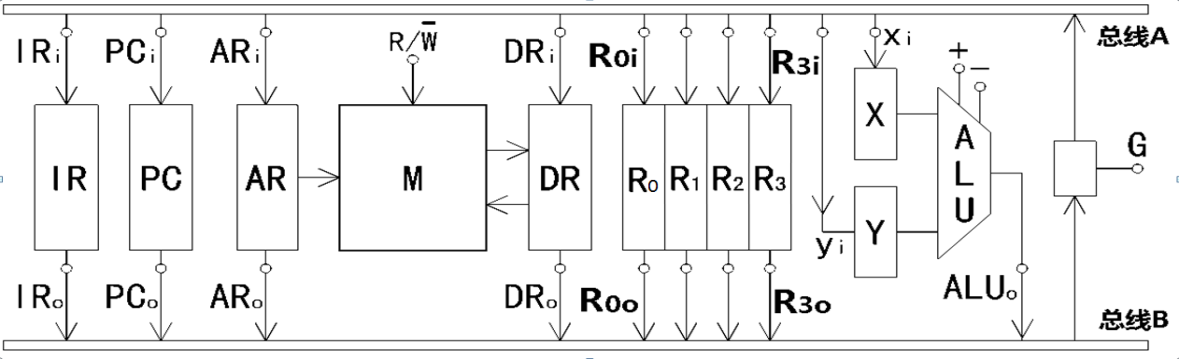
1. 用变形补码判断溢出的法则同样适用于原码运算 （ ）
2. 采用RISC技术后，计算机体系结构又恢复到早期比较简单的情况 （ ）
3. 控制存储器是用来存放微程序的存储器，它应该比主存储器速度快 （ ）
4. CPU只有在执行PUSH和POP指令后，SP的值才能递增或递减 （ ）
5. 三态缓冲门可组成运算器的数据总线，它的输出电平有逻辑“1”、逻辑“0”、空（高阻态）三种状态 （ ）
6. 大多数微型机的总线由地址总线、数据总线和控制总线组成，因此，它们是三总线结构的 （ ）
7. I/O接口的编址方式分为单独编址和存储器映射两种方式 （ ）
8. 使用DMA方式进行信息I/O的全过程中也要用到中断系统的功能 （ ）
9. 多指令流单数据流结构是目前主流井行处理机的体系结构 （ ）
10. 多处理机SMP是指由两个或两个以上功能相似的处理机所构成的计算机系统 （ ）

**三、综合题（每题8分，共40分）**

1. 冯·诺依曼计算机体系结构的基本思想是什么？其硬件系统应由哪些部件组成，它们各起什么作用？
2. 设计算机的存储器为64KB，按字节编址，采用直接地址映射方式的Cache容量为1KB，每块4字节，请计算主存地址的标志字段（s-r） 、块号（r）和块内地址（w）分别有多少位，并画出地址格式。
3. 某指令格式如图所示，其中OP为操作码，试分析指令格式的特点。(机器字长为2字节)

15 9 7 4 3 0

|  |  |  |  |
| --- | --- | --- | --- |
| OP | — | 源寄存器 | 目标寄存器 |

1. 如图所示为双总线结构机器的数据通路，IR为指令寄存器，PC为程序计数器（具有自增功能），M为主存（受R/W信号控制），它既存放指令又存放数据，AR为地址寄存器，DR为数据缓冲寄存器，ALU由加、减控制信号决定完成何种操作，控制信号G控制的是一个门电路，它相当于两条总线之间的桥。线上标注有小圈表示有控制信号，如Yi表示Y寄存器的输入控制信号，未标字符的线为直通线，不受控制。指令MOV（R1），R0完成R1间接寻址后将数据传送到R0的功能，请画出其指令周期流程图，并列出相应的微操作控制信号序列。  
   
2. 设某计算机有5级中断: I0, I1, I2, 13, I4, 其中断响应优先次序为I0最高，I1次之，I4最低，现在要求将中断处理次序改I1→I2→I0→I4→I3，请写出各级中断处理程序的屏蔽字（要求屏蔽本级，“0”表示允许，“1”表示屏蔽）。

**四、设计分析题(第1小题10分，第2小题8分，第3小题7分，共25分)**

1. 设CPU共有16根地址线（A0为低位），16根数据线（D0为低位），并用作访存控制信号（低电平有效），用R/作读写控制信号（高电平为读，低电平为写）。主存地址空间分配为：0~8K-1为系统程序区，由只读存储器芯片组成：8K~32K-1为用户程序区；32K~62K-1为空（未使用）；62K~64K-1为系统工作区。现有芯片ROM：8K×16位，RAM：8K×16位、2K×16位，请画出CPU与主存储器的连接逻辑图（可选用门电路及3-8译码器）。
2. 某机器采用微程序控制方式，微指令字长24位，采用水平型编码控制的微指令格式。共有微指令30个，构成4个互斥类，各类分别包含5个、9个、13个和3个微指令，外部测试判断条件共3个。（1）控制存储器的容量（由直接地址位数决定）应为多少？（2）设计出微指令字的具体格式（标示出指令字各部分所占位数）。
3. 已知x=0.1001，y=0.1011，利用不恢复余数算法计算x÷y。（要求计算结果商整数部分为0，小数部分4位）