兰州大学信息科学与工程学院实验报告

实验成绩：

学生姓名：               杨添宝

学　　号：320170941671,6组17号

年级专业：  2017级计算机基地班

指导老师：               饶增仁

实验课程：               数字逻辑实验

实验题目：             编码器和译码器

一、实验目的

（1）熟悉编码器和译码器的功能与基本应用。

（2）了解OC（集电极开路）门的“线与”功能。

二、实验原理

1．编码

编码是把一组有特定含义（事件）的输入信号按一定的规律编程不同二进制代码输出的过程。事件和所编的代码是一一对应的。编码器是实现编码的组合电路，表1是8-3优先编码器74LS148的功能表。

表1 74LS148功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 级　联　入 |  | 输　　入 | | | | | | | | 输　　出 | | | | | 级　联　出 | |
| ***EI*** |  | ***I*7** | ***I*6** | ***I*5** | ***I*4** | ***I*3** | ***I*2** | ***I*1** | ***I*0** |  | ***C*** | ***B*** | ***A*** |  | ***EO*** | ***GS*** |
| 1 |  | × | × | × | × | × | × | × | × |  | 1 | 1 | 1 |  | 1 | 1 |
| 0 |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |  | 1 | 1 | 1 |  | 1 | 0 |
| 0 |  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | × |  | 1 | 1 | 0 |  | 1 | 0 |
| 0 |  | 1 | 1 | 1 | 1 | 1 | 0 | × | × |  | 1 | 0 | 1 |  | 1 | 0 |
| 0 |  | 1 | 1 | 1 | 1 | 0 | × | × | × |  | 1 | 0 | 0 |  | 1 | 0 |
| 0 |  | 1 | 1 | 1 | 0 | × | × | × | × |  | 0 | 1 | 1 |  | 1 | 0 |
| 0 |  | 1 | 1 | 0 | × | × | × | × | × |  | 0 | 1 | 0 |  | 1 | 0 |
| 0 |  | 1 | 0 | × | × | × | × | × | × |  | 0 | 0 | 1 |  | 1 | 0 |
| 0 |  | 0 | × | × | × | × | × | × | × |  | 0 | 0 | 0 |  | 1 | 0 |
| 0 |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  | 1 | 1 | 1 |  | 0 | 1 |

从功能表得出：

输入低电平有效，优先级的次序由7到0依次降低，输出编码是输入有效号的各位取反码。*EI*是使能端，低电平有效。*EO*和*GS*是为了扩展用的。

2．译码

译码是编码的反过程，就是把二进制数码按它的原意翻译成相应的输出信号。实现译码功能的电路称为译码器。译码器的种类很多，本实验只涉及变量译码器。变量译码器就是其输出表示输入变量的状态的译码器。注意，这种译码器，任何时候，译码器的输出只能是一端有效，即不可能同时译出两个以上的码来。表2是3-8译码器74LS138的功能表。从表中可看出，它还具有数据分配器的功能（当时，把分配给；或当时，把分配给）。

表2 74LS138功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 门　　控 | | 输　　入 | | | | | 输　　出 | | | | | | | | | |
|  |  |  | ***C*** | ***B*** | ***A*** |  |  | ***Y*7** | ***Y*6** | ***Y*5** | ***Y*4** | ***Y*3** | ***Y*2** | ***Y*1** | ***Y*0** |  |
| × | 1 |  | × | × | × |  |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| 0 | × |  | × | × | × |  |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| 1 | 0 |  | 0 | 0 | 0 |  |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |  |
| 1 | 0 |  | 0 | 0 | 1 |  |  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |  |
| 1 | 0 |  | 0 | 1 | 0 |  |  | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |  |
| 1 | 0 |  | 0 | 1 | 1 |  |  | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |  |
| 1 | 0 |  | 1 | 0 | 0 |  |  | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |  |
| 1 | 0 |  | 1 | 0 | 1 |  |  | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |  |
| 1 | 0 |  | 1 | 1 | 0 |  |  | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| 1 | 0 |  | 1 | 1 | 1 |  |  | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |

74LS148、74LS139的引脚图如图1所示。

|  |  |  |
| --- | --- | --- |
| 1. 74LS148 | 1. 74LS138 | 1. 74LS158 |

图1 74LS138、74LS148和74LS158逻辑引脚图

3．排队电路

这里介绍一种并行优先排队电路。计算机中各CPU、各外设都可以访问存储器。但它们的优先级不同，这应该事先规定好。我们把各CPU、各外设一律称作设备，假定设备1的优先级最高，依次是设备2、设备3、……所谓“访问”，就是设备和存储器交换（读或写）数据的过程。该过程是这样进行的：某设备要访问存储器，首先发出请求占用总线信号（例如使其请求RS触发器置0或置1)，若没有比它级别更优先的设备也在请求的话，它的请求便得以响应。这时它发出的地址码就能送到地址总线上，存储器由总线上的地址码，确定要访问的单元（存放数据的地方），其中的数据就通过数据总线和该设备进行交换。现在我们只讨论从设备发出请求信号到把地址码送到地址总线这一段的工作原理。

为了和芯片的功能配合，假定设备要占用总线的请求为0，不请求是1；把各设备的请求信号加到优先编码器的输入端，进行优先编码，它输出的每一个有效码，既对应着一个一个的设备，又表示现在在申请占用总线的设备中，它的优先级最高（注意，一定要留一个无效码，表示没有任何设备申请）。然后，通过译码，让其输出打开一组传输门。所对应的设备通过该组门，把地址码送往地址总线（见图2）。

这组门是受控传输门，用三态门最简单。也可以用OC门组成的“线与”电路。因为三态门在以后的实验中要遇到，所以，在本实验中采用OC门。图3是OC门的线与电路，输出。注意，在电路中，这两个门各属于不同的设备，不可能同时被打开，只可能同时被截止（输出高电平)。*R*选得太大，会影响开关速度；太小，或不能保证逻辑低电平，或把芯片烧坏。

|  |  |
| --- | --- |
| 图2 多外设共享总线原理框图 | 图3 OC门线与功能示意图 |

三、实验器材

8-3线优先编码器74LS148，3-8线译码器/分配器74LS138，四或非门74LS02，OC六反相器74LS05（或74LS06），四2选1数据选择器74LS158等。

|  |  |
| --- | --- |
| 图4 2输入四或非门74LS02 | 图5 OC六反相器74LS05、74LS06 |

四、实验内容

（1）测试编码器74LS148和译码器74LS138的功能，输出用实验台上的LED二极管指示。

（2）按图2设计、安装、调试一个优先排队占用总线的电路，受控传输门用或非门及OC非门。因为正逻辑或非门就是负逻辑与非门，所以这里采用2输入四或非门74LS02和OC六反相器74LS05。设备只取两个，每个设备所传送的地址码为2位（bit），用置数开关设定。注意，总线上出现11，则是无效码，即没有设备申请。总线请求信号用置数开关模拟。总线上的数据用实验台上的LED指示。

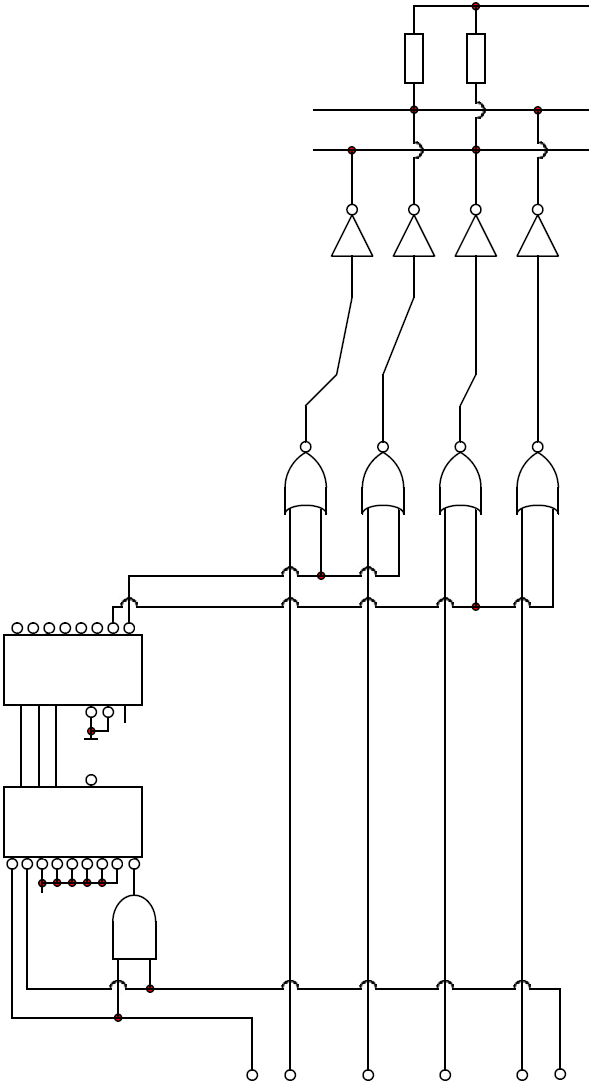
五、实验报告和思考题

（1）写出设计的主要考虑，画出实验电路图，说明测试方法，列出测试结果，并作必要讨论。

经测试，所用的优先编码器74LS148和译码器74LS138分别符合表1和表2所示的真值表，功能正常。

按照图2的原理框图进行设计，选用74LS148优先编码器和74LS138译码器，安装、调试一个优先级排队占用总线的电路，传输门用或非门和集电极开路非门。设备只取两个Dev0和Dev1，每个设备所传送的地址码为2位（bit），用置数开关设定，其中11代表无效码。电路图如下图所示：

5



74LS138

74LS148

VCC

D1

D0

BUS总线

74LS06

74LS02

K1

K2

K3

K4

Dev0

Dev1

R1

R0

4.7kΩ

5.1kΩ

控制线路

“0”/“1”

“0”/“1”

“线与”

“OC”

*Y*0

*Y*1

*Y*2

*Y*3

*Y*4

*Y*5

*Y*6

*Y*7

*A*

*B*

*C*

*E*1

*E*2

*E*3

*A*

*B*

*C*

*EO*

0

1

2

3

4

6

5

7

*E*I

图6 实验电路图

经测试，可得如下表所示的关系：

表3 输出与输入的关系

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输　　入 | | | | | | 输　　出 | |
| **R0** | **R1** | **K1** | **K2** | **K3** | **K4** | **D0** | **D1** |
| 0 | 1 | *a*1 | *a*2 | *b*1 | *b*2 | *a*1 | *a*2 |
| × | 0 | *a*1 | *a*2 | *b*1 | *b*2 | *b*1 | *b*2 |
| 1 | 1 | *a*1 | *a*2 | *b*1 | *b*2 | *a*1 | *a*2 |

从表中可以看出：当R0=0且R1=1时，Dev0的2位地址码传送到总线上；当R1=1时，不论R0取何值，由于优先编码器的作用，均为Dev1的2位地址码传送到总线上。而当R0=R1=1时，此时表示没有设备申请，Dev0的2位地址码11也会传送到总线上。

（2）在什么条件下，编码器、译码器必须留一个无效码？什么时候不留？

当编码器和译码器在正常工作的状态下，可能存在输入信号全部无效的情况时，必须要留一个无效码来表示没有有效的输入信号。反之，当编码器和译码器在正常工作的状态下，总有至少一个输入端存在有效信号，这时可以不留无效码。

（3）向总线传送数据的可控传输门用OC门的“线与”方式和用三态门有何不同？后者其输出是否也要留一个无效码？

OC门按图3所示方式连接，公共输出端和电源VCC之间应接负载电阻R，通过F输出总线信号，而三态门输出端同一时刻只能有一个门工作，其它门输出必须处于高阻状态，当三态门输出端处于高阻状态时，对整个电路系统如同没把它们接入一样。利用三态门的性质可以实现不同设备与总线间的连接控制，这在计算机系统中尤为重要。对于图6所示电路，有2个设备共用一条总线（BUS），为了使电路在使用三态门时能正常工作，必须使所有三态门在任何时刻只有一个门处于工作状态，而其余门都处于高阻状态。也就是说，对各个三态门采用分时控制的方法，使各三态门的控制端轮流为1，而且任何时刻仅有一个控制端为1，其他所有设备的控制信号为0，就能把各个门的输出信号轮流送到总线上而互不干扰。三态门本身就存在一个使能端，当设备都不请求时，三态门的使能端都为高电平，这时三态门呈现高阻态，相当于断路，没有相应的输出信号，因此后者不需要无效码。

六、实验收获体会和改进建议

通过本次实验，我对于总线结构的了解更加清楚，熟悉了OC门的连接方法以及它与三态门的区别，弥补了学习过程中认识的不足。同时，实验中在74LS148优先编码器和74LS138译码器的输入输出过程中遇到一些障碍，在解决的过程中，让我对原码输入/输出、反码输入/输出有更透彻的理解。后续的实验改进中希望能够将电路扩展到更多设备同时工作，并尝试使用三态门连接电路。