兰州大学信息科学与工程学院实验报告

实验成绩：

学生姓名：               杨添宝

学　　号：320170941671,6组17号

年级专业：  2017级计算机基地班

指导老师：               饶增仁

实验课程：               数字逻辑实验

实验题目：                     触发器

一、实验目的

（1）掌握集成触发器的使用和逻辑功能的测试方法。

（2）掌握用集成触发器设计同步时序电路及其测试方法。

二、实验原理

1．基本RS触发器

由两个与非门交叉耦合而成的基本RS触发器是各种触发器的最基本组成部分，其电路如图1所示。它能够存储1位二进制信息，但存在的约束条件。

|  |
| --- |
| 图1 RS触发器 |

基本RS触发器的用途很广，就是用来保存二进制信息，而且时间可以任意长。

RS触发器（也叫RS锁存器，或闩锁器）的典型应用是，当某操作在启动（例如，计算机中启动某定时器计数）时，给置位端加一个负向脉冲使其状态为1；而当该操作结束时，则给复位端加一负向脉冲（例如，计算机中定时器计数完毕，就给复位端反馈一个负向脉冲），使其复位到0。

作为一个例子，在实验中经常用基本RS触发器作无抖动开关。例如，在图3-9所示的电路中，通常希望在开关*S*闭合时，*A*点电压的变化是从+5V到0V跳变，但是由于机械开关的接触抖动，往往在几十毫秒内电压会出现多次抖动，相当于连续出现了几个脉冲信号。显然，用这样的开关产生的信号直接作为电路的驱动信号，可能导致电流产生错误动作，这在有些情况下是绝对不允许的。为了消除开关的接触抖动，可在机械开关与被驱动电路间接入一个基本RS触发器（见图2右）。使开关每扳动一次，或点输出信号仅发生一次变化。通常把存在抖动的开关称为数据（或置数）开关，把这种带RS触发器的无抖动开关称为逻辑开关。该防抖开关在实验台上已设有。

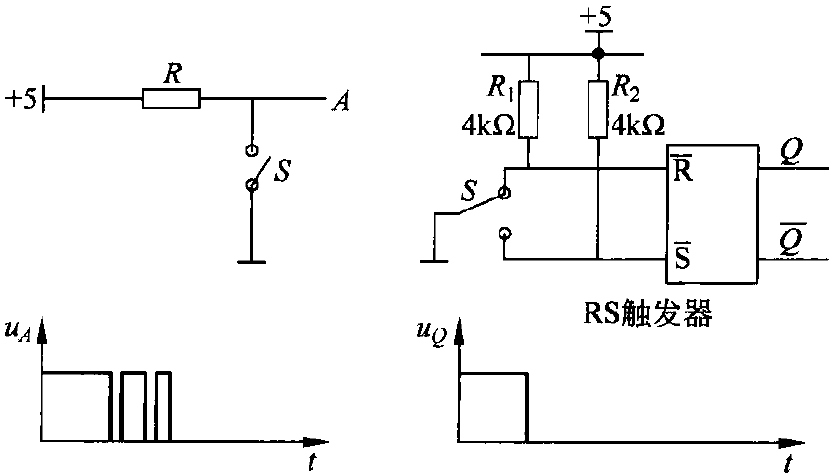


图2 机械开关与RS触发器用于逻辑开关原理图

2．边沿JK触发器

图3中给出了边沿型JK触发器74LS109，它是用上升沿触发的。图中CD和SD分别为直接复位和直接置位，低电平有效。其真值表如表1所示。由于这种触发器是利用信号传递延时的差异来进行工作的，因此要求时钟脉冲的边沿较陡，从而其工作频率可以比其它型的高。常用这种触发器构成缓冲寄存器、移位寄存器和计数器等。

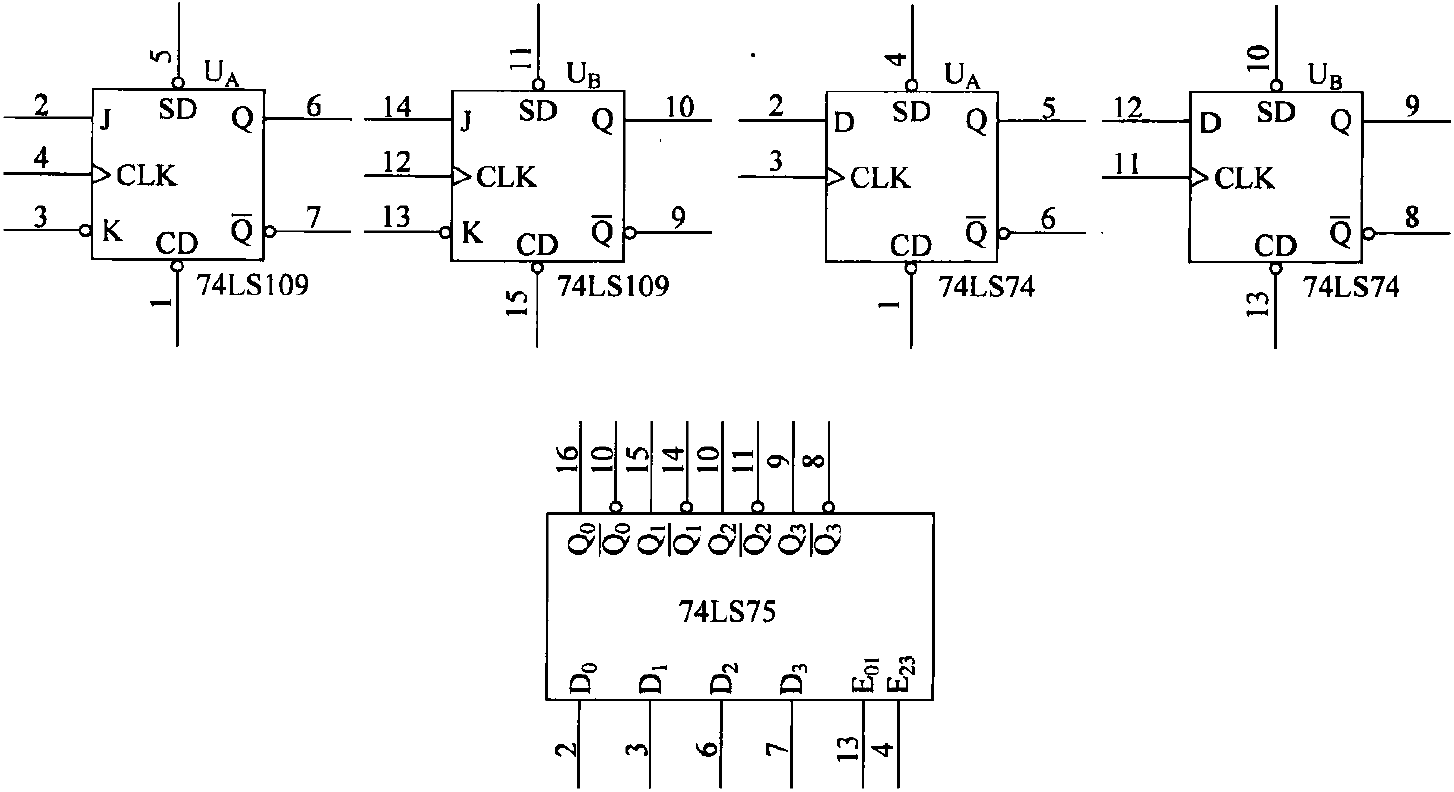


图3 74LS109、74LS74与74LS75逻辑引脚图

表1 JK触发器真值表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ***J*** |  | ***Q*n+1** | ***J*** |  | ***Q*n+1** |
| 0 | 1 | *Q*n | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |  |

3．维持阻塞型D触发器

在图3中有D触发器74LS74的逻辑图，它是维持阻塞型的触发器。CD和SD分别为直接复位和直接置位，低电平有效；在时钟脉冲CLK的上升沿发生翻转，触发器的状态取决于时钟作用的有效期（即时钟脉冲上升沿期间）中D的状态。这种D触发器常用于组成各种类型的计数器、数据寄存器等。

4．同步型（电平触发）D触发器

同步型（电平触发）D触发器也叫D锁存器，例如74LS75就是4D锁存器，其引脚图如图3所示，时钟输入为高电平有效。这种锁存器是用来保存数据信息的。它的特点是在时钟有效期中输出Q和输入D相同，称它为“直通”，该特性就能产生所谓“空翻”现象。

对时钟型（包括电平触发型的，边沿型的，维持阻塞型的和主从型的）触发器，输入信号和时钟信号在时间上的正确搭配非常重要。不管是在设计时还是在实验时，对这一点都要有足够的重视。

5．时序电路的设计与测试

同步时序电路的特点是，电路中时间的划分是以时钟脉冲为依据的。其设计的主要步骤是：根据设计要求写出动作说明，列出状态转换图或状态转换表，然后进行状态化简和状态分配，再根据所选触发器确定其驱动方程，最后画出电路图。当然，在设计中有时考虑自启动也是必不可少的。

在进行设计时，不要拘泥于以上程式，应该融会贯通，灵活掌握。

对于所设计的逻辑电路图，必须进行实验检测，只有实际电路符合设计要求时，才能证明设计是正确的。

时序电路的功能测试分静态和动态两种方法。静态测试就是直流稳态测试，就是测试电路的状态转换真值表。测试时，时钟脉冲由逻辑开关提供，电路输出用发光二极管指示。动态测试是指，在时钟输入端输入矩形波或方波信号，用二踪示波器观察电路各级的工作波形，它不仅可以看到电路的稳态情况，而且还可以观察到电路的过渡态（或叫瞬态）。在每次观察时，示波器的同步信号或触发信号应选用合适的信号从内触发通道输入，并记录电路的工作波形。记录波形时注意标出坐标刻度。

三、实验设备与器件

（1）二踪脉冲示波器一台，实验台一台。

（2）JK触发器74LS109两块，双D触发器74LS74一块，4D锁存器74LS75一块，其他门电路，电阻，电容等。

|  |  |
| --- | --- |
| 1. 双D触发器74LS74 | 1. 双JK触发器74LS109 |

图4 74LS74和74LS109逻辑引脚图

四、实验内容

（1）JK触发器74LS109的功能测试。

①分别改变CD和SD，观察和记录的状态。

表2 *Q*与的状态随CD和SD变化关系

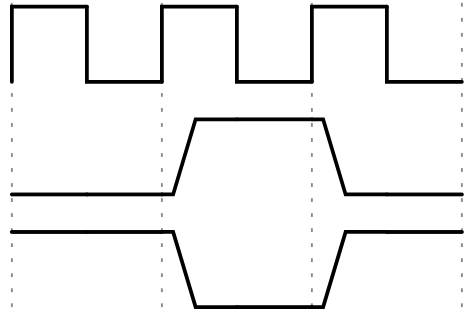
|  |  |  |  |
| --- | --- | --- | --- |
| ***CD*** | ***SD*** |  |  |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 不变 | 不变 |

②按表3的要求，测试并记录触发器的逻辑功能，在表中，CP的0→1和1→0分别表示一个时钟正脉冲的上升边沿和下降边沿，应由逻辑开关供给。

表3 74LS109功能测试表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***J*** |  | ***CP*** | ***Q*n+1** | |
| ***Q*n = 0** | ***Q*n+1 = 1** |
| 0 | 0 | 0→1 | 0 | 0 |
| 1→0 | 0 | 1 |
| 0 | 1 | 0→1 | 0 | 1 |
| 1→0 | 0 | 1 |
| 1 | 0 | 0→1 | 1 | 0 |
| 1→0 | 0 | 1 |
| 1 | 1 | 0→1 | 1 | 1 |
| 1→0 | 0 | 1 |

③使触发器处于计数状态（*J* = 1，），*CP*端输入*f* = 10kHz的方波信号，记录*CP、*和的工作波形。



*CP*

图5 CP、与的工作波形

④使用JK触发器设计一个五进制的同步减法计数器。写出设计过程，画出逻辑图；观察并记录时钟脉冲和各级触发器输出的工作波形。

五进制的同步减法计数器中包含五个状态：0、1、2、3、4，需要3个JK触发器才能实现，五个状态分别编码为000、001、010、011、100。

列出状态转换表如下：

表4 五进制同步减法计数器状态转换表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  | ***Y*** |
| 1 | 0 | 0 |  | 0 | 1 | 1 |  | 0 |
| 0 | 1 | 1 |  | 0 | 1 | 0 |  | 0 |
| 0 | 1 | 0 |  | 0 | 0 | 1 |  | 0 |
| 0 | 0 | 1 |  | 0 | 0 | 0 |  | 0 |
| 0 | 0 | 0 |  | 1 | 0 | 0 |  | 1 |

因此根据状态转换表可以写出：

而JK触发器的状态方程为：

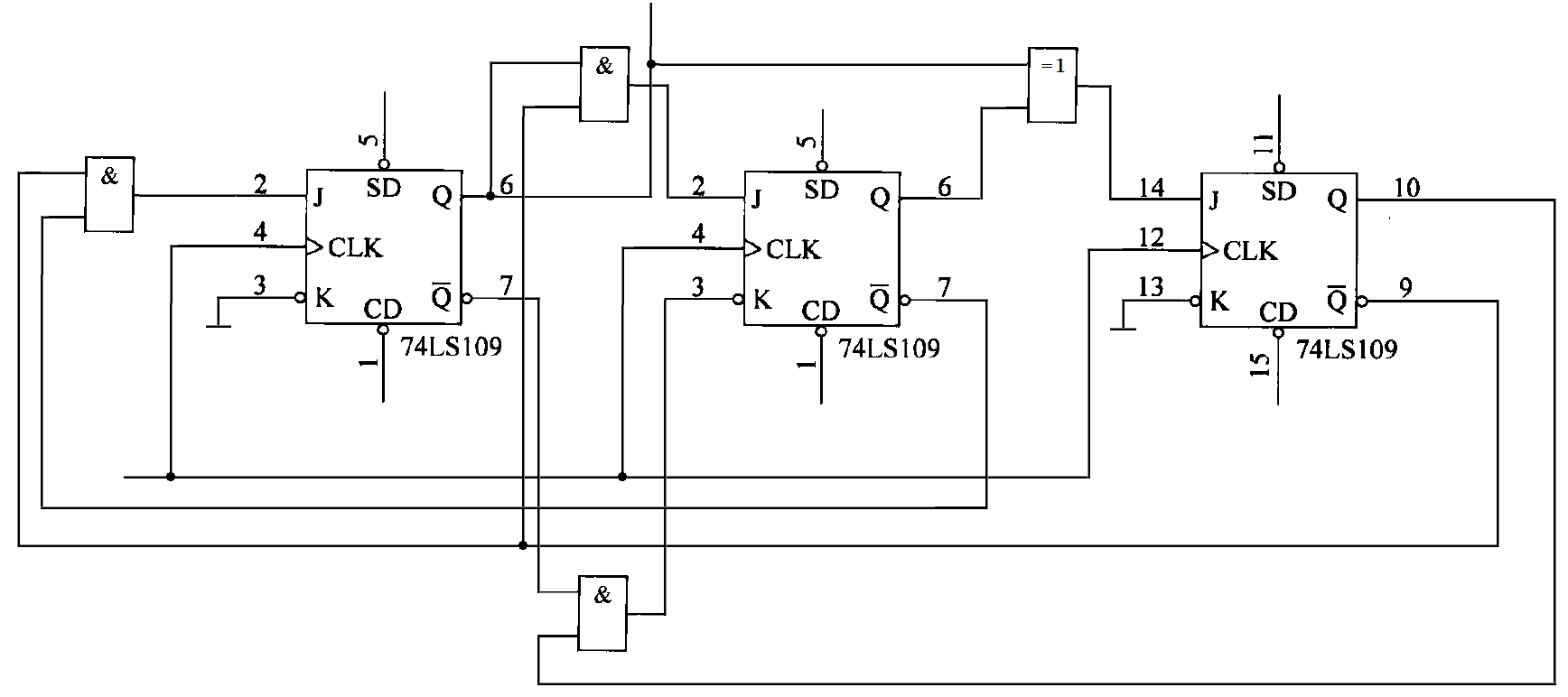
因此，可以得到如下驱动方程：

，

，

，

根据驱动方程画出电路图如下：



CP

Y

“1”

“1”

“1”

“1”

“1”

“1”

图6 五进制同步减法计数器电路图

经检验，该电路的三个无效状态111、110、101在经过一个时钟脉冲后都会变为有效状态000，因此该电路具有自启动能力。

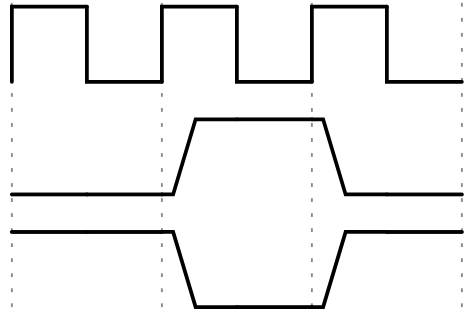
（2）D触发器74LS74的测试。

①按表5要求测试并记录触发器的逻辑功能。

表5 74LS74功能测试表

|  |  |  |  |
| --- | --- | --- | --- |
|  | ***CP*** | ***Q*n+1** | |
| ***Q*n = 0** | ***Q*n+1 = 1** |
| 0 | 0→1 | 0 | 0 |
| 1→0 | 0 | 1 |
| 1 | 0→1 | 1 | 1 |
| 1→0 | 0 | 1 |

②使触发器处于计数状态（与*D*相连接），*CP*端输入*f* = 10kHz的方波信号，记录*CP、*和的工作波形。



*CP*

五、实验报告要求与思考题

（1）列表整理各实验结果并讨论。

（2）画出观察到的波形，说明触发方式。

（3）“对时钟型（包括电平触发型的、边沿型的、维持阻塞型的和主从型的）触发器，输入信号和时钟信号在时间上的正确搭配非常重要”你是怎么理解的？试用JK触发器的特性方程加以说明（注意该方程成立的条件、各变量有效的时间段落）。

JK触发器的特性方程为，该触发器无一次变化现象，输入信号可在CP 触发沿由1变0时刻前加入。该电路要求*J*、*K*信号先于CP 信号触发沿传输到输出端，为此它们的加入时间至少应比CP 的触发沿提前一级与非门的延迟时间。这段时间称为建立时间。

输入信号在负跳变触发沿来到后就不必保持，原因在于即使原来的*J*、*K*信号变化，还要经一级与非门的延迟才能传输到输出端，在此之前，触发器已由输出状态和触发器原先的状态决定翻转。

六、实验收获体会和改进建议

通过本次实验，我更好的提高了自己的手动操作能力。对触发器的原理和存储过程有了更深一层次的理解，更深入地领悟了触发器的用法，还复习了示波器的用法，还学会了如何保存示波器波形。