兰州大学信息科学与工程学院实验报告

实验成绩：

学生姓名：               杨添宝

学　　号：         320170941671

年级专业：  2017级计算机基地班

指导老师：               赵继平

实验课程：         计算机组成原理实验

实验题目：           综合实验的调试 2

一、实验目的

（1）通过使用软件LCACPT，了解程序编译、加载的过程。

（2）通过微单步、单拍调试，理解模型机中的数据流向。

二、实验连线

各模块控制信号连接表：（或者使用提供的连接板）

（1）总线和内存单元：

|  |  |
| --- | --- |
| BUS | M21 |
| RM | M21 |
| WM | M22 |
| EMCK | PLS4 |
| DJ1 | ALU-IN |
| DJ2 | ALU-OUT |
| DJ3 | R-IN |
| DJ4 | R-OUT |
| DJ5 | RA-IN |
| DJ6 | RA-OUT |
| DJ7 | PC-IN |
| AJ1 | PC-OUT |

（2）微程序控制单元：

|  |  |
| --- | --- |
| MLD | M23 |
| MCK | PLS1 |
| MOCK | PLS3 |
| MD0 | VCC |
| MD1 | VCC |
| MD2 | I4 |
| MD3 | I5 |
| MD4 | I6 |
| MD5 | I7 |
| MD6 | GND |
| MD7 | GND |

（3）寄存器组单元：

|  |  |
| --- | --- |
| SA | I0 |
| SB | I1 |
| RR | M15 |
| WR | M14 |
| RCK | PLS4 |
| X0 | M12 |
| X1 | M11 |
| ERA | M10 |
| RA-O | M9 |
| RACK | PLS4 |

（4）算术逻辑单元：

|  |  |
| --- | --- |
| EDR1 | M8 |
| EDR2 | M7 |
| ALU-O | M6 |
| CN | M5 |
| M | M4 |
| S3 | M3 |
| S2 | M2 |
| S1 | M1 |
| S0 | M0 |
| D2CK | PLS4 |
| D1CK | PLS4 |
| CCK | PLS4 |
| ZD | JZ |
| CY | JC |

（5）指令寄存器：

|  |  |
| --- | --- |
| EIR1 | M20 |
| EIR2 | M19 |
| IR1CK | PLS4 |
| IR2CK | PLS4 |
| IR2-O | M18 |
| PC-O | M17 |
| ELP | M16 |
| PCCK | PLS2 |
| JZ | ZD |
| JC | CY |
| JS0 | I2 |
| JS1 | I3 |

（6）启停单元：

|  |  |
| --- | --- |
| HCK | PLS2 |
| HALT | M13 |

三、指令系统

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 指令助记符 | 指令功能 | 指令编码 | 微周期 | 微操作 |
| 取指微指令 |  |  | T0： | PC->地址总线->RAM RAM->数据总线->IR1 |
| ADD A,R0  ADD A,R1  ADD A,R2  ADD A,R3 | (A)+(Ri)->A | 0C  0D  0E  0F | T0：  T1：  T2：  T3： | A->数据总线->DR1  Ri->数据总线->DR2  ALU->数据总线->A、置CY  取指微指令 |
| SUB A,R0  SUB A,R1  SUB A,R2  SUB A,R3 | (A)-(Ri)->A | 1C  1D  1E  1F | T0：  T1：  T2：  T3： | A->数据总线->DR1  Ri->数据总线->DR2  ALU->数据总线->A、置CY  取指微指令 |
| MOV A,@R0  MOV A,@R1  MOV A,@R2  MOV A,@R3 | (Ri)->A | 2C  2D  2E  2F | T0：  T1：  T2： | Ri->数据总线->IR2  IR2->地址总线->RAM->A  取指微指令 |
| MOV A,R0  MOV A,R1  MOV A,R2  MOV A,R3 | (Ri)->A | 3C  3D  3E  3F | T0：  T1： | Ri->数据总线->A  取指微指令 |
| MOV R0,A  MOV R1,A  MOV R2,A  MOV R3,A | (A)->Ri | 4C  4D  4E  4F | T0：  T1： | A->数据总线->Ri  取指微指令 |
| MOV A,#data | Data->A | 5F | T0：  T1： | RAM->数据总线->A  取指微指令 |
| MOV R0,#data  MOV R1,#data  MOV R2,#data  MOV R3,#data | Data->Ri | 6C  6D  6E  6F | T0：  T1： | RAM->数据总线->A  取指微指令 |
| LDA addr | (addr)->A | 7F | T0：  T1：  T2： | RAM->数据总线->IR2  IR2->地址总线，RAM->A  取指微指令 |
| STA addr | (A)->addr | 8F | T0：  T1：  T2： | RAM->数据总线->IR2  IR2->地址总线，A->RAM  取指微指令 |
| RLC A | C、A左移1位 | 9F | T0：  T1： | A<<1、置CY  取指微指令 |
| RRC A | C、A右移1位 | AF | T0：  T1： | A>>1、置CY  取指微指令 |
| JZ addr | A=0 ，Addr->PC | B3 | T0：  T1： | 条件成立：RAM->PC  取指微指令 |
| JC addr | Cy=0，Addr->PC | B7 | T0：  T1： | 条件成立：RAM->PC  取指微指令 |
| JMP addr | Addr->PC | BF | T0：  T1： | RAM->PC  取指微指令 |
| ORL A,#data | (A)或data->A | CF | T0：  T1：  T2：  T3： | A->数据总线->DR1  RAM->数据总线->DR2  ALU->数据总线->A  取指微指令 |
| ANL A,#data | (A) 与data->A | DF | T0：  T1：  T2：  T3： | A->数据总线->DR1  RAM->数据总线->DR2  ALU->数据总线->A  取指微指令 |
| HALT | 停机 | FF | T0： | 停机 |

四、微指令表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 指令助记符 |  | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
|  | 微地址 | MLD | WM | RM | EIR1 | EIR2 | IR2-O | PC-O | ELP | RR | WR | HALT | X0 | X1 | ERA | RA-O | EDR1 | EDR2 | ALU-O | CN | M | S3 | S2 | S1 | S0 | 16进制 |
|  | 有效值 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | \* | \* | 0 | 0 | 0 | 0 | 0 | \* | \* | \* | \* | \* | \* |  |
|  | 00H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
| 取指微指令 | 01H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 02H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ADD A,RI | 03H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | FFFCF9 |
|  | 04H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | FF7F79 |
|  | 05H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | FFFBA9 |
|  | 06H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
| SUB A,RI | 07H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | FFFCD6 |
|  | 08H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | FE7F56 |
|  | 09H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | FFFB86 |
|  | 0AH | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
| MOV A,@RI | 0BH | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | F77FFF |
|  | 0CH | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | DBFBFF |
|  | 0DH | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 0EH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| MOV A,RI | 0FH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | FF7BFF |
|  | 10H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 11H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 12H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| MOV RI,A | 13H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 7FBDFF |
|  | 14H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 15H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 16H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 指令助记符 |  | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
|  | 微地址 | MLD | WM | RM | EIR1 | EIR2 | IR2-O | PC-O | ELP | RR | WR | HALT | X0 | X1 | ERA | RA-O | EDR1 | EDR2 | ALU-O | CN | M | S3 | S2 | S1 | S0 | 16进制 |
|  | 有效值 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | \* | \* | 0 | 0 | 0 | 0 | 0 | \* | \* | \* | \* | \* | \* |  |
| MOV A,#data | 17H | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | DDFBFF |
|  | 18H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 19H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 1AH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| MOV Ri,#data | 1BH | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | DDBFFF |
|  | 1CH | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 1DH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 1EH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| LDA A,addr | 1FH | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | D5FFFF |
|  | 20H | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | DBFBFF |
|  | 21H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 22H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| STA addr | 23H | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | D5FFFF |
|  | 24H | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | BBFDFF |
|  | 25H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 26H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| RRC | 27H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | FFF1EF |
|  | 28H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 29H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 2AH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| RLC | 2BH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | FFE9EF |
|  | 2CH | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | CDFFFF |
|  | 2DH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 2EH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 指令助记符 |  | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |  |
|  | 微地址 | MLD | WM | RM | EIR1 | EIR2 | IR2-O | PC-O | ELP | RR | WR | HALT | X0 | X1 | ERA | RA-O | EDR1 | EDR2 | ALU-O | CN | M | S3 | S2 | S1 | S0 | 16进制 |
|  | 有效值 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | \* | \* | 0 | 0 | 0 | 0 | 0 | \* | \* | \* | \* | \* | \* |  |
| JZ addr | 2FH | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | D4FFFF |
| JC addr | 30H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
| JMP addr | 31H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 32H |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ORL A,#data | 33H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | FFFCFE |
|  | 34H | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | DDFF7E |
|  | 35H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | FFFBBE |
|  | 36H | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
| ANL A,#data | 37H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | FFFCFB |
|  | 38H | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | DDFF7B |
|  | 39H | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | FFFBBB |
|  | 3AH | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 4DFFFF |
|  | 3BH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 3CH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 3DH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 3EH |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| HALT | 3FH | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | FFDFFF |

五、程序调试

实验、带进位运算的模型机

本实验提供了4条带进位的运算指令：RRC（带进位的右移），RLC（带进位的左移），ADD A，Ri（加法指令，可有进位溢出），JC addr (条件跳转)，JMP addr(无条件跳转)。

RRC A 将A寄存器中的内容带进位位一起循环右移。

RLC A 将A寄存器中的内容带进位位一起循环左移

ADD A,Ri 将A寄存器的内容与Ri的内容相加，如果加法溢出将进位到CY。

JC addr 条件跳转指令，如果进位位CY溢出，跳转到addr。

JMP addr 无条件跳转指令，跳转到addr

本实验的指令如下：

MOV A，#81

立即数81H->A

RRC A

(A）>>1

MOV A,#18

(A)->RAM(21H)

MOV R0,#40

立即数->寄存器R0

MOV A,#18

立即数-> A

RLC A

(A)<<1

ADD A，R0

(A)+(R0)->A

JC 10

CY有进位，跳转到10H

JMP 0A

跳转到0AH

STA 20

(A)->RAM

HALT

停机

用软件LCACPT来编辑、编译、加载实验机，或通过键盘（键盘使用方法见第四章）把以下程序以16进制输入程序存储器，在调试时请关注进位位CY、A寄存器中的值。

|  |  |  |  |
| --- | --- | --- | --- |
| 内存地址 | 指令助记符 | 指令码 | 说明 |
| 00H | MOV A,#81 | 5FH | 立即数81H->A |
| 01H |  | 81H |  |
| 02H | RRC A | 9FH | A >>1 |
| 03H | MOV A,#18 | 5FH | 立即数18H-> A |
| 04H |  | 18H |  |
| 05H | RLC A | AFH | A<<1 |
| 06H | MOV R0,#40 | 6CH | 立即数40H->寄存器R0 |
| 07H |  | 40H |  |
| 08H | MOV A,#18 | 5FH | 立即数18H-> A |
| 09H |  | 18H |  |
| 0AH | RLC A | AFH | A<<1 |
| 0BH | ADD A,R0 | 0CH | (A)+(R0)->A |
| 0CH | JC 10 | B7H | CY有进位 跳转到0FH |
| 0DH |  | 10H |  |
| 0EH | JMP 0A | BFH | 跳转到0AH |
| 0FH |  | 0AH |  |
| 10H | STA 20 | 8FH | 将A内容写入RAM地址20H |
| 11H |  | 20H |  |
| 12H | HALT | FFH | 停机 |

运行结果为：RAM 20H单元中的内容为20H

运行程序：

通过软件LCACPT的微单步功能可观察各个变量的变化。

微单步运行过程显示如下：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 微地址 | | 数据流程 | 数据总线 | | | 地址总线 | | 操作寄存器 |
| 00H | | 取指微指令 RAM->BUS->IR1 | 5FH | | | 00H | | IR1=5FH |
| MOV A,#81 | | |  | | |  | |  |
| 17H | | BUS-> A | 81H | | | 01H | | A=81H |
| 18H | | 取指微指令 RAM->BUS->IR1 | 9FH | | | 02H | | IR1=9FH |
| RRC A | | |  | | |  | |  |
| 27H | | A>>1 | 40H | | | 无效 | | A=40，CY溢出 |
| 28H | | 取指微指令 RAM->BUS->IR1 | 5FH | | | 03H | | IR1=0CH |
| MOV A,#18 | | |  | | |  | |  |
| 17H | | BUS-> A | 18H | | | 04H | | A=18H |
| 18H | | 取指微指令 RAM->BUS->IR1 | AFH | | | 05H | | IR1=AFH |
| RLC A | |  |  | | |  | |  |
| 2BH | | A<<1 | 31H | | | 无效 | | A=31H CY无溢出 |
| 2CH | | | 取指微指令 RAM->BUS->IR1 | | | 6CH | | 06H |
| MOV R0,#40 | |  |  | | |  | |  |
| 1BH | | BUS->寄存器R0 | 40H | | | 07H | | R0=40H |
| 1CH | | | 取指微指令 RAM->BUS->IR1 | | | 5FH | | 08H |
| MOV A，#18 | |  |  | | |  | |  |
| 2BH | | BUS-> A | 18H | | | 09H | | A=18H |
| 2CH | | 取指微指令 RAM->BUS->IR1 | AFH | | | 0AH | | IR1=AFH |
| RLC A | |  |  | | |  | |  |
| 2BH | | | (A)<<1 | | | 30H | | 无效 |
| 2CH | | 取指微指令 RAM->BUS->IR1 | 0CH | | | 0BH | | IR1=0CH |
| ADD A,R0 | |  |  | | |  | |  |
| 03H | | A->锁存器DR1 | 30H | | | 无效 | | DR1=30H |
| 04H | | | 寄存器R0->锁存器DR2 | | | 40H | | 无效 |
| 05H | | ALU-> A | 70H | | | 无效 | | ALU=70 CY无溢出 |
| 06H | | 取指微指令 RAM->BUS->IR1 | B7H | | | 0CH | | IR1=B7H |
| JC 0F | | | | | | | | |
| 2FH | RAM->BUS->IR2 | | | 10H | 0DH | | IR2=10H | |
| 30H | 取指微指令 RAM->BUS->IR1 | | | BFH | 0EH | | CY无溢出 | |
| JMP 0A | | | | | | | | |
| 2FH | RAM->BUS->IR2 | | | 0AH | 0FH | | IR2=0AH | |
| 30H | 取指微指令 RAM->BUS->IR1 | | | AFH | 0AH | | 跳转0AH | |
| RLC A | | | | | | | | |
| 2BH | (A)<<1 | | | E0H | 无效 | | A=E0H | |
| 2CH | 取指微指令 RAM->BUS->IR1 | | | 0CH | 0BH | | IR1=0CH | |
| ADD A,R0 | | | | | | | | |
| 03H | A->锁存器DR1 | | | E0H | 无效 | | DR1=E0H | |
| 04H | 寄存器R0->锁存器DR2 | | | 40H | 无效 | | DR2=40H | |
| 05H | ALU-> A | | | 20H | 无效 | | ALU=70 CY有溢出 | |
| 06H | 取指微指令 RAM->BUS->IR1 | | | BFH | 0CH | | IR1=B7H | |
| JC 0F | | | | | | | | |
| 2FH | RAM->BUS->IR2 | | | 10H | 0DH | | IR2=10H | |
| 30H | 取指微指令 RAM->BUS->IR1 | | | 8FH | 10H | | CY有溢出 | |
| STA 20 | | | | | | | | |
| 23H | RAM->BUS->IR2 | | | 20H | 11H | | IR2=20H | |
| 24H | A->RAM(20H) | | | 20H | 20H | | RAM（20）=20 | |
| 25H | 取指微指令 RAM->BUS->IR1 | | | FFH | 12H | | IR1=FFH | |
| HALT | | | | | | | | |
| 3FH | 置模型机为停止状态 | | | 无效 | 无效 | | 置停止状态 | |

如果在运行微单步时，发现有错误或对微单步中的时序过程不清楚，可用时序单元中的按钮来手动给出4个节拍。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 微周期 | 数据流程 | 节拍 | 数据总线 | 地址总线 | 操作寄存器 |
| T0： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址清零  PLS2：置模型机运行  PLS3：取指微指令输出  PLS4：BUS->IR1 | 无效  无效  5FH  5FH | 无效  无效  00H  00H | 微地址：00H  PC=00H  锁存微指令  IR=5FH |
| MOV A,#81 | | | | | |
| T0： | BUS-> A | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS-> A | 5FH  5FH  81H  81H | 00H  00H  01H  01H | 微地址：17H  PC=01H  锁存微指令  A=81H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：取指微指令输出  PLS4：BUS->IR1 | 55H  55H  9FH  9FH | 01H  01H  02H  02H | 微地址：18H  PC=02H  锁存微指令  IR1=9FH |
| RRC A | | | | | |
| T0： | A>>1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->寄存器R0 | 9FH  9FH  无效  无效 | 03H  03H  无效  无效 | 微地址：27H  PC=03H  锁存微指令  A=40H CY=1 |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：取指微指令输出  PLS4：BUS->IR1 | 无效  无效  5FH  5FH | 无效  无效  03H  03H | 微地址：28H  PC=03H  锁存微指令  IR1=5FH |
| MOV A，#18 | | | | | |
| T0： | RAM->BUS->A | PLS1：置微地址  PLS2：PC+1  PLS3：取指微指令输出  PLS4：BUS->锁存器DR1 | 5FH  5FH  18H  18H | 03H  03H  04H  04H | 微地址：17H  PC=04H  锁存微指令  A=18H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->锁存器DR2 | 18H  18H  AFH  AFH | 04H  04H  05H  05H | 微地址：18H  PC=05H  锁存微指令  IR1=AFH |
| RLC A | | | | | |
| T0： | A<<1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR1 | AFH  AFH  无效  无效 | 05H  05H  无效  无效 | 微地址：2BH  PC=06H  锁存微指令  A=31H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->IR1 | 无效  无效  6CH  6CH | 无效  无效  06H  06H | 微地址：2CH  PC=06H  锁存微指令  IR1=6CH |
| MOV R0,#40 | | | | | |
| T0： | RAM->BUS->寄存器R0 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->DR1 | 6CH  6CH  40H  40H | 06H  06H  07H  07H | 微地址：1BH  PC=07H  锁存微指令  A=40H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->DR2 | 40H  40H  5FH  5FH | 07H  07H  08H  08H | 微地址：1CH  PC=08H  锁存微指令  IR1=5FH |
| MOV A,#18 | | | | | |
| T0： | RAM->BUS-> A | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 8FH  8FH  18H  18H | 08H  08H  09H  09H | 微地址：17H  PC=09H  锁存微指令  A=18H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->RAM | 18H  18H  AFH  AFH | 09H  09H  0AH  0AH | 微地址：18H  PC=0AH  锁存微指令  IR1=AFH |
| RLC A | | | | | |
| T0： | A>>1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | AFH  AFH  无效  无效 | 0AH  0AH  无效  无效 | 微地址：2BH  PC=0BH  锁存微指令  A=30H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 无效  无效  0CH  0CH | 无效  无效  0BH  0BH | 微地址：2CH  PC=0BH  锁存微指令  IR1=0CH |
| ADD A,R0 | | | | | |
| T0： | A->BUS->锁存器DR1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 0CH  0CH  30H  30H | 0BH  0BH  无效  无效 | 微地址：03H  PC=0CH  锁存微指令  DR1=30H |
| T1： | R0->BUS->锁存器DR2 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->RAM | 30H  30H  40H  40H | 无效  无效  无效  无效 | 微地址：04H  PC=0CH  锁存微指令  DR2=40H |
| T2： | ALU->BUS->A | PLS1：置微地址  PLS2：停机  PLS3：微指令输出  PLS4：BUS->IR2 | 40H  40H  70H  70H | 无效  无效  无效  无效 | 微地址：05H  PC=0CH  锁存微指令  A=70 CY=0 |
| T3： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 70H  70H  B7H  B7H | 无效  无效  0CH  0CH | 微地址：06H  PC=0CH  锁存微指令  A=70 CY=0 |
| JC 10 |  |  |  |  |  |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | B7H  B7H  10H  10H | 0CH  0CH  0DH  0DH | 微地址：2FH  PC=0DH  锁存微指令  IR2=10H |
| T1： | 因CY=0 不跳转  取指 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 10H  10H  BFH  BFH | 0DH  0DH  0EH  0EH | 微地址：30H  PC=0EH  锁存微指令  无操作 |
| JMP 0A | | | | | |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | BFH  B7H  0AH  0AH | 0EH  0EH  0FH  0FH | 微地址：2FH  PC=0FH  锁存微指令  IR2=0AH |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | 0AH  0AH  AFH  AFH | 0FH  0FH  0AH  0AH | 微地址：30H  PC=0AH  锁存微指令  IR1=AFH |
| RLC A | | | | | |
| T1： | A<<1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | 0AH  0AH  AFH  AFH | 0FH  0FH  0AH  0AH | 微地址：2BH  PC=0BH  锁存微指令  IR1=E0H |
| T2： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 70H  70H  B7H  B7H | 无效  无效  0CH  0CH | 微地址：2CH  PC=0BH  锁存微指令  A=70 CY=0 |
| ADD A,R0 | | | | | |
| T0： | A->BUS->锁存器DR1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 0CH  0CH  30H  30H | 0BH  0BH  无效  无效 | 微地址：03H  PC=0CH  锁存微指令  DR1=E0H |
| T1： | R0->BUS->锁存器DR2 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->RAM | 30H  30H  40H  40H | 无效  无效  无效  无效 | 微地址：04H  PC=0CH  锁存微指令  DR2=40H |
| T2： | ALU->BUS->A | PLS1：置微地址  PLS2：停机  PLS3：微指令输出  PLS4：BUS->IR2 | 40H  40H  70H  70H | 无效  无效  无效  无效 | 微地址：05H  PC=0CH  锁存微指令  A=20 CY=1 |
| T3： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 70H  70H  B7H  B7H | 无效  无效  0CH  0CH | 微地址：06H  PC=0CH  锁存微指令  A=70 CY=0 |
| JC 10 | | | | | |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | B7H  B7H  10H  10H | 0CH  0CH  0DH  0DH | 微地址：2FH  PC=0DH  锁存微指令  IR2=10H |
| T1： | 因CY=1 跳转  取指 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 10H  10H  8FH  8FH | 0DH  0DH  10H  10H | 微地址：30H  PC=10H  锁存微指令  无操作 |
| STA 20 | | | | | |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | B7H  B7H  20H  20H | 10H  10H  11H  11H | 微地址：13H  PC=11H  锁存微指令  IR2=10H |
| T1： | A->BUS->RAM(20) | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 10H  10H  20H  20H | 0DH  0DH  20H  20H | 微地址：14H  PC=12H  锁存微指令  A->RAM(20) |
| T3： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 20H  20H  B7H  B7H | 20H  20H  0CH  0CH | 微地址：15H  PC=12H  锁存微指令  IR1=FFH |
| HALT | | | | | |
| T0： | 置模型机为停止状态 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | FFH  无效 | 12H  无效 | 微地址：3FH  PC=13H |
| T1： | 置模型机为停止状态 |  |  |  |  |

六、实验思考

**1．在（1）（2）填入正确的答案，并分析和改正程序存在的问题。**

程序：

MOV A，#data1

RLC A

MOV A，#data2

RRC A

MOV R0，#data3

MOV R1，#data4

MOV R2，#data5

MOV R3，#data6

MOV A，#data7

RRC A

ADD A，R2

JC （1）

JMP OE

STA （2）

HALT

**2．编写对应的可执行微程序（data1-data7自选，但应确保所有指令都能执行到）。**

**写出对应的微程序并通过键盘输入，记录运行结果。**

微

**3．记录微单步运行过程。**

微单步运行过程显示如下：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 微地址 | | 数据流程 | 数据总线 | | | 地址总线 | | 操作寄存器 |
| 00H | | 取指微指令 RAM->BUS->IR1 | 5FH | | | 00H | | IR1=5FH |
| MOV A,#81 | | |  | | |  | |  |
| 17H | | BUS-> A | 81H | | | 01H | | A=81H |
| 18H | | 取指微指令 RAM->BUS->IR1 | 9FH | | | 02H | | IR1=9FH |
| RRC A | | |  | | |  | |  |
| 27H | | A>>1 | 40H | | | 无效 | | A=40，CY溢出 |
| 28H | | 取指微指令 RAM->BUS->IR1 | 5FH | | | 03H | | IR1=0CH |
| MOV A,#18 | | |  | | |  | |  |
| 17H | | BUS-> A | 18H | | | 04H | | A=18H |
| 18H | | 取指微指令 RAM->BUS->IR1 | AFH | | | 05H | | IR1=AFH |
| RLC A | |  |  | | |  | |  |
| 2BH | | A<<1 | 31H | | | 无效 | | A=31H CY无溢出 |
| 2CH | | | 取指微指令 RAM->BUS->IR1 | | | 6CH | | 06H |
| MOV R0,#40 | |  |  | | |  | |  |
| 1BH | | BUS->寄存器R0 | 40H | | | 07H | | R0=40H |
| 1CH | | | 取指微指令 RAM->BUS->IR1 | | | 5FH | | 08H |
| MOV A，#18 | |  |  | | |  | |  |
| 2BH | | BUS-> A | 18H | | | 09H | | A=18H |
| 2CH | | 取指微指令 RAM->BUS->IR1 | AFH | | | 0AH | | IR1=AFH |
| RLC A | |  |  | | |  | |  |
| 2BH | | | (A)<<1 | | | 30H | | 无效 |
| 2CH | | 取指微指令 RAM->BUS->IR1 | 0CH | | | 0BH | | IR1=0CH |
| ADD A,R0 | |  |  | | |  | |  |
| 03H | | A->锁存器DR1 | 30H | | | 无效 | | DR1=30H |
| 04H | | | 寄存器R0->锁存器DR2 | | | 40H | | 无效 |
| 05H | | ALU-> A | 70H | | | 无效 | | ALU=70 CY无溢出 |
| 06H | | 取指微指令 RAM->BUS->IR1 | B7H | | | 0CH | | IR1=B7H |
| JC 0F | | | | | | | | |
| 2FH | RAM->BUS->IR2 | | | 10H | 0DH | | IR2=10H | |
| 30H | 取指微指令 RAM->BUS->IR1 | | | BFH | 0EH | | CY无溢出 | |
| JMP 0A | | | | | | | | |
| 2FH | RAM->BUS->IR2 | | | 0AH | 0FH | | IR2=0AH | |
| 30H | 取指微指令 RAM->BUS->IR1 | | | AFH | 0AH | | 跳转0AH | |
| RLC A | | | | | | | | |
| 2BH | (A)<<1 | | | E0H | 无效 | | A=E0H | |
| 2CH | 取指微指令 RAM->BUS->IR1 | | | 0CH | 0BH | | IR1=0CH | |
| ADD A,R0 | | | | | | | | |
| 03H | A->锁存器DR1 | | | E0H | 无效 | | DR1=E0H | |
| 04H | 寄存器R0->锁存器DR2 | | | 40H | 无效 | | DR2=40H | |
| 05H | ALU-> A | | | 20H | 无效 | | ALU=70 CY有溢出 | |
| 06H | 取指微指令 RAM->BUS->IR1 | | | BFH | 0CH | | IR1=B7H | |
| JC 0F | | | | | | | | |
| 2FH | RAM->BUS->IR2 | | | 10H | 0DH | | IR2=10H | |
| 30H | 取指微指令 RAM->BUS->IR1 | | | 8FH | 10H | | CY有溢出 | |
| STA 20 | | | | | | | | |
| 23H | RAM->BUS->IR2 | | | 20H | 11H | | IR2=20H | |
| 24H | A->RAM(20H) | | | 20H | 20H | | RAM（20）=20 | |
| 25H | 取指微指令 RAM->BUS->IR1 | | | FFH | 12H | | IR1=FFH | |
| HALT | | | | | | | | |
| 3FH | 置模型机为停止状态 | | | 无效 | 无效 | | 置停止状态 | |

**4．手动控制4个节拍，记录运行过程（应标明是否进位）。**

用时序单元中的按钮来手动给出4个节拍。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 微周期 | 数据流程 | 节拍 | 数据总线 | 地址总线 | 操作寄存器 |
| T0： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址清零  PLS2：置模型机运行  PLS3：取指微指令输出  PLS4：BUS->IR1 | 无效  无效  5FH  5FH | 无效  无效  00H  00H | 微地址：00H  PC=00H  锁存微指令  IR=5FH |
| MOV A,#81 | | | | | |
| T0： | BUS-> A | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS-> A | 5FH  5FH  81H  81H | 00H  00H  01H  01H | 微地址：17H  PC=01H  锁存微指令  A=81H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：取指微指令输出  PLS4：BUS->IR1 | 55H  55H  9FH  9FH | 01H  01H  02H  02H | 微地址：18H  PC=02H  锁存微指令  IR1=9FH |
| RRC A | | | | | |
| T0： | A>>1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->寄存器R0 | 9FH  9FH  无效  无效 | 03H  03H  无效  无效 | 微地址：27H  PC=03H  锁存微指令  A=40H CY=1 |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：取指微指令输出  PLS4：BUS->IR1 | 无效  无效  5FH  5FH | 无效  无效  03H  03H | 微地址：28H  PC=03H  锁存微指令  IR1=5FH |
| MOV A，#18 | | | | | |
| T0： | RAM->BUS->A | PLS1：置微地址  PLS2：PC+1  PLS3：取指微指令输出  PLS4：BUS->锁存器DR1 | 5FH  5FH  18H  18H | 03H  03H  04H  04H | 微地址：17H  PC=04H  锁存微指令  A=18H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->锁存器DR2 | 18H  18H  AFH  AFH | 04H  04H  05H  05H | 微地址：18H  PC=05H  锁存微指令  IR1=AFH |
| RLC A | | | | | |
| T0： | A<<1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR1 | AFH  AFH  无效  无效 | 05H  05H  无效  无效 | 微地址：2BH  PC=06H  锁存微指令  A=31H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->IR1 | 无效  无效  6CH  6CH | 无效  无效  06H  06H | 微地址：2CH  PC=06H  锁存微指令  IR1=6CH |
| MOV R0,#40 | | | | | |
| T0： | RAM->BUS->寄存器R0 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->DR1 | 6CH  6CH  40H  40H | 06H  06H  07H  07H | 微地址：1BH  PC=07H  锁存微指令  A=40H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->DR2 | 40H  40H  5FH  5FH | 07H  07H  08H  08H | 微地址：1CH  PC=08H  锁存微指令  IR1=5FH |
| MOV A,#18 | | | | | |
| T0： | RAM->BUS-> A | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 8FH  8FH  18H  18H | 08H  08H  09H  09H | 微地址：17H  PC=09H  锁存微指令  A=18H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->RAM | 18H  18H  AFH  AFH | 09H  09H  0AH  0AH | 微地址：18H  PC=0AH  锁存微指令  IR1=AFH |
| RLC A | | | | | |
| T0： | A>>1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | AFH  AFH  无效  无效 | 0AH  0AH  无效  无效 | 微地址：2BH  PC=0BH  锁存微指令  A=30H |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 无效  无效  0CH  0CH | 无效  无效  0BH  0BH | 微地址：2CH  PC=0BH  锁存微指令  IR1=0CH |
| ADD A,R0 | | | | | |
| T0： | A->BUS->锁存器DR1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 0CH  0CH  30H  30H | 0BH  0BH  无效  无效 | 微地址：03H  PC=0CH  锁存微指令  DR1=30H |
| T1： | R0->BUS->锁存器DR2 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->RAM | 30H  30H  40H  40H | 无效  无效  无效  无效 | 微地址：04H  PC=0CH  锁存微指令  DR2=40H |
| T2： | ALU->BUS->A | PLS1：置微地址  PLS2：停机  PLS3：微指令输出  PLS4：BUS->IR2 | 40H  40H  70H  70H | 无效  无效  无效  无效 | 微地址：05H  PC=0CH  锁存微指令  A=70 CY=0 |
| T3： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 70H  70H  B7H  B7H | 无效  无效  0CH  0CH | 微地址：06H  PC=0CH  锁存微指令  A=70 CY=0 |
| JC 10 |  |  |  |  |  |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | B7H  B7H  10H  10H | 0CH  0CH  0DH  0DH | 微地址：2FH  PC=0DH  锁存微指令  IR2=10H |
| T1： | 因CY=0 不跳转  取指 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 10H  10H  BFH  BFH | 0DH  0DH  0EH  0EH | 微地址：30H  PC=0EH  锁存微指令  无操作 |
| JMP 0A | | | | | |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | BFH  B7H  0AH  0AH | 0EH  0EH  0FH  0FH | 微地址：2FH  PC=0FH  锁存微指令  IR2=0AH |
| T1： | 取指微指令  RAM->BUS->IR1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | 0AH  0AH  AFH  AFH | 0FH  0FH  0AH  0AH | 微地址：30H  PC=0AH  锁存微指令  IR1=AFH |
| RLC A | | | | | |
| T1： | A<<1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | 0AH  0AH  AFH  AFH | 0FH  0FH  0AH  0AH | 微地址：2BH  PC=0BH  锁存微指令  IR1=E0H |
| T2： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 70H  70H  B7H  B7H | 无效  无效  0CH  0CH | 微地址：2CH  PC=0BH  锁存微指令  A=70 CY=0 |
| ADD A,R0 | | | | | |
| T0： | A->BUS->锁存器DR1 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 0CH  0CH  30H  30H | 0BH  0BH  无效  无效 | 微地址：03H  PC=0CH  锁存微指令  DR1=E0H |
| T1： | R0->BUS->锁存器DR2 | PLS1：微地址+1  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->RAM | 30H  30H  40H  40H | 无效  无效  无效  无效 | 微地址：04H  PC=0CH  锁存微指令  DR2=40H |
| T2： | ALU->BUS->A | PLS1：置微地址  PLS2：停机  PLS3：微指令输出  PLS4：BUS->IR2 | 40H  40H  70H  70H | 无效  无效  无效  无效 | 微地址：05H  PC=0CH  锁存微指令  A=20 CY=1 |
| T3： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 70H  70H  B7H  B7H | 无效  无效  0CH  0CH | 微地址：06H  PC=0CH  锁存微指令  A=70 CY=0 |
| JC 10 | | | | | |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | B7H  B7H  10H  10H | 0CH  0CH  0DH  0DH | 微地址：2FH  PC=0DH  锁存微指令  IR2=10H |
| T1： | 因CY=1 跳转  取指 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 10H  10H  8FH  8FH | 0DH  0DH  10H  10H | 微地址：30H  PC=10H  锁存微指令  无操作 |
| STA 20 | | | | | |
| T0： | RAM->BUS->IR2 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | B7H  B7H  20H  20H | 10H  10H  11H  11H | 微地址：13H  PC=11H  锁存微指令  IR2=10H |
| T1： | A->BUS->RAM(20) | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->A | 10H  10H  20H  20H | 0DH  0DH  20H  20H | 微地址：14H  PC=12H  锁存微指令  A->RAM(20) |
| T3： | 取指微指令  RAM->BUS->IR1 | PLS1：微地址+1  PLS2：PC不变  PLS3：微指令输出  PLS4：BUS->RAM | 20H  20H  B7H  B7H | 20H  20H  0CH  0CH | 微地址：15H  PC=12H  锁存微指令  IR1=FFH |
| HALT | | | | | |
| T0： | 置模型机为停止状态 | PLS1：置微地址  PLS2：PC+1  PLS3：微指令输出  PLS4：BUS->IR2 | FFH  无效 | 12H  无效 | 微地址：3FH  PC=13H |
| T1： | 置模型机为停止状态 |  |  |  |  |

**5．在模型机逻辑框图中标示正确的数据流并描述。**

**6．分析微指令表中JZ、JC、JMP指令的异同。**

可将