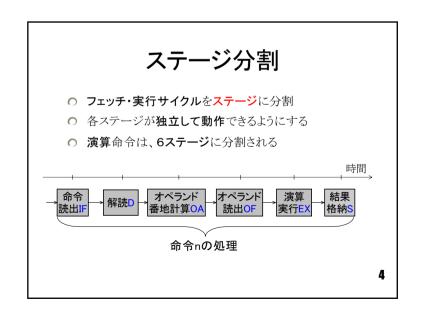
# 計算機方式論

第1章 計算機の基本構成 #2

1

# 命令の実行順制御-逐次制御 ○ 命令のフェッチサイクル後に、実行サイクルを行い、その後、次の命令のフェッチ・実行サイクルを行っていく。 プェッチ 実行 フェッチ 実行 次の命令n+1

### 命令の実行順制御-先回り制御 ○ フェッチサイクルと実行サイクルとを同時実行 ○ CPUの制御部と演算部とが独立して動作できることで実現 時間 命令n 命令n+1 命令n+2 御 フェッチ フェッチ フェッチ 部 命令n-1 演 実行 算 実行 実行 命令n 命令n-1 命令n+1 3 完了 完了 完了

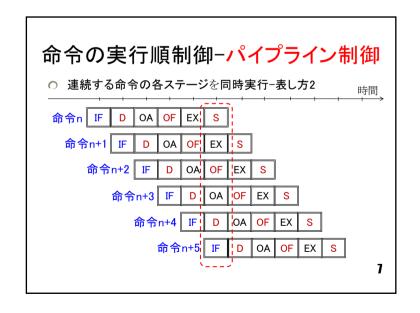


# 各ステージの動作

- 命令読み出しIFPCの指す命令をIRにフェッチ。PCを1増す。
- IR中の命令を解読し、制御系列を選択。メモリ減算 S 2,512(3)
- ↑ オペランド番地計算OAオペランドが主記憶のとき、主記憶番地を計算し、MARに。
- 演算実行EX ALUを用い、演算を施す。
- お果格納S
  演算結果をレジスタや主記憶に保存する。
  分岐命令では、このステージで、分岐番地をPCにセット。

5

命令の実行順制御-パイプライン制御 ○ 連続する命令の各ステージを同時実行-表し方1 命令読出IFn+1 n+2 n+3 n+4 n+5 命令解読 D-命令n n-1 n+1 n+2 n+3 n+4 オペランド 命令n n-2 n-1 n+1 n+2 n+3 番地計算OA オペランド n-3 n-1 命令n n-2 n+1 n+2 番地読込OF 命令n 演算実行EX n-4 n-3 n-2 n-1 n+1 n-5 結果格納S n-4 n-3 n-2 命令n n-1 命令n-5 命令n-4 命令n-3 命令n-2 命令n-1 命令n 完了 完了 完了 完了 完了 完了



# パイプライン(先回り)制御の特長

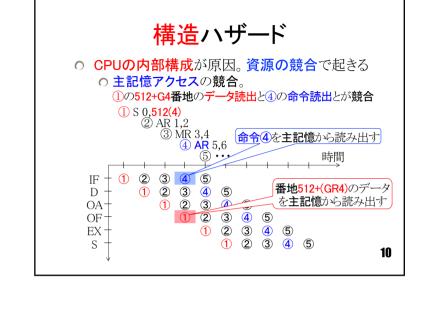
- 6つのステージ(2つのサイクル)を同時に動作
  - ⇒ 単位時間にひとつの命令相当分の処理
- 理想的には、逐次制御の6倍(2倍)のスループットが得られる

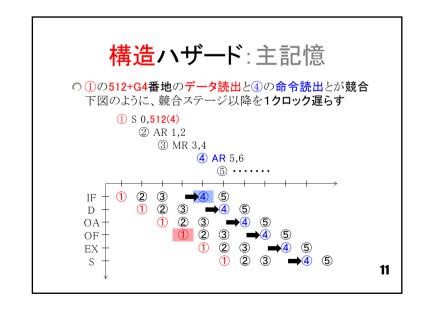
8

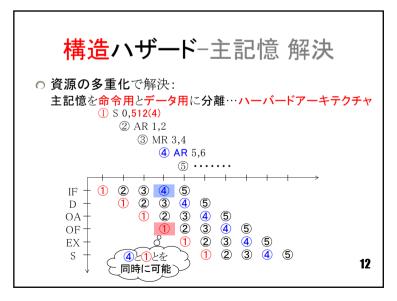
# パイプライン制御の問題点

- すぐ前の命令の結果を次の命令で使う
- 分岐命令
- **阻害要因(ハザード**, hazard)となり、制御が立ち往生する(インタロック, interlock)
- 構造ハザードデータハザード制御ハザード

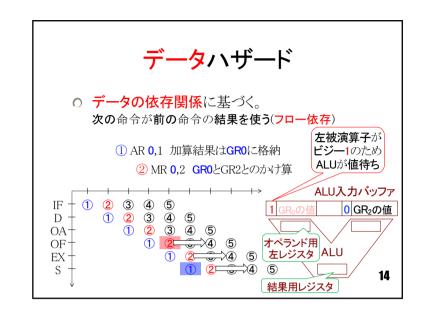
9

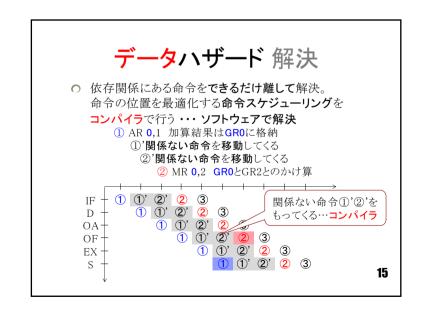


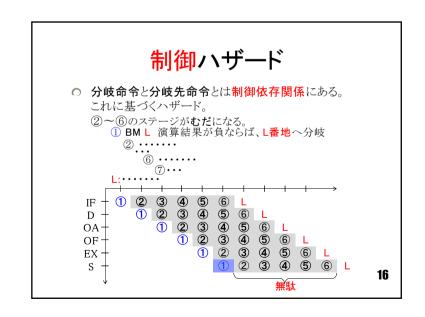




### 構造ハザード-ALU O ALU使用でのOAとEXとの競合: ALUを①の実行ステージと③のオペランド番地計算で同時使用 ① MR 1.2 ALU使用でのOAとE、 ② AR 3,4 バス使用やIR使用等 ③ S 5.**512(5**) での競合もある (4) S 0.2 (5) · · · · · · · **1 2** ΙF 3 4 5 ALUを使って (1) (2) (3) (4) (5) D 番地512+(GR5) 2 3 4 OA-の計算を行う (1) (2) (3) (4) (5)OF: 1 2 3 4 5 EΧ ALUを使った (1) (2) (3) (4) (5) 積(GR1)\*(GR2) 13 の計算を行う







### 制御ハザード解決① ○ 分岐命令の次の番地以降(分岐遅延スロット)には、 分岐に関係なく必ず実行する命令を置く ・・・・ ソフトウェアで解決 ① BM L 5ステージ後に、条件分岐を実行 (a) ~ (e): 分岐に関係なく必ず実行する命令 分岐先L + 1 a **b c** d e 1 a b c d e D (b) (c) a œ e OA +1 **1** a b © Ø e OF-EX + (1) (a) 分岐に関係なく Lに分岐 S -必ず実行する 17 (2)(Z 命令・・コンパイラ

