

Logic Design Lab Report: Week 7

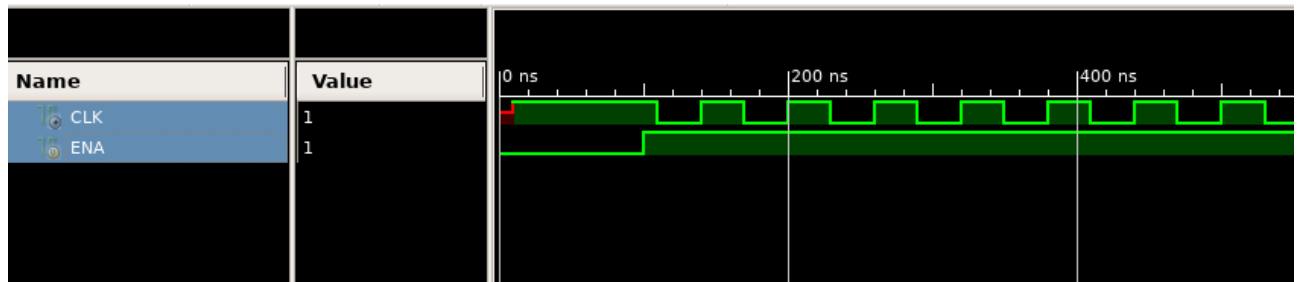
2013-12815 Dongjoo Lee

1. Introduction

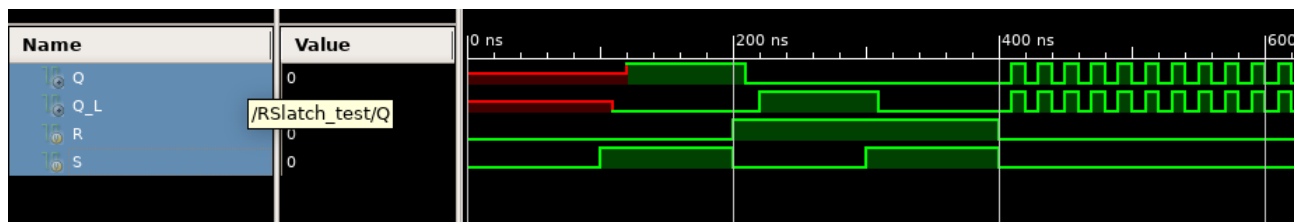
이번 주 실습을 통해 1-bit를 저장하는 방법에 대해 점차 발전된 형태의 모델을 구현해 보았다. 연속된 인버터를 이용한 가장 간단한 형태의 Oscillator를 시작으로 Homework를 통해 1's catching problem을 방지할 수 있는 Negative edge-triggered D flip-flop을 구현해보았다. 이들의 waveform을 차례로 분석해보려 한다.

2. Implementation & Result

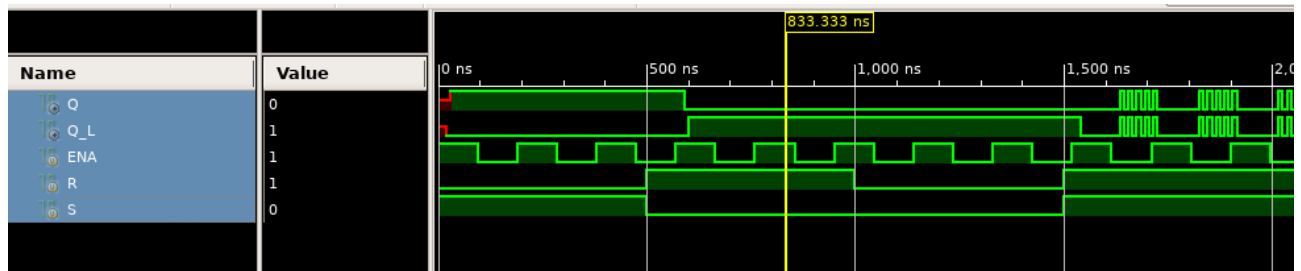
1) Oscillator : ENA가 1이 되면 NAND gate의 input이 1, 0과 1, 1을 반복하며 output이 1->0->1->... 로 swing하게 된다.



2) RS latch : RS Latch는 Oscillator와는 다르게 S/R에 인가하는 신호에 따라 출력을 조정할 수 있다. S=1, Q=0 일 때 Q의 값은 1이 되며 R=1, S=0일 때에 Q_L의 값은 1이 된다. S=R=0일 때에 기존의 값을 유지하는 hold 기능을 하는데, 이를 통해 값을 저장할 수 있다. 하지만, S=R=1은 허용되지 않는데 이 값이 인가되는 것 자체는 문제가 없지만, 이후에 S=R=0이 되면 Q와 Q_L이 모두 0->1->0으로 swing하는 문제가 발생하기 때문이다.

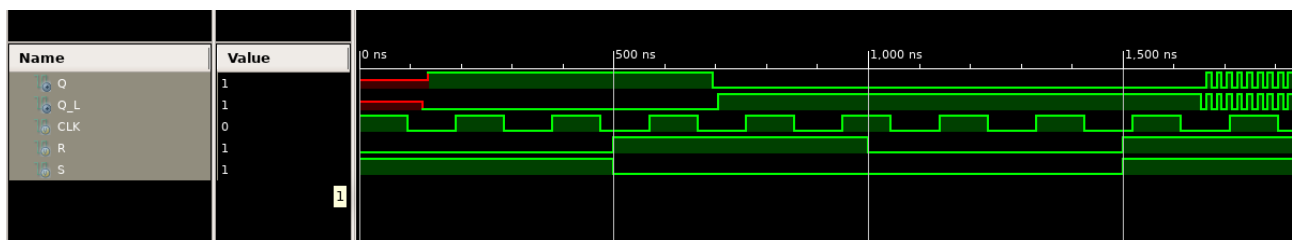


3) Gated RS latch : 2)에서 발생한 문제를 개선하기 위해 enable = 1인 경우에만 S, R의 신호가 R-S latch로 전달되도록 구성한 latch이다. S, R의 값을 ENA의 rising edge에서 Q, Q'에 반영한다. 하지만, S=R=1에서 Enable이 이를 catch하면 여전히 race 문제는

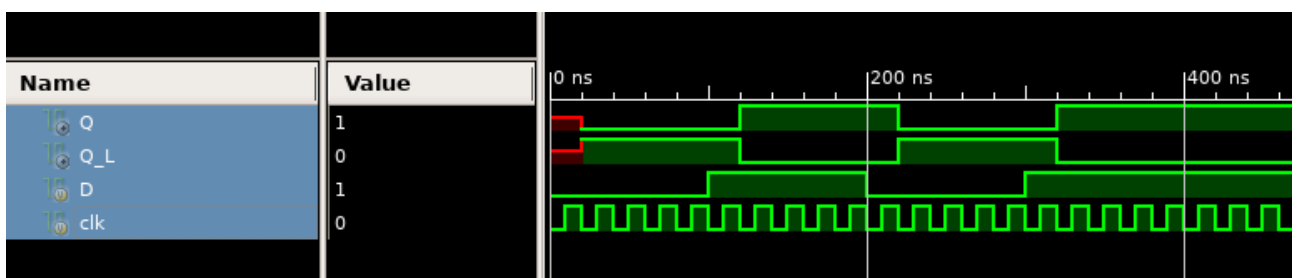


발생한다.

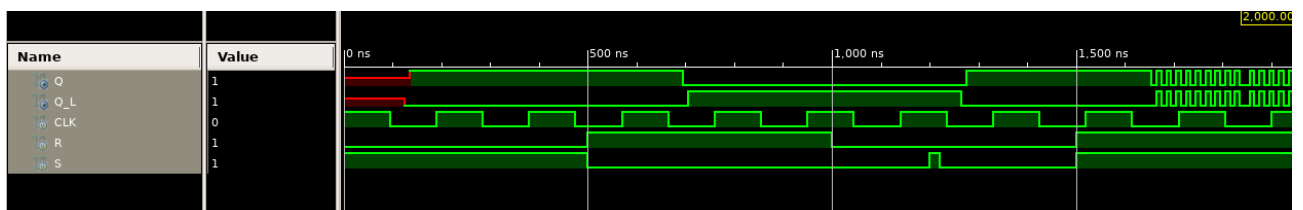
4) master-slave latch : 이전 3)에서의 race 문제가 해결된다. CLOCK의 rising edge에서 P/P'의 정보가 slave로 전달되기 때문이다. 하지만 여전히 1's catching problem이 존재한다. 이는 다음 단락에서 후술하겠다.



5) Negative edge-triggered D flipflop : 1's catching problem을 개선한다.



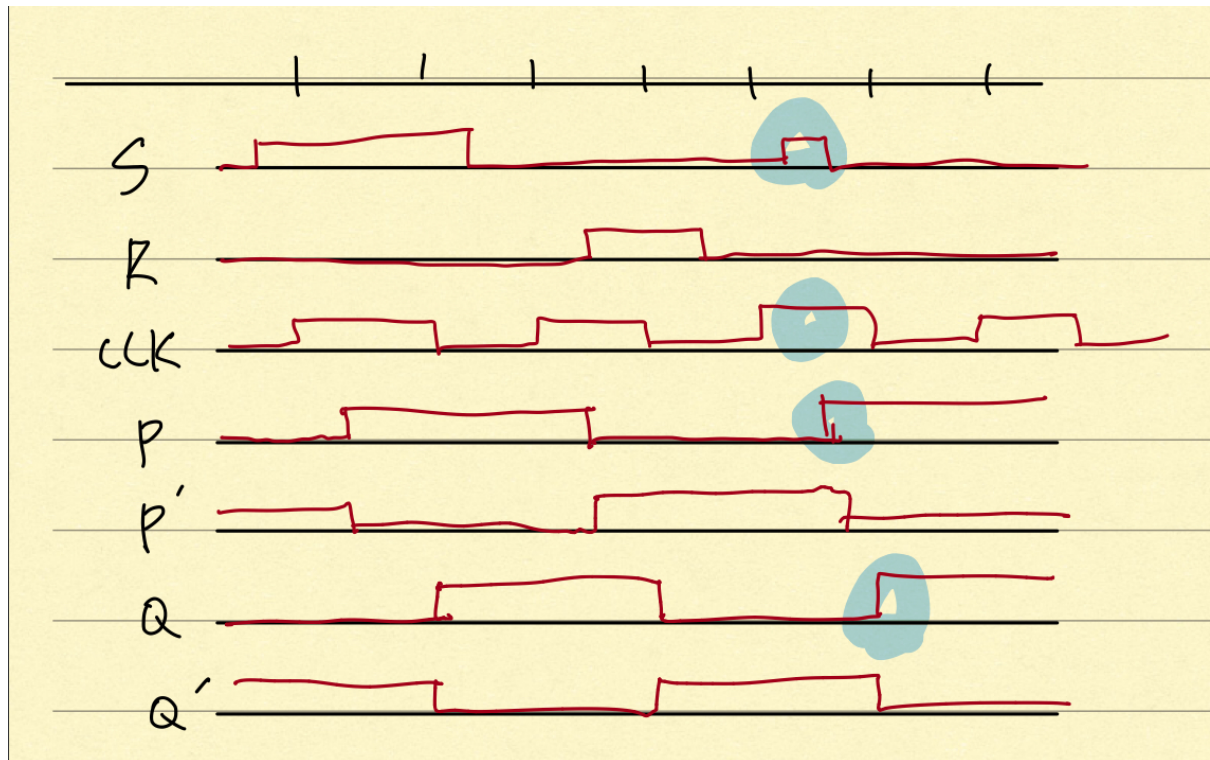
3. About 1's catching problem ;



1) Explain what the 1s catching problem in master-slave latches is : 2-4)에서 Hold기능 때문에 생기는 문제점이다. R=S=0일 때, Q와 Q'의 값은 Hold된다. 하지만

, 이 때에 S 또는 R이 1로 glitch되고 이 시점에서 CLOCK=1이라면, P와 P'의 값이 바뀐 값을 catch해서 hold하게 된다. 다시 R=S=0으로 돌아가면, 이는 바뀐 값을 hold하는 결과로 이어지고 S 또는 R의 glitch로 인해 P와 P'의 값이 바뀌고 이게 Q와 Q'에 반영되는 문제를 말한다.

2) Simulate an appropriate timing diagram for your explanation. : CLK=1일 때 S=1의 glitch가 P에 반영되어 Q로 출력된다.



** 실습실에서 모든 simulation을 spec에 맞게 촬영했으나 서버 로그인 바가 움직이지 않아, 자료를 받아오지 못했습니다. 여러 PC에서 시도해도 같은 현상입니다. 마감 기간이 가까워져서 지난주에 클라우드에 저장해두었던 초안의 스크린샷으로 대체해서 과제를 제출합니다. P, P'을 반영하기 전이고 wave form의 time delay가 조금 틀린 부분이 있습니다. practice 제출시엔 수정한 파일을 제출했으며 첨부한 사진 또한 추후에 다시 제출할 수 있게 해주시면 다음 실습시간을 이용해서 바로 제출할 수 있습니다. 죄송합니다.