

Lab_HW_#03

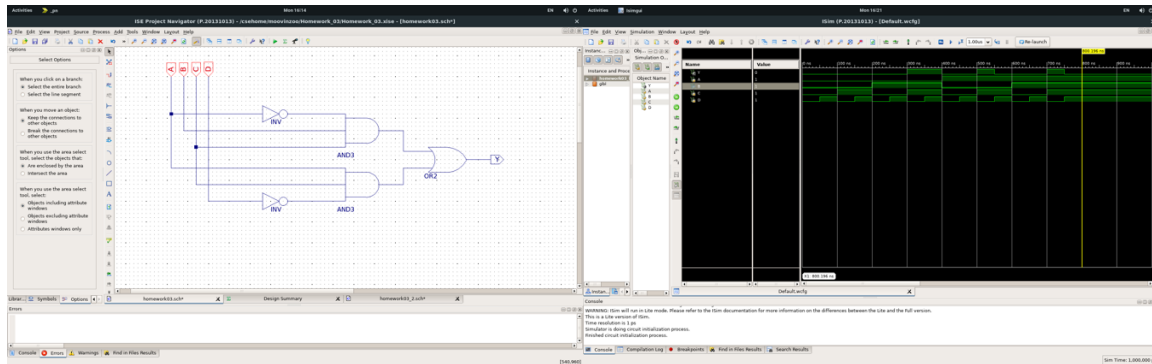
M1522.000700 Logic Design (2019 Fall)

2013-12815 이 동 주

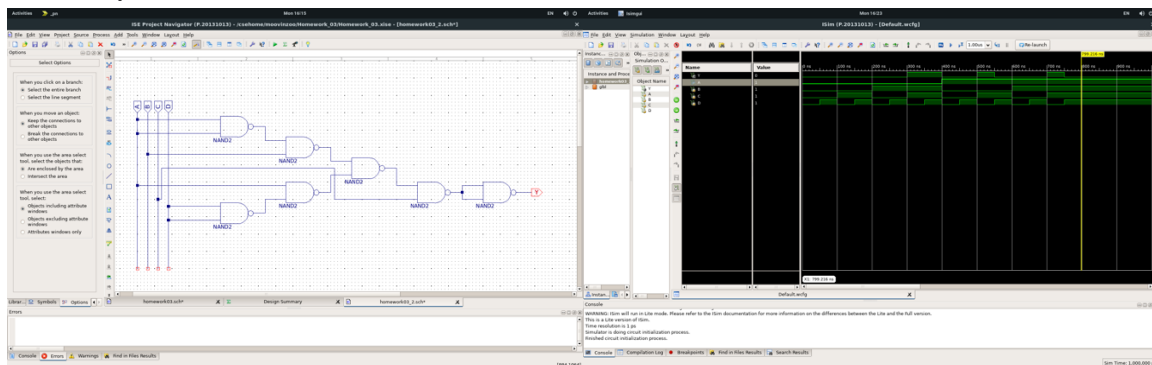
1. (1) Schematic 을 관계식으로 표현한 뒤, Discrete math 의 성질을 이용하여 정리하면 다음과 같다.

$$\begin{aligned}
 Y &= (\overline{AB})(CD + BC) + (C\overline{D}A) \\
 &= \overline{A}BCD + \overline{A}BBC + AC\overline{D} \\
 &= \overline{A}BCD + \overline{A}BC + AC\overline{D} \\
 &= \overline{A}BC + AC\overline{D}
 \end{aligned}$$

이를 통해, 아래와 같은 를 얻을 수 있다.



(2) 1-(1)에서 정리한 식을 이용하여, Bubble 을 이용하여 NAND 게이트로만 정리하면 아래와 같은 schematic/simulation result 를 얻을 수 있다.



2. 'MUX'와 'DEMUX'

- MUX 는 2^n 개의 input source 중 n 개의 control signal 을 통해 1 개의 source 를 선택하여 output 으로 출력한다.
- DEMUX 는 1 개의 input 을 n 개의 control signal 을 통해 2^n 개의 output 중 한 곳으로 출력한다.

3. 'Encoder'와 'Decoder'

- Encoder 는 MUX 와 유사하지만, 2^n 개의 input 을 n 개의 output 으로 출력한다.
- Decoder 는 DEMUX 와 유사하지만, n bit 의 control signal 을 input 으로, 1bit 의 input 을 "Enable(1)"로 취급하여 2^n bit 의 output 을 출력한다.