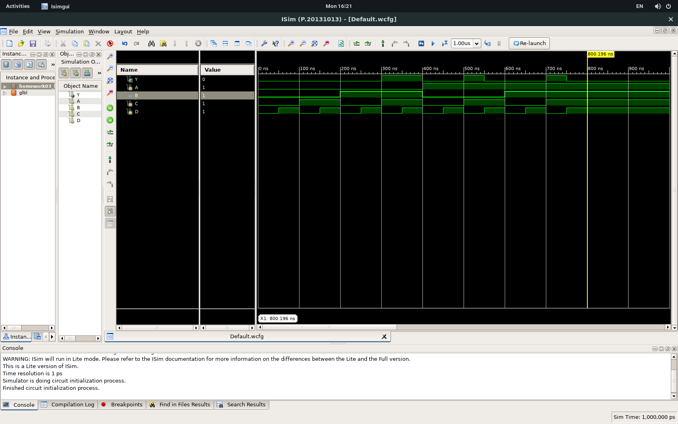
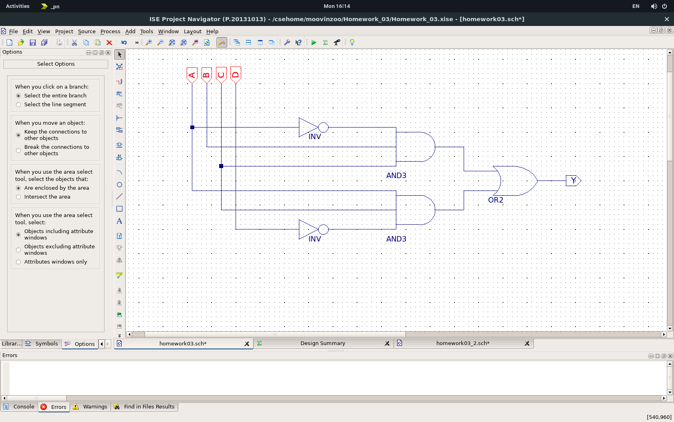
Lab\_HW\_#03

M1522.000700 Logic Design (2019 Fall)

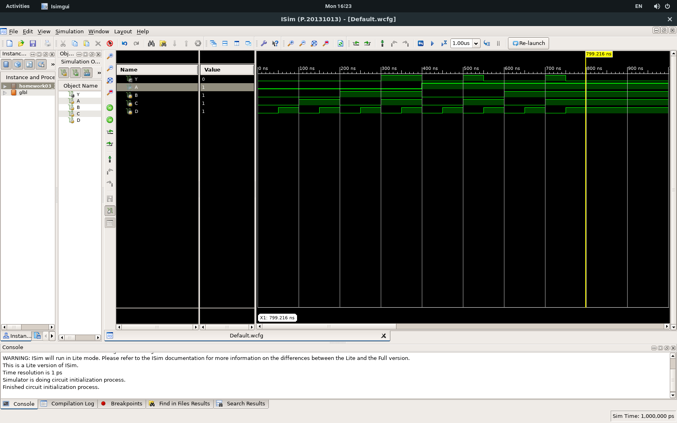
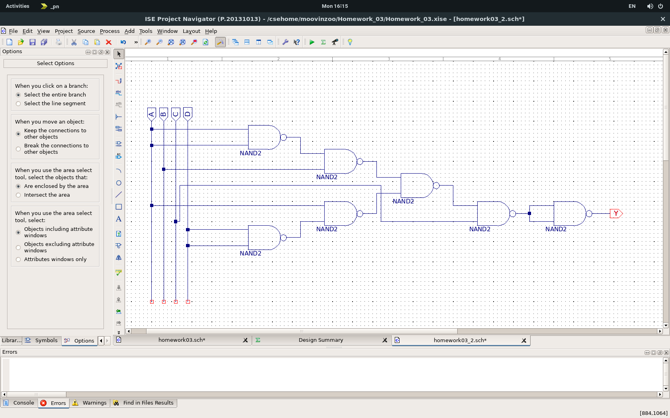
2013-12815 이 동 주

**1. (1) Schematic을 관계식으로 표현한 뒤, Discrete math의 성질을 이용하여 정리하면 다음과 같다.**

**이를 통해, 아래와 같은 를 얻을 수 있다.**

****

**(2) 1-(1)에서 정리한 식을 이용하여, Bubble을 이용하여 NAND게이트로만 정리하면 아래와 같은  
schematic/simulation result를 얻을 수 있다.**

****

**2. ‘MUX’와 ‘DEMUX’**

* **MUX는 개의 input source중 개의 control signal을 통해 1개의 source를 선택하여 output으로 출력한다.**
* **DEMUX는 1개의 input을 개의 control signal을 통해 개의 output중 한 곳으로 출력한다.**

**3. ‘Encoder’와 ‘Decoder’**

* **Encoder는 MUX와 유사하지만, 개의 input을 개의output으로 출력한다.**
* **Decoder는 DEMUX와 유사하지만, bit의 control signal을 input으로, 1bit의 input을 “Enable(1)”로 취급하여 bit의 output을 출력한다.**