Laboratorio 10

Ejercicio 1

En este ejercicio se unió el program counter, la program ROM y el fetch, para realizar un bloque del Nibbler. El funcionamiento del bloque es que el program counter va contando e incrementando un bit cada flanco de reloj, también se le puede ingresar un valor de 12 bits y mientras la variable "load" este en 1, el valor de la salida del program counter será igual a la entrada de 12 bits. Este valor de 12 bits se envía directamente a la ROM la cual usando \$readmemh accede a la lista donde, por medio de los 12 bits de dirección que tiene como input, regresa el valor de 8 bits en la lista. Estos 8 bits son el program byte, que se colocó como salida del bloque y también es la entrada del fetch. El fetch es un flipflop D, que tiene como salida la instrucción (4 bits más significativos del program byte) y el operando (4 bits menos significativos del program byte). Debido a que él fetch es un flipflop, la salida de instrucción y operando es igual a los nibblers del program byte pero con un atraso de 1 flanco de reloj.

El fetch y program counter, ambos cuentan con su propio bit de Enable y usan el mismo bit de Clock y reset.

En la tabla a continuación se observa el funcionamiento del bloque, que inicia en 0 la variable data, que es el program byte y cada flanco de reloj incrementa 1. Se puede observar que también cada flanco de reloj, mientras el Enable del fetch este en 1, el valor del program byte pasa a instr y oprnd.

Cabe mencionar que en la lista el valor va incrementando de 00 a 18 y luego hace un salto a la posición A1 donde incrementa de f0 a fc. Por lo que el program byte, al estar el Enable del program counter en 1, incrementa 1 cada flanco y luego se observa que se pone en 0 porque se prende el reset. Pero al poner 0A1 en loadbits y prender el bit load, el valor del program byte es f0 y comienza nuevamente a incrementar porque en la lista el valor va incrementando.

							-	
67	Ο	r	~	٦.	~	ъ	o_1	
C 1	c	_	•	_	•	_	σ_{\perp}	
_								
	_	-						

	.,	, 10101	-						
	clk	e_pc	e_fetch	reset	loadbits	load	program byte	instr	oprnd
	1	x	x	x	xxxxxxxxxxx	x	xxxxxxxx	XXXX	xxxx
	0	1	1	1	000000000000	0	00000000	0000	0000
	1	1	1	0	000000000000	0	00000001	0000	0000
	0	1	1	0	000000000000	0	00000001	0000	0000
	1	1	1	0	000000000000	0	00000010	0000	0001
	0	1	1	0	000000000000	0	00000010	0000	0001
	1	1	1	0	000000000000	0	00000011	0000	0010
	0	1	1	0	000000000011	0	00000011	0000	0010
	1	1	1	0	000000000011	0	00000100	0000	0011
	0	1	1	0	000000000011	0	00000100	0000	0011
	1	1	1	0	000000000011	1	00000011	0000	0100
	0	1	1	0	000000000011	1	00000011	0000	0100
	1	1	1	0	000000000011	1	00000011	0000	0011
	0	1	1	0	000000000011	1	00000011	0000	0011
	1	1	1	0	000000000011	1	00000011	0000	0011
	0	1	1	0	000000000011	0	00000011	0000	0011
	1	1	1	0	000000000011	0	00000100	0000	0011
	0	1	1	0	000000000011	0	00000100	0000	0011
	1	1	1	0	000000000011	0	00000101	0000	0100
	0	1	1	0	000000000011	0	00000101	0000	0100
	1	1	0	0	000000000011	0	00000110	0000	0100
	0	1	0	0	000000000011	0	00000110	0000	0100
	1	1	0	0	000000000011	0	00000111	0000	0100
	0	1	0	0	000000000011	0	00000111	0000	0100
	1	0	0	0	000000000011	0	00000111	0000	0100
	0	0	0	0	000000000011	0	00000111	0000	0100
	1	0	0	0	000000000011	0	00000111	0000	0100
	0	0	1	0	000000000011	0	00000111	0000	0111
	1	0	1	0	000000000011	0	00000111	0000	0111
	0	0	1	0	000000000011	0	00000111	0000	0111
	1	0	1	0	000000000011	0	00000111	0000	0111
	0	0	1	0	000000000011	0	00000111	0000	0111
	1	0	1	1	000000000011	0	00000000	0000	0000
	0	0	1	1	000000000011	0	00000000	0000	0000
	1	0	1	1	000000000011	0	00000000	0000	0000
	0	0	1	1	000000000011	0	00000000	0000	0000
	1	1	1	0	000010100001	0	00000001	0000	0000
	j 0	1	1	0	000010100001	1	11110000	0000	0000
	1	1	1	0	000010100001	0	11110001	1111	0000
	j 0	1	1	0	000010100001	0	11110001	1111	0000
	1	1	1	0	000010100001	0	11110010	1111	0001
	j 0	1	1	0	000010100001	0	11110010	1111	0001
	1	1	1	0	000010100001	0	11110011	1111	0010
	j 0	1	1	0	000010100001	0	11110011	1111	0010
	j 1	1	1	0	000010100001	0	11110100	1111	0011
(atkwa	ave ei	ercicio	1 tb.v	cd ejercicio1	tb.at	kw		

gtkwave ejercicio1_tb.vcd ejercicio1_tb.gtkw



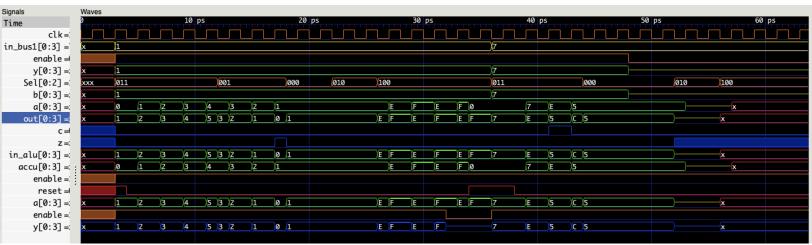


Ejercicio 2

Para el segundo ejercicio se debía de tener una entrada de 4 bits que fuera a un buffer triestado y la salida de esta compuerta fuera una de las entradas de la ALU. La ALU puede realizar 5 operaciones distintas:

- Dejar pasar a
- Dejar pasar b
- Restar a menos b
- Sumar a y b
- Nand entre a y b

La salida de la ALU va a la entrada del acumulador, que es un flipflop de 4 bits que su salida va a la entrada "a" de la alu. Al mismo tiempo, la salida de la alu va a la entrada de un segundo buffer triestado, y la salida de este componente ya son los outputs del bloque.



clk		accu_en							z	out
1	l x	x	x	x	xxxx	×××	 		====: x	====== xxxx
Ð	×	×	×	×	xxxx	XXX	ii		×	XXXX
1	1	1	1	1	0001	011	ii		0	0001
Ð	9	1	1	1	0001	011	ii		9	0001
1	9	1 1	1	1	0001	011	ii		j 0	0010
Ð	9	1 1	1	1	0001	011	ii	j ø	j 0	0010
1	0	1 1	1	1	0001	011	11	0	0	0011
Ð	9	1 1	1 1	1	0001	011	П	0	0	0011
1	9	1	1	1	0001	011	П	0	0	0100
9	9	1 1	1 1	1	0001	011	П		0	0100
1	0	1 1	1	1	0001	011	Ш		0	0101
9	9	1 1	1 1	1	0001	001	Ш	0	0	0011
1	0	1 1	1 1	1	0001	001	11		0	0010
9	9	1 1	1 1	1	0001	001	11		0	0010
1	9	1 1	1 1	1	0001	001	11		0	0001
0	9	1 1	1	1	0001	001	ii.		0	0001
1	9	1 1	1	1	0001	001	!!		1	0000
9	0	1 1	1	1	0001	999	!!		0	0001
9	0	1 1	1 1	1	0001	999	!!		0	0001
1	0 0	1 1	1 1	1 1	0001 0001	000 000	!!		0 0	0001 0001
9	1 0	1	1	1	0001	010	!!		1 0	0001
1	1 0	1	1	1	0001	010	H		1 0	0001
Ð	1 0	1	1	1	0001	010	Ш		1 0	0001
1	1 0	1 1	1	1	0001	010	H		1 0	0001
Ð	1 0	1	1	1	0001	100	H		1 0	11110
1	1 0	1	1	1	0001	100	ii		1 0	1111
ē	1 0	1	1	1	0001	100	ii		1 0	1111
1	1 0	1	1	1	0001	100	ii	1 0	1 0	11110
e	1 0	1	1	1	0001	100	ii		1 0	11110
1	. 0	1	1	1	0001	100	ii		0	1111
Ð	. 0	1	1	e	0001	100	ii		0	ZZZZ
1	0	1	1	i e	0001	100	ii		0	ZZZZ
Ð	1	1	1	e e	0001	100	ii	0	0	ZZZZ
1	1	1 1	1	Ð	9991	100	ii	i ø	i e	ZZZZ
Ð	1	1 1	1	1	0111	011	ii		i ø	0111
1	1	1 1	1	1	0111	011	ii		j 0	0111
Ð	9	1 1	1	1	0111	011	Ιİ	j ø	0	0111
1	0	1 1	1	1	0111	011	11	0	0	1110
Ð	0	1 1	1 1	1	0111	011	11	0	0	1116
1	9	1 1	1	1	0111	011	11	1	0	0101
Ð	9	1 1	1 1	1	0111	011	11	1	0	0101
1	0	1	1 1	1	0111	011	Ш	0	0	1106
Ð	0	1	1 1	1	0111	999	Ш	0	0	0101
1	9	1 1	1 1	1	0111	999	П	0	0	0101
Ð	9	1 1	1	1	0111	999	Ш	0	0	0101
1	0	1 1	1	1	0111	999	- ! !		0	0101
9	9	1 1	9	1	0111	999	Ш		0	0101
1	0	1 1	0	1	0111	000			0	0101
9	9	1 1	9	1	0111	999			0	0101
1	9	1 1	0	1	0111	000	!!		0	0101
9	0	1 1	0	1	0111	010	!!		X	ZZZZ
9	0	1 1	9 9	1 1	0111	010	!!		X	ZZZZ
1	0 0	1	0	1	0111 0111	010 010	-!!		l x	ZZZZ
9	1 0	1	0	1	0111	100	-!!		X	ZZZZ
1	1 0	1	0	1	0111	100	H		x x	xxxx
9	1 0	1	9	1	0111	100	Ш		X	xxxx
1	1 0	1	9	1	0111	100	H		x	xxxx
e e	1 0	1	0	1	0111	100	H		×	XXXX
1	1 0	1	9	1	0111	100	ii		x	XXXX
9	0	1	9	1	0111	100	ii		×	XXXX
1	. 9	1	9	1	0111	100	ii		x	XXXX
9	0	1	0	1	0111	100	ii		×	XXXX
1	9	1	9	1		100			×	XXXX
_	e ejercio									