



UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

Facultad de Ciencias Químicas e Ingeniería

Materia: Organización de Computadoras y Lenguaje Ensamblador

Docente: Lara Camacho Evangelina

Practica 1 Organización de la Memoria

Alumnos:

Morales Rosales Iván A. 1231098

Gutierrez Almada Luis Enrique 1227983

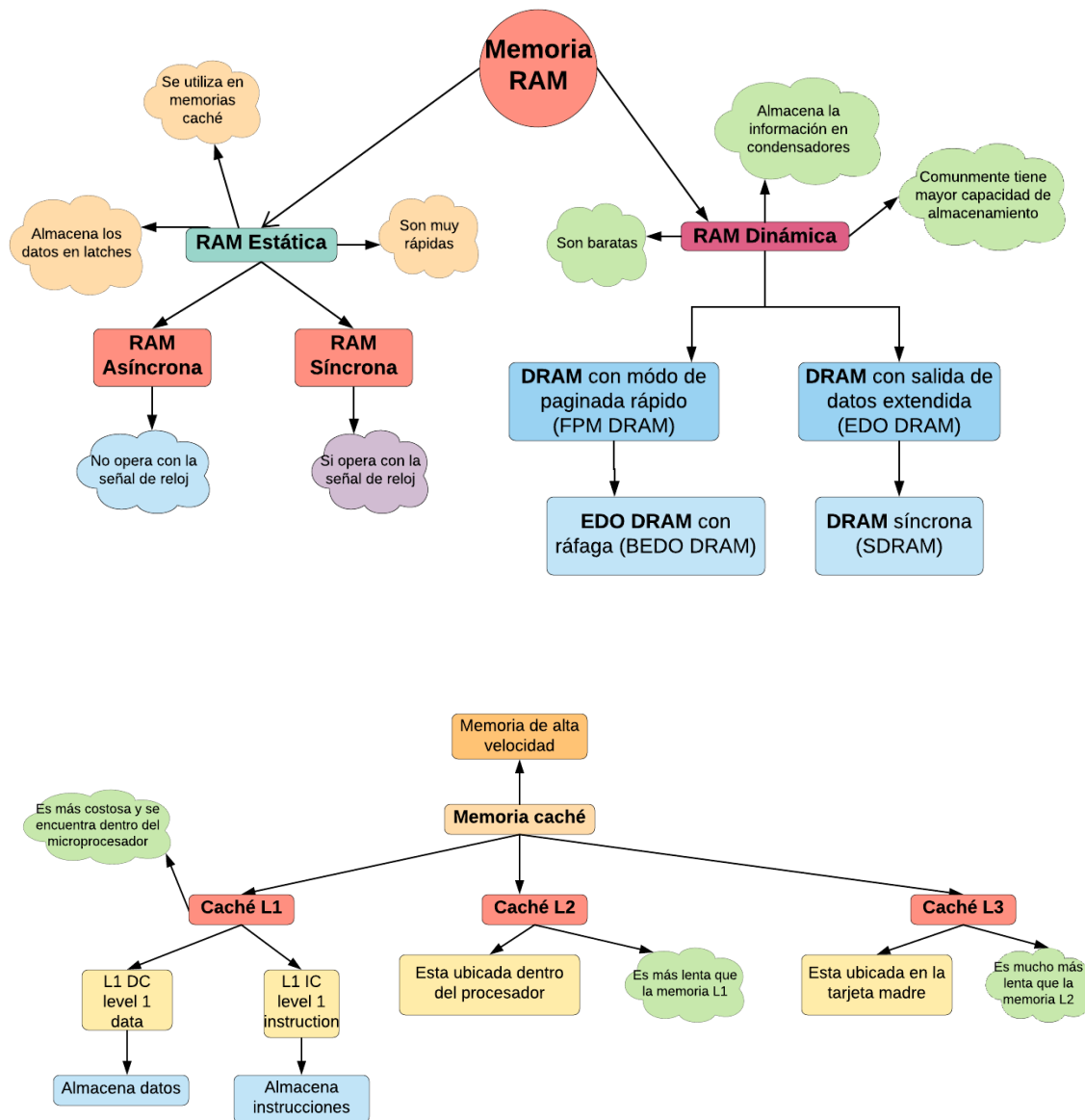
Objetivo

El alumno se familiarizará con la organización de la memoria de un sistema computacional.

Teoría

Mapa mental sobre:

- Memoria RAM estática
- Memoria RAM dinámica
- Memoria caché (L1, L2, L3, ...)



Desarrollo

1. Diseñe y simule en Logisim una memoria RAM asíncrona de tamaño X (indicado por el instructor). De acuerdo a la información, determine el tamaño del ducto de datos y direcciones.

Tamaño X = 4096 x 32

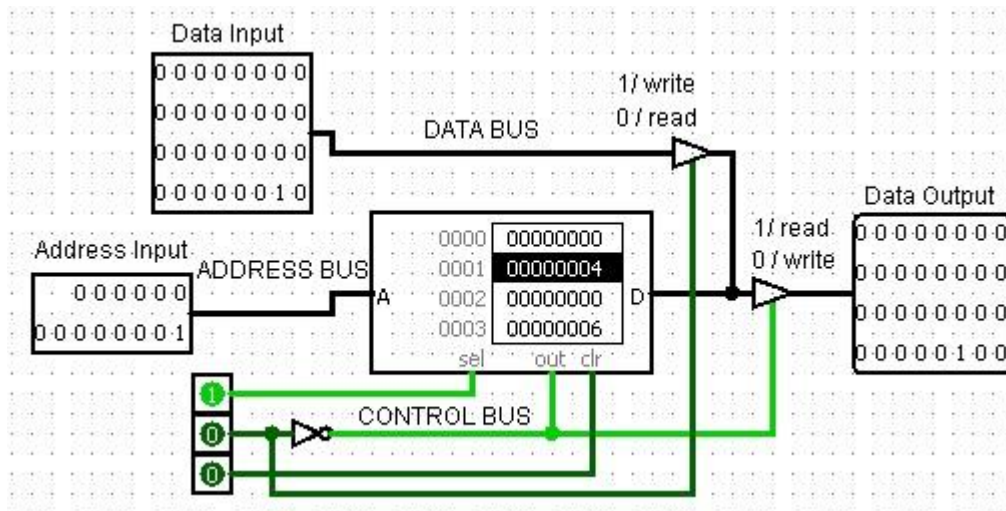
$2^{12} = 4096$ localidades de 32 bits c/u.

Tamaño de direcciones: 12 líneas

Tamaño de bus de datos: 32 líneas

En su reporte incluya una impresión de pantalla del circuito donde señale las líneas de control, datos y dirección.

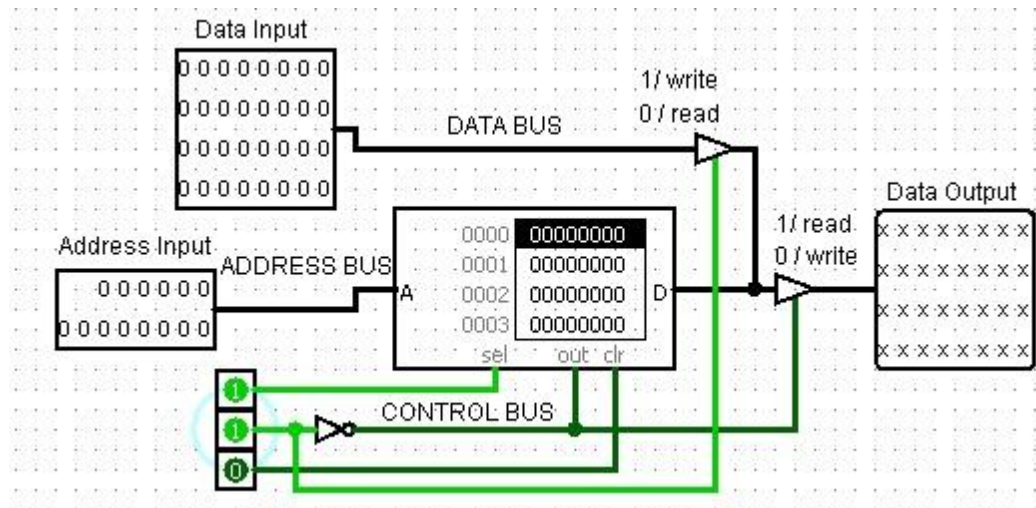
12K x 32



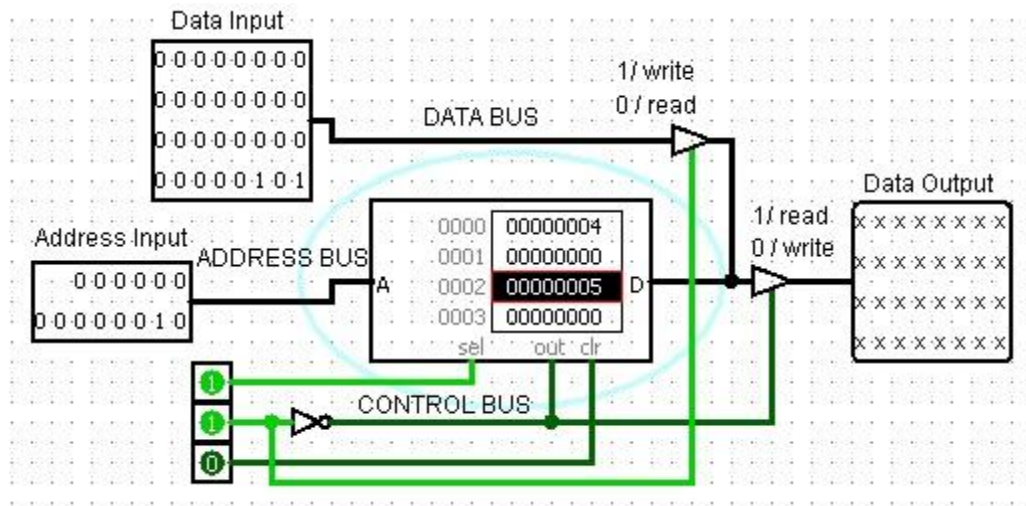
2. Describa paso a paso en el reporte el procedimiento de escritura y lectura de un dato de la memoria del paso 1.

- a) La memoria asíncrona puede habilitarse para
modo escritura si "out = 0"
modo lectura si "out = 1"

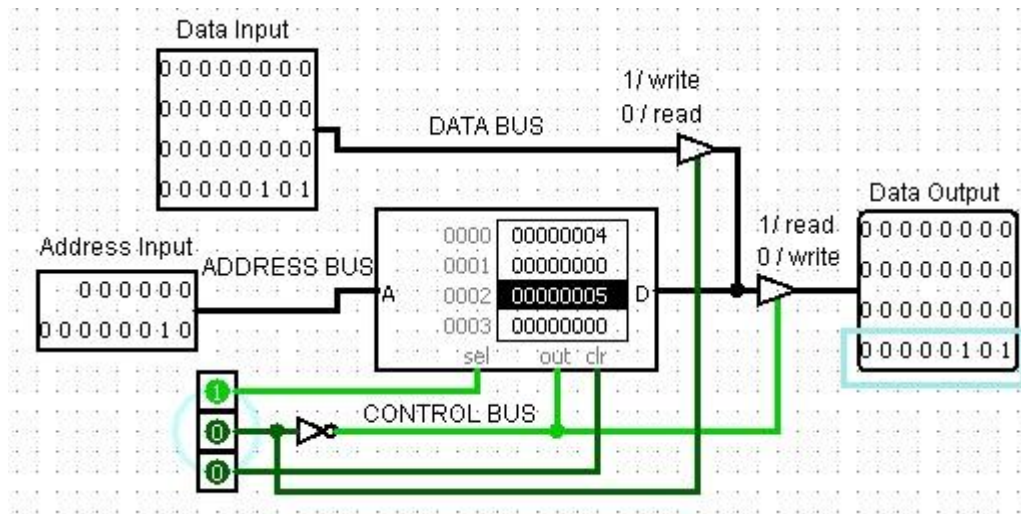
por lo que en la siguiente imagen está habilitado el modo escritura.



- b) Ingresamos una dirección en donde se desea guardar un dato. Por ejemplo almacenar el número 5 (se ingresa en "data input") en la dirección 2 (se ingresa en "address input").



c) Para mostrar el número almacenado, solamente se activa el modo lectura (read = 1), y el número se mostrara en "data output".



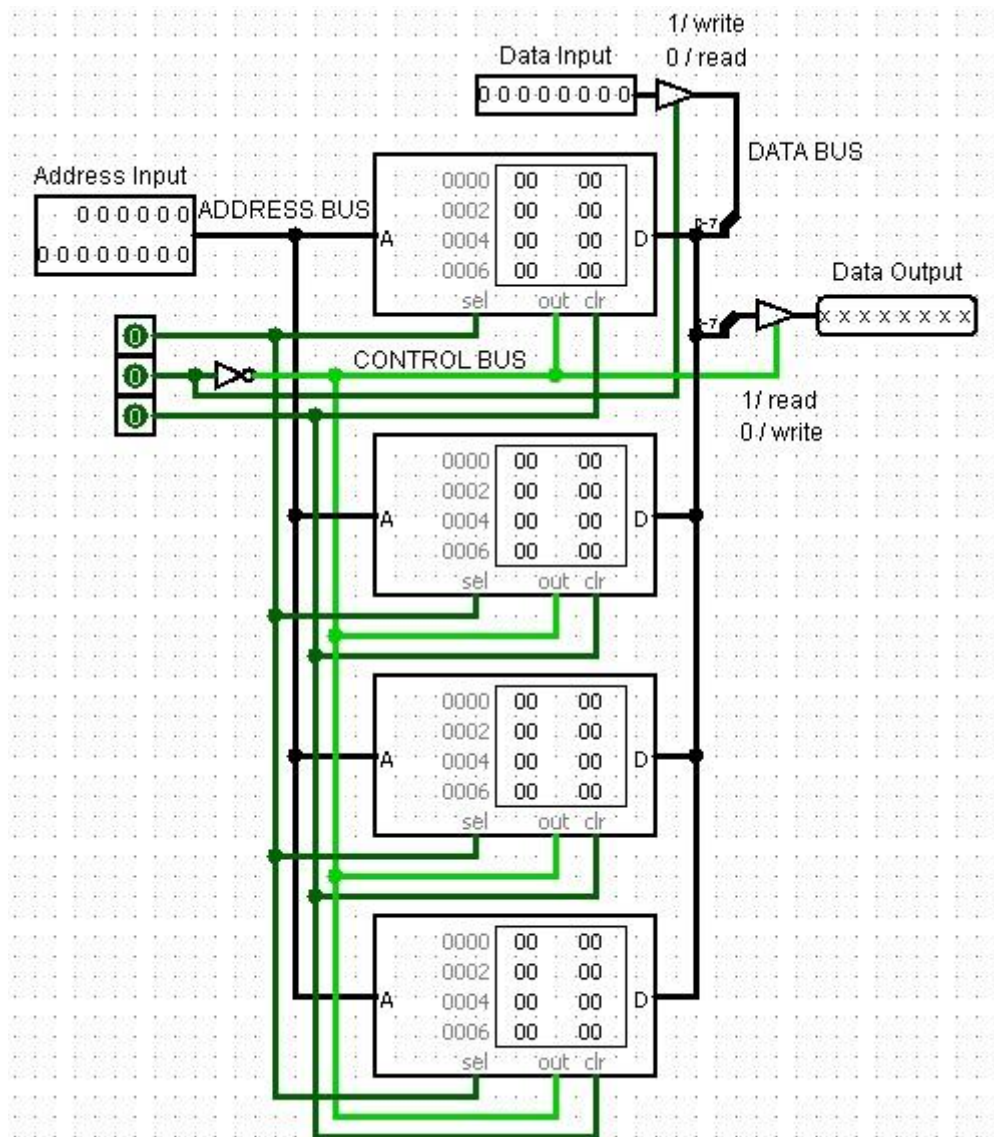
Nota: se agregaron dos buffers triestado en los ductos de datos al ingresar y mostrar información a la memoria, esto para un mejor desempeño y evitar errores futuros. Además se incorporo una compuerta NOT para poder habilitar el modo read/write de la memoria y el ingresar y mostrar datos con solo un interruptor.

3. Considerando la existencia de sólo memorias RAM de tamaño Y (indicado por el instructor), diseñe y simule su propuesta de solución que permita tener funcionalmente una sección de memoria de tamaño X.

Tamaño Y: 8 bits

Tamaño X: 12k

16K x 8



Conclusiones y comentarios

Al realizar esta práctica aprendí a utilizar memorias RAM en logisim, calcular los tamaños de estas (para direcciones y ductos) al igual como unir más de dos memorias para aumentar el tamaño de datos así como implementar buffers triestados en los ductos de datos.

Morales Rosales Iván

El desarrollo de esta práctica estuvo entretenido, tuve ciertas dificultades para recordar algunas cosas simples como el tamaño que debe tener el buffer al ponerlo en logisim y el de el bus de direcciones, fueron cosas muy simples que me costaron recordar porque hace semestres atrás curse circuitos digitales avanzados y no tenia esos conocimientos muy frescos.

Gutierrez Almada Luis Enrique

Dificultades en el desarrollo

Mi problema fue como evitar un problema en los ductos de datos, al momento de unir las 4 memorias RAM, para esto investigue y encontré que se puede emplear buffers triestados y splitters, lo cual soluciono un problema al que tenía al momento de ingresar datos en la memoria.

Morales Rosales Iván

Tuve algunas dificultades para entender logisim, ya lo había utilizado antes pero para el desarrollo de esta práctica tuvimos que usar herramientas que no había utilizado antes.

Gutierrez Almada Luis Enrique

Referencias

Sergio Echart. (18 marzo, 2018). Que es el Cache L1, L2 y L3 en los Procesadores ?. 12 noviembre, 2018, de Uruguay OC Sitio web: <https://uruguayoc.com/2018/03/18/que-es-el-cache-l1-l2-y-l3-en-los-procesadores/>

David Dunning. (2009). Tipos de RAM: estática y dinámica. 2012, de Techlandia Sitio web: https://techlandia.com/tipos-ram-estatica-dinamica-info_290309/