



UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

Facultad de Ciencias Químicas e Ingeniería

Materia: Microprocesadores y Microcontroladores

Practica 5 Interrupciones temporizadas y E/S mapeada a memoria

Docente:

García López Jesús Adán

Alumno:

Morales Rosales Iván A. 1231098

Teoría sobre los vectores de interrupción 08h y 1Ch de la PC

Una interrupción es una llamada generada por el hardware (derivada en el exterior por una señal de hardware) o una llamada generada por el software (derivada en el interior por una instrucción).

Cualquiera de ellas interrumpirá el programa porque llamará a una rutina de servicio de interrupción RSI.

Una interrupción es un evento que interrumpe la operación normal del procesador.

Un vector de interrupción es un numero de 4 bytes que contiene la dirección (valores de IP y de CS) de una **Rutina de Servicio de Interrupción** RSI (*ISR Interrupt Service Routine*). Hay 256 vectores de interrupción diferentes, cada uno de los cuales contiene la dirección de la ISR que se va a invocar cuando ocurra la interrupción correspondiente. Los vectores de interrupción se almacenan en los primeros 1024 bytes de memoria.

Una **Rutina de Servicio de Interrupción** es un procedimiento que será invocado en el momento en que ocurra la interrupción.

Una diferencia entre una ISR y un procedimiento *normal*, es que la ISR termina con una instrucción **IRET** en lugar de la instrucción RET que se utiliza en los procedimientos.

IRET:

Diferente a la instrucción de retorno simple (RET), la instrucción IRET:

1. Saca un dato de la pila para IP.
2. Saca un dato de la pila para CS.
3. Saca un dato de la pila para el registro de banderas.

Los pasos que realiza la CPU cuando un programa invoca a la instrucción INT:

- **Paso 1:** el operando de la instrucción INT se multiplica por 4 para localizar la entrada en la tabla con el vector de interrupción correspondiente.
- **Paso 2:** la CPU mete las banderas y una dirección de retorno de segmento/desplazamiento de 32 bits en la pila, deshabilita las interrupciones de hardware, y ejecuta una llamada lejana a la dirección almacenada en la ubicación $(10h * 4)$ en la tabla de vectores de interrupción (F000:F065).
- **Paso 3:** el manejador de interrupciones en F000:F065 se ejecuta hasta llegar a una instrucción IRET.

Paso 4: la instrucción IRET (retorno de interrupción) saca las banderas y la dirección de retorno de la pila, lo cual provoca que el procesador continúe la ejecución justo después de la instrucción INT 10h, en el programa que hizo la llamada.

INT 1Ch (Interrupción de temporizador del usuario). Un procedimiento vacío que se ejecuta 18.2 veces por segundo.

Comentarios y Conclusiones

En esta práctica no puede implementar la parte de la p2, que es mostrar la fecha junto con el reloj. Durante el cableado tuve problemas con unas compuertas que se solucionó reemplazándolas.

En la parte del código, solo batallé en saber como realizar el cast y agregar la dirección de desplazamiento en la función pokeW.

Bibliografía

Interrupciones. Leocundo Aguilar PDF.