

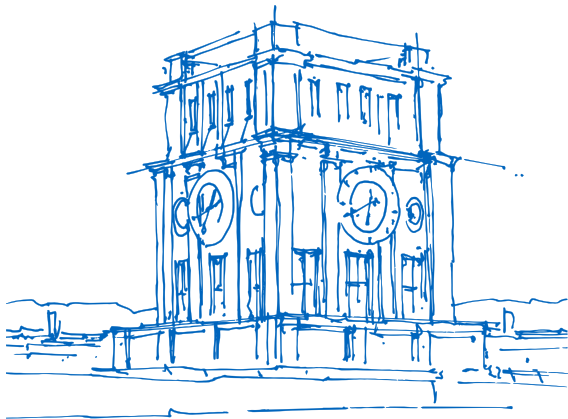
Übung 09: RISC-V Multicycle Prozessor

Einführung in die Rechnerarchitektur

Michael Morandell

School of Computation, Information and Technology
Technische Universität München

16. – 22. Dezember 2024



Montags:

<https://zulip.in.tum.de/#narrow/stream/2668-ERA-Tutorium—Mo-1000-4>



Donnerstags:

<https://zulip.in.tum.de/#narrow/stream/2657-ERA-Tutorium—Do-1200-2>



Website: <https://home.in.tum.de/momi/era/>

Keine Garantie für die Richtigkeit der Tutorfolien.
Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien recht!

- Quiz
- Wiederholung
- Tutorblatt
 - ☐ Pattern Recognizer
 - ☐ Bahnübergang
 - ☐ Prozessor Performance
 - ☐ Prozessorerweiterung

Zitat der Woche

„Nur mal so fürs Protokoll, ich glaub ich würde unsere eigene Klausur auch nicht bestehen“

– Prof. Dr. Robert Wille (Musterschüler)

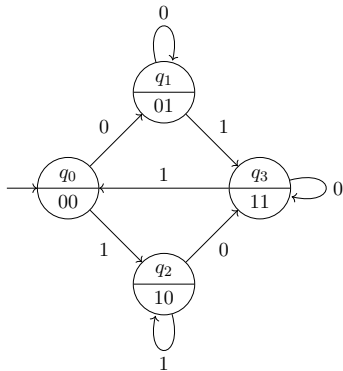
Quelle: [Vorlesung: RISC-V Schaltbild \(Single-Cycle\) \(tum.live\)](#)

Endliche Automaten

- Repräsentiert Funktion einer sequentiellen Schaltung (sequentiell: zustandsabhängig)
- Mathematische Beschreibung als 6-Tupel $(I, O, S, s_0, \delta, \lambda)$:
 - ☐ I : Menge möglicher Eingaben
 - ☐ O : Menge möglicher Ausgaben
 - ☐ S : Zustandsmenge
 - ☐ s_0 : Startzustand
 - ☐ $\delta : S \times I \rightarrow S$: Zustandsübergangsfunktion
 - ☐ $\lambda : S \rightarrow O$ (Moore), $\lambda : S \times I \rightarrow O$ (Mealy): Ausgabefunktion
- Als Diagramm:
 - ☐ Zustände \rightarrow Kreise
 - ☐ Übergänge \rightarrow Kanten
 - ☐ Bedingungen \rightarrow Kantenbeschriftungen

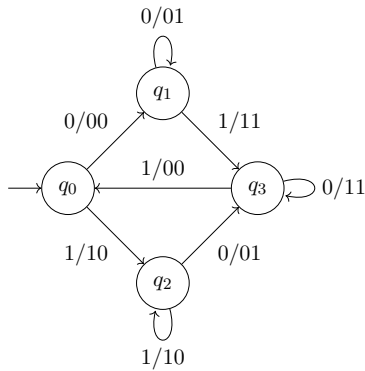
Moore-Automat

Ausgabe abhängig von aktuellem Zustand



Mealy-Automat

Ausgabe abhängig von aktuellem Zustand + Eingabe



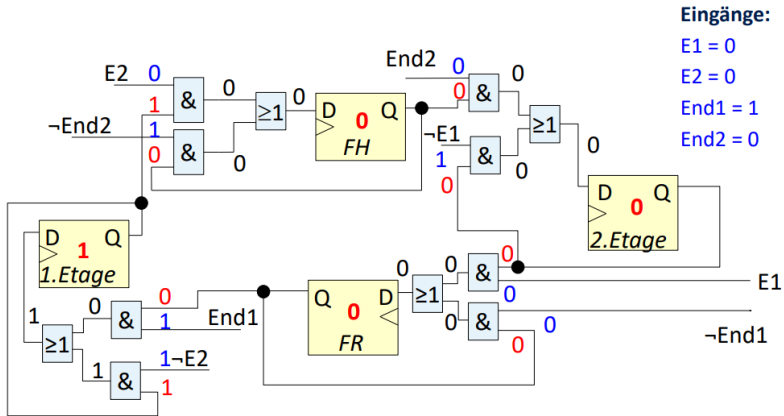
$$I = \{0, 1\}, O = \{00, 01, 10, 11\}, S = \{q_0, q_1, q_2, q_3\}, \delta, \lambda \text{ (abh. vom Typen)}$$

Endliche Automaten: Implementierung

- One-Hot-Kodierung: Genau 1 FF ist auf 1 \rightarrow aktueller Zustand
 - Kann direkt aus Automat umgesetzt werden, wird schnell unübersichtlich (viele Gatter)
- Binärkodierung: FFs zusammen bilden Binärzahl des aktuellen Zustands
 - Spart Gatter, ursprüngliche Funktionalität nicht mehr trivial am Schaltkreis ablesbar
- Mikroprogrammierte Steuerwerke: Ein Speicherbaustein enthält vollständigen Automaten, Eingaben werden als Adressen interpretiert.
 - Sehr flexibel

Zustand	One-Hot-Enkodierung	Binärkodierung
S_0	0001	00
S_1	0010	01
S_2	0100	10
S_3	1000	11

One-Hot-Kodierung



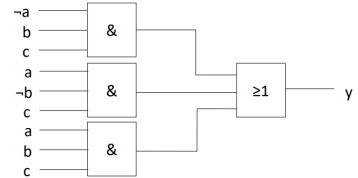
(Quelle: Vorlesungsmaterialien ERA)

Zustandskodierung:

	Z1	Z0
1.Etage	0	0
Fahre hoch	0	1
2.Etage	1	0
Fahre runter	1	1

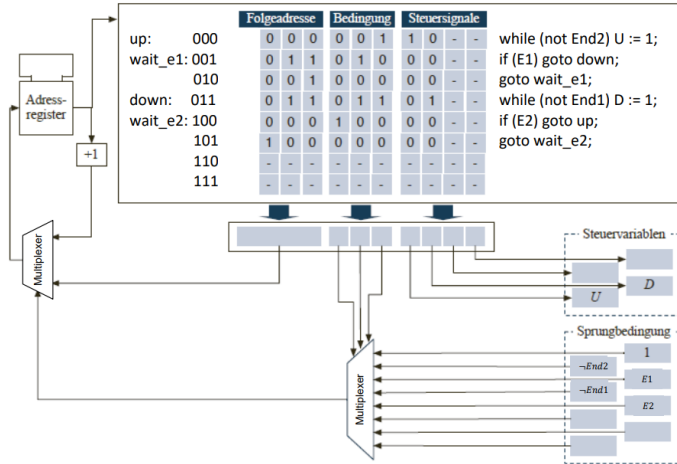
Eingänge						Ausgänge			
Zustand		Steuereingänge				Folgezustand		Ausgabe	
Z1	Z0	E1	E2	End1	End2	Z1'	Z0'	D	U
0	0	X	0	X	X	0	0	0	0
0	0	X	1	X	X	0	1	0	1
0	1	X	X	X	0	0	1	0	1
0	1	X	X	X	1	1	0	0	0
1	0	0	X	X	X	1	0	0	0
1	0	1	X	X	X	1	1	1	0
1	1	X	X	0	X	1	1	1	0
1	1	X	X	1	X	0	0	0	0

a	b	c	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1



(Quelle: Vorlesungsmaterialien ERA)

Mikroprogrammierte Steuerwerke (Adressmodifizierend)

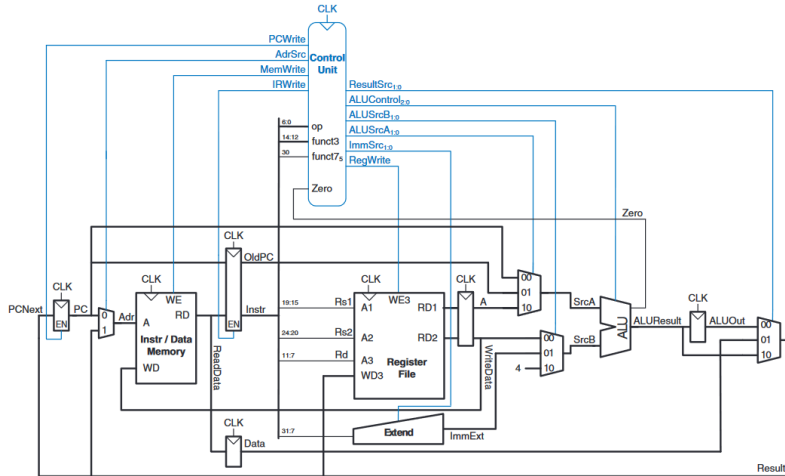


(Quelle: Vorlesungsmaterialien ERA)

- Aufteilung einer Instruktion in mehrere Schritte
- kürzere kritische Pfade in den einzelnen Teilschritten → höhere Taktfrequenz möglich
- allerdings benötigt eine Instruktion jetzt auch mehrere Taktzyklen!
- komplexeres Steuerwerk, da Zustandsautomat umgesetzt werden muss

In der Praxis haben sich Multi-Cycle-Prozessoren nicht durchgesetzt!

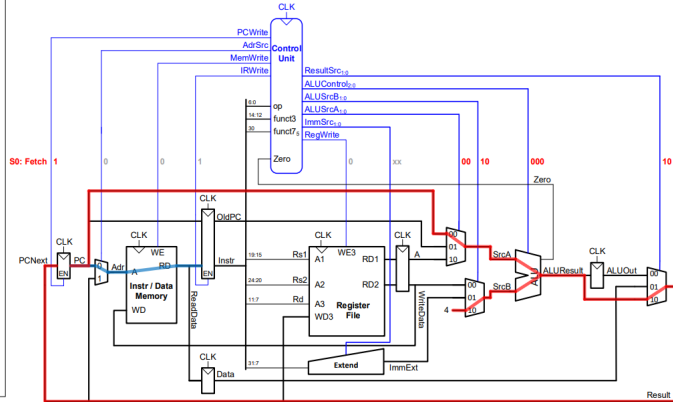
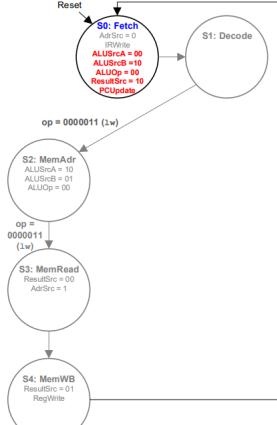
RISC-V Multi-Cycle-Prozessor: Schaltbild



(Quelle: Vorlesungsmaterialien ERA)

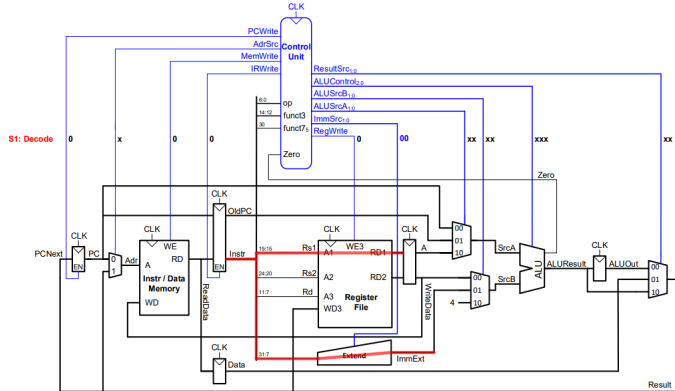
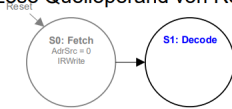
Sequentielle Control Unit: Beispiel lw - S0: Fetch

Fetch Instruction und PC erhöhen



(Quelle: Vorlesungsmaterialien ERA)

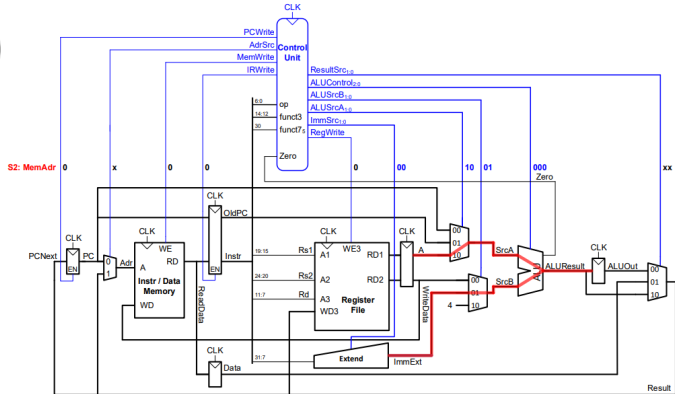
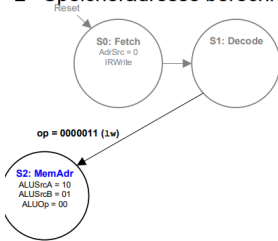
■ Lese Quelloperand von Registerbank und erweitere Immediate



(Quelle: Vorlesungsmaterialien ERA)

Sequentielle Control Unit: Beispiel lw - S2: MemAdr

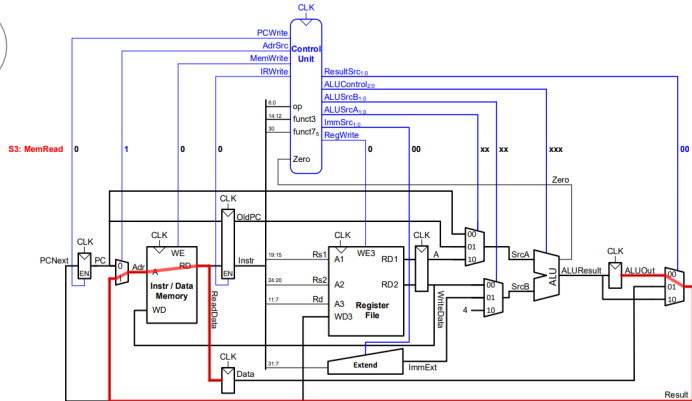
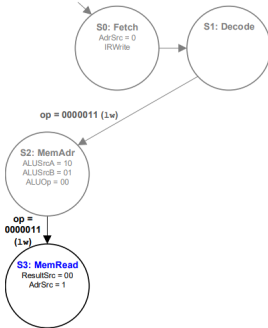
■ Speicheradresse berechnen



(Quelle: Vorlesungsmaterialien ERA)

Sequentielle Control Unit: Beispiel lw - S3: MemRead

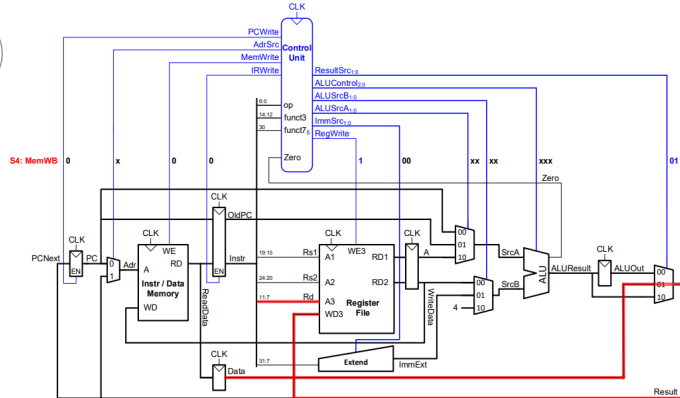
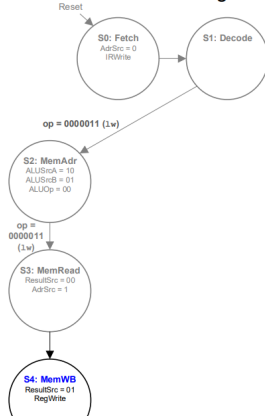
■ Lade Wert aus Speicher



(Quelle: Vorlesungsmaterialien ERA)

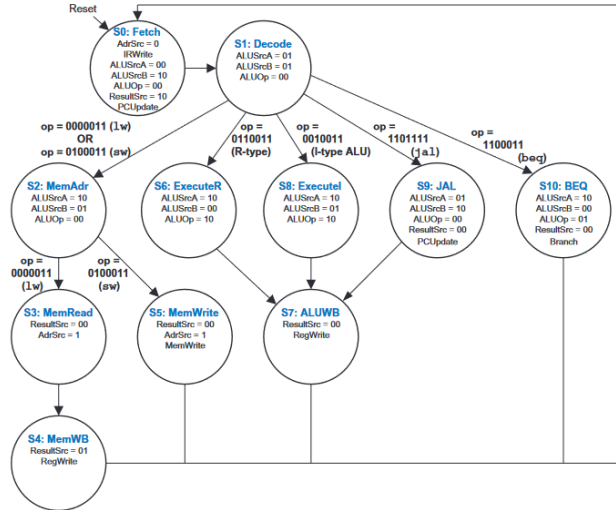
Sequentielle Control Unit: Beispiel lw - S4: MemWB

■ Schreibe Wert in Registerbank



(Quelle: Vorlesungsmaterialien ERA)

RISC-V Multi-Cycle-Prozessor: Zustandsautomat





<https://tinyurl.com/era-tut>

Ein Teil der Folien stammt aus dem Foliensatz von Niklas Ladurner. Vielen Dank dafür!