

113 學年度

國立中山大學

課程名稱：算數處理器與實作

題目：Design of IEEE-
754 Single-Precision
Floating-Point Fused
Multiply-Add (FMA)

作業/成果報告/專題

授課教師：蕭勝夫

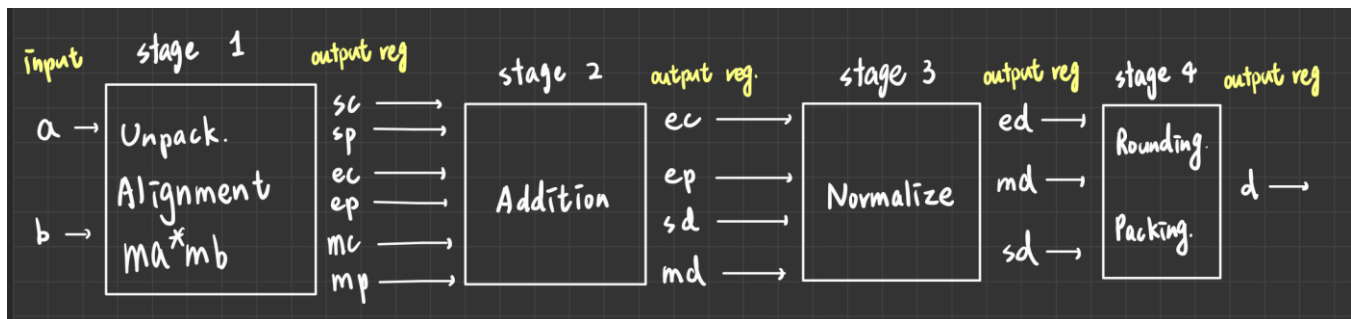
學生學號/班級/姓名：

B103040021/114 資工/謝鎧駿

一、數據比較表格

		Area (um ²)			Delay (ns)	Latency (ns)	Power (W)		
		CL	SL	Total			dynamic	leakage	total
FXP_FMA	area	972.207385	0	972.207385	2.26437	2.26437	529.4857	295.9878	825.4735
	mid	1048.152985	0	1048.152985	1.3468135	1.3468135	968.4985	750.9813	
	delay	1570.700189	0	1570.700189	0.429257	0.429257	5.0307	1.4067	6.4374
FLP_FMA	area	1766.603562	0	1766.603562	2.799685	2.799685	833.437	1.2591	834.6961
	mid	1908.385964	0	1908.385964	1.8796885	1.8796885	1.3098	1.3242	2.634
	delay	2756.021814	0	2756.021814	0.959692	0.959692	3.7277	2.3346	6.0623
FLP_FMA_4	area	1842.289968	336.441612	2178.731580	2.136352	8.545408	1.1885	1.3895	2.578
	mid	2039.955885	336.441612	2376.397497	1.2213505	4.885402	2.1851	1.6723	3.8574
	delay	2399.932850	336.441612	2736.374462	0.306349	1.225396	8.7164	2.2021	10.9185

二、架構圖



Pipeline 位置：

Stage1:Unpack, Alignment, ma*mb

Stage2:Fixed-point Addition

Stage3:Normalization

Stage4:Rounding and Packing

Pipeline delay：

Between：

Stage1:1.2

Stage2:1.21

Stage3:1.11

Stage4:0.82

Area：

Stage1:1.54

Stage2:2.12

Stage3:1.11

Stage4:0.85

Delay :

Stage1:0.31

Stage2:0.31

Stage3:0.31

Stage4:0.29

Critical path : Stage2

三、設計說明

我都是直接讀 ab+c.txt 去驗證答案

但 Special case 我沒有全部處理完，15 個 case 中有 5 個沒有處理完

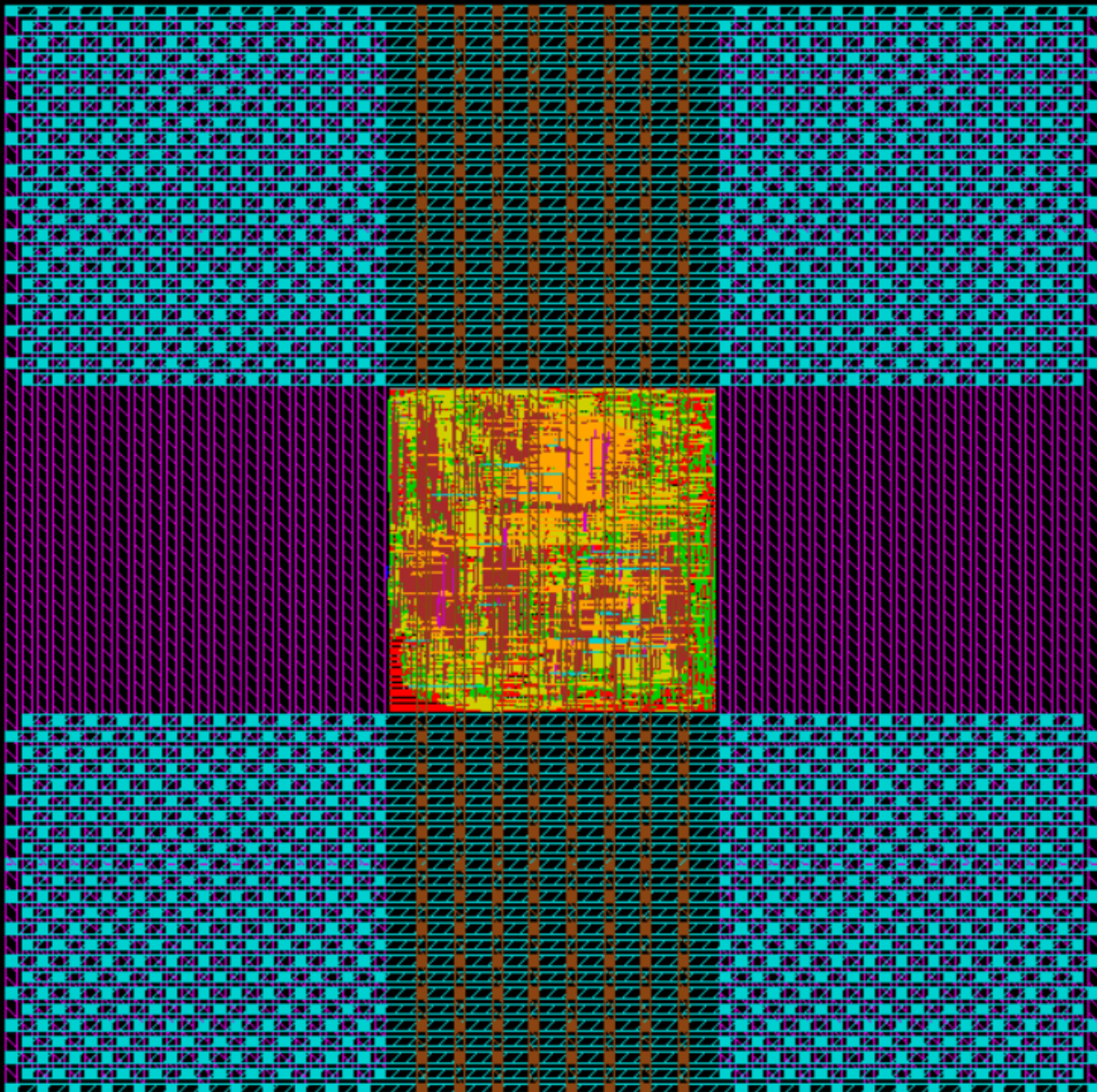
首先處理了 Nan 的 case，我認為 Nan 的 case 比較好處理，處理方法為，只要 a, b, c 任一數為 Nan 則輸出為 Nan。

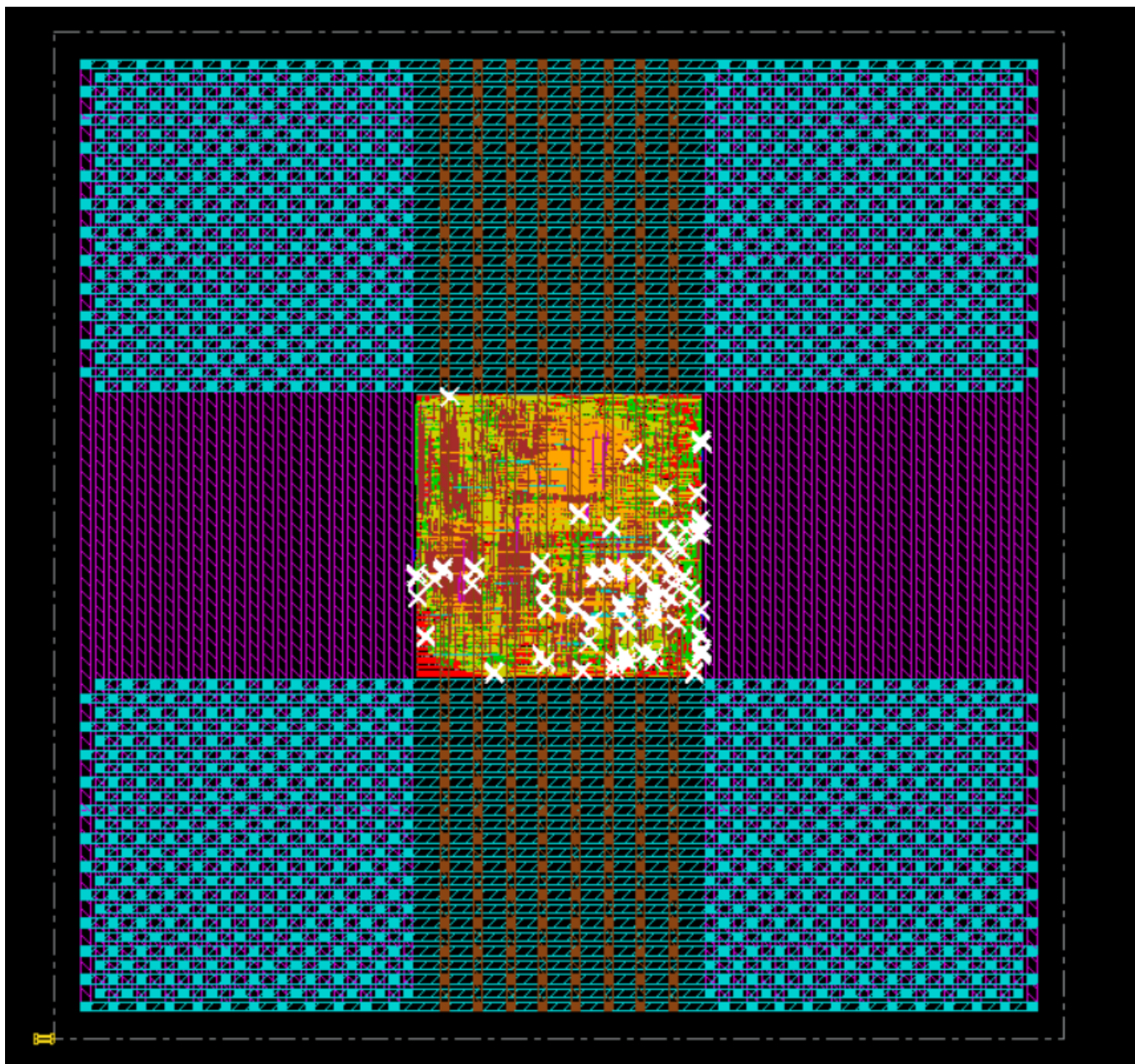
接著處理 zero 的 case，分別用三個 flag 去代表 a, b, c 是否為 zero，若 a, b, c 皆為 zero，則輸出為 zero。

最後處理了 inf 的 case，當中也處理了 overflow 跟 underflow 的 case，inf 比較麻煩事還需要看 sign bit 去表示為+inf 或-inf，而 inf 乘上 0 還會變 Nan，此時輸出為 Nan；或是 inf-inf 也會變 Nan，輸出也是 Nan，最後就是+inf+inf, +inf, -inf，這些 case 輸出就是自己本身。

四、APR

APR 有點慘，跑的過程中錯誤滿天飛，跑到後來甚至被打叉叉，而且結果跟助教的差很多，所以也沒有 highlight module 了。





五、心得

這次的作業難度跟 HW1 比真的是天差地遠，從 MFA 如何 shift 才能保留精準度，到跑 APR，尤其是 APR，只要有 error 就需要重開重跑一次，而且在 timing report 時又要跑很久，真的很花時間。