

## TP Boucle à verrouillage de phase (PLL)

### Manipulation

Ce document décrit ce qu'il faut faire pendant le TP, ce document s'appuie sur la préparation.  
Le sigle → indique les questions auxquelles vous devez répondre dans votre compte-rendu.

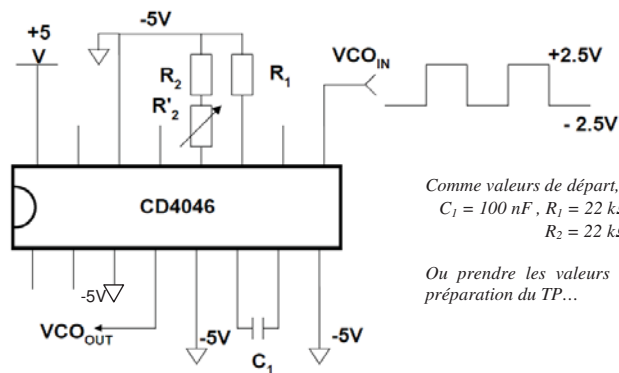
## A Démodulation FSK

### I Réalisation de la modulation FSK à partir d'un circuit 4046

Pour réaliser une démodulation FSK, il faut d'abord avoir un signal modulé en FSK. Pour cela, on va utiliser le VCO d'un circuit 4046. Pour simplifier la manipulation, le VCO du modulateur FSK possède les mêmes caractéristiques que le VCO du démodulateur FSK; ainsi on espère que le signal démodulé aura la même forme que le signal modulant.

#### a) Câblage et réglage du VCO

Câbler le schéma ci-dessous du circuit 4046 utilisé en VCO (modulateur FSK).



Comme valeurs de départ, on peut essayer  
 $C_1 = 100 \text{ nF}$ ,  $R_1 = 22 \text{ k}\Omega$  (ou  $27 \text{ k}\Omega$ ...),  
 $R_2 = 22 \text{ k}\Omega$  et  $R'_1 = 10 \text{ k}\Omega$

Ou prendre les valeurs calculées dans la préparation du TP...

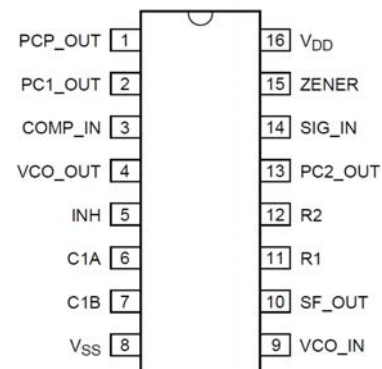
Le signal modulant est appliqué à l'entrée (9) VCO<sub>IN</sub>,  
le signal modulé en FSK est pris à la sortie (4) VCO<sub>OUT</sub>.

La patte 5 (INHibit) doit être connectée à V<sub>SS</sub>.

Si la sortie SF\_OUT (patte 10) est utilisée, il doit y avoir une résistance de  $10 \text{ k}\Omega$  entre SF\_OUT et V<sub>SS</sub>.

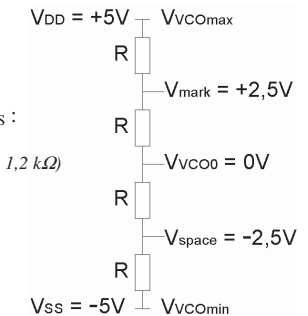
Les entrées (pas les sorties...) non utilisées doivent être connectées soit à V<sub>SS</sub> soit à V<sub>DD</sub>.

Les sorties (pas les entrées...) non utilisées (dont la patte 15) doivent être laissées "en l'air".



Pour régler le VCO, on créera un pont diviseur  
à 4 résistances identiques en série entre V<sub>DD</sub> et V<sub>SS</sub> :

(par exemple  $R = 1,2 \text{ k}\Omega$ )



Ainsi, en appliquant les différentes valeurs de V<sub>VCOin</sub>, on vérifie (avec un fréquencemètre par exemple) que l'on mesure à peu près les valeurs théoriques rappelées sur le tableau ci-dessous de F<sub>VCOout</sub>.

Sinon il faut ajuster les valeurs de R<sub>1</sub> et R<sub>2</sub> :

Par exemple, si l'écart ( $F_{\text{mark}} - F_{\text{space}}$ ) est très éloigné de la valeur attendue (400 Hz), on pourra éventuellement réajuster R<sub>1</sub> (on rappelle que l'écart devrait augmenter quand R<sub>1</sub> diminue).

Une fois le réglage effectué, donner les valeurs expérimentales que vous avez pour

→  $C_1 =$   $R_1 =$   $R_2 =$   
→ et remplir le tableau suivant (avec les valeurs expérimentales de C<sub>1</sub>, R<sub>1</sub> et C<sub>2</sub>) :

V <sub>VCOin</sub> (V)	F <sub>VCOout</sub> théoriques (Hz)	F <sub>VCOout</sub> mesurées (Hz)
V <sub>SS</sub> = -5 V	F <sub>VCOmin</sub> = 600	
V <sub>space</sub> = -2,5 V	F <sub>space</sub> = 800	
V <sub>VCO0</sub> = 0 V	F <sub>VCO0</sub> = 1000	
V <sub>mark</sub> = +2,5 V	F <sub>mark</sub> = 1200	
V <sub>DD</sub> = +5V	F <sub>VCOmax</sub> = 1400	

#### b) Création du signal FSK

Une fois le réglage du VCO effectué, on règle le GBF pour avoir un signal carré de rapport cyclique 50% avec un niveau haut V<sub>mark</sub> = +2,5 V, un niveau bas V<sub>space</sub> = -2,5 V et une fréquence de modulation f<sub>MOD</sub> ≈ 100 Hz pour simuler une transmission de 0 et de 1 alternés à ≈ 200 bauds.

Puis on applique le signal issu du GBF à l'entrée VCO<sub>IN</sub> du modulateur FSK.

Visualisez à l'oscilloscope le signal modulé en FSK (ajuster la fréquence f<sub>MOD</sub> et la synchronisation de l'oscilloscope pour un affichage "confortable").

→ Tracer schématiquement le chronogramme obtenu.

## II Réalisation de la démodulation FSK à partir d'un deuxième circuit 4046

### a) Câblage et réglage du VCO du démodulateur FSK

Câbler le VCO d'un 2<sup>ème</sup> circuit 4046 (qui servira de démodulateur FSK) de la même façon que le VCO du modulateur FSK (1<sup>er</sup> circuit 4046, section précédente). Ajuster si nécessaire pour obtenir (à peu près) la même caractéristique.

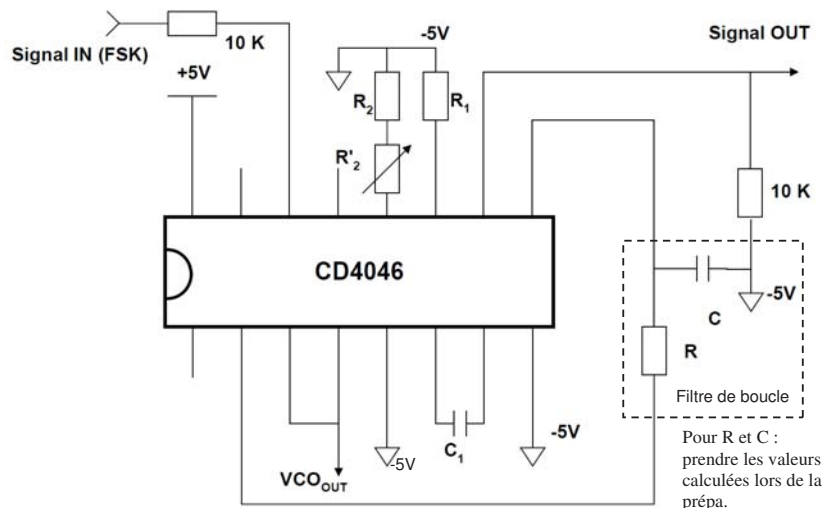
→ Remplir le même tableau qu'à la question A1a).

→ Si les valeurs mesurées après réglage sont très différentes des valeurs théoriques, il conviendra alors de recalculer les valeurs de  $K_0$ ,  $\Delta F_{PL}$ ,  $f_{cn}$ , etc... surtout la valeur du produit RC du filtre de boucle  $H(j\omega)$  de type "un pôle" afin que la boucle PLL reste stable...

**ATTENTION** : vérifier que les 4046 du modulateur et du démodulateur sont de même série et du même constructeur...

### b) Câblage et test de la PLL du démodulateur FSK

Une fois le réglage du VCO du démodulateur FSK effectué, câbler le reste du 2<sup>ème</sup> circuit 4046 en PLL en y incluant le VCO afin de créer le démodulateur FSK :



#### Test de la PLL :

- Appliquer à l'entrée "SIGNAL IN" un signal carré de rapport cyclique 50% avec un niveau haut = +2,5 V, un niveau bas = -2,5 V et une fréquence constante qui théoriquement peut prendre des valeurs allant de 600 Hz à 1400 Hz (commencer à 1000 Hz).
- Visualiser à l'oscilloscope le signal d'entrée "SIGNAL IN" et le signal de sortie du VCO "VCO\_OUT".

Si la PLL accroche correctement, la fréquence de "VCO\_OUT" suit la fréquence de "SIGNAL IN".

→ Compléter le tableau suivant, comparer les valeurs mesurées avec les valeurs théoriques, commenter.

$F_{\text{SIGNAL IN}}$ (Hz)	$F_{\text{VCO}}$ (Hz)	$\epsilon\phi$ théorique	$\epsilon\phi$ mesurée
$F_{\text{VCOmin}} = 600$			
$F_{\text{space}} = 800$			
$F_{\text{VCO0}} = 1000$			
$F_{\text{mark}} = 1200$			
$F_{\text{VCOmax}} = 1400$			

Vous pouvez aussi faire varier le rapport cyclique du signal SIGNAL IN à  $F_{\text{VCO0}}$  afin de voir l'influence de ce rapport cyclique sur l'erreur de phase  $\epsilon\phi$  comme vu en TD.

→ Mesurer la plage d'asservissement statique  $\Delta F_{PL}$  et la plage de capture  $\Delta F_{PC}$  ; indiquer comment vous avez procédé à ces deux mesures, comparer aux valeurs théoriques.

→ Visualisez et mesurez le signal de commande du VCO ( $V_{\text{VCO}}$ , patte 9) quand la PLL est accrochée aux fréquences  $F_{\text{space}}$ ,  $F_{\text{VCO0}}$  et  $F_{\text{mark}}$ . Comparer aux valeurs théoriques, commenter.

→ Comment sont les signaux PC1\_OUT,  $V_{\text{VCO}}$  et la fréquence  $F_{\text{VCO}}$  quand la PLL est décrochée.

### c) Câblage et test de la démodulation FSK

Connecter la sortie "VCO\_OUT" du 1<sup>er</sup> VCO (celui du modulateur FSK, le 1<sup>er</sup> 4046) à l'entrée "SIGNAL IN" de la PLL (celle du démodulateur FSK, le 2<sup>ème</sup> 4046).

Appliquer à l'entrée "VCO\_IN" du 1<sup>er</sup> VCO, un signal carré de rapport cyclique 50% avec un niveau haut  $V_{\text{mark}} = +2,5$  V, un niveau bas  $V_{\text{space}} = -2,5$  V et une fréquence ( $f_{\text{MOD}}$ ) de quelques dizaines d'hertz.

→ Préciser où est la sortie démodulée sur le démodulateur.

Visualiser à l'oscilloscope le signal "VCO\_IN" du 1<sup>er</sup> VCO et le signal démodulé de sortie du démodulateur. Régler l'oscilloscope et ajuster la fréquence de modulation  $f_{\text{MOD}}$  pour avoir un affichage "confortable".

→ Tracer les chronogrammes et commenter (déphasage, temps de réponse, coefficient d'amortissement, ondulation résiduelle, etc...).

Augmenter  $f_{\text{MOD}}$  (augmentation du débit binaire en bauds) jusqu'à pouvoir :

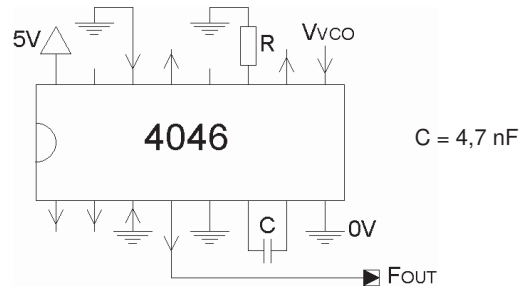
→ Mesurer le débit maximum  $D_{\text{max}}$  admissible pour ce démodulateur FSK. Comparer à la valeur théorique, commenter.

## B Multiplication de fréquence

**Rappel** : le 4046 est maintenant alimenté en 0 V / +5 V .

### a) Câblage et réglage du VCO

Câbler le schéma ci-dessous du circuit 4046 utilisé en VCO.



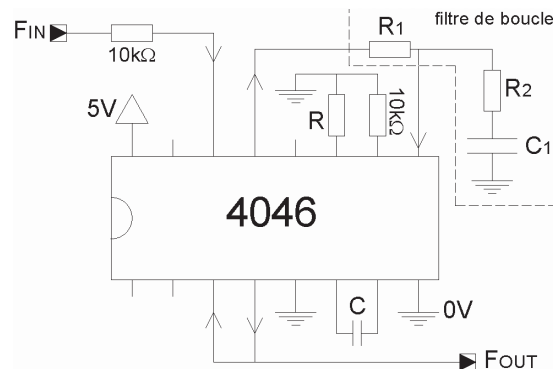
Régler le VCO :

- Imposer  $V_{VCO} = 2,5$  V puis régler la résistance R en partant de la valeur calculée dans la préparation (utiliser un potentiomètre si nécessaire) pour avoir  $F_{OUT} = F_{VCO} = 20$  kHz.
- Vérifier que pour  $V_{VCO} = 5$  V, on a  $F_{OUT} = 40$  kHz.
- Vérifiez que pour  $V_{VCO} \rightarrow 0$  V, on a  $F_{OUT} \rightarrow 0$  Hz.

→ Indiquer les valeurs obtenues pour R et pour  $F_{VCO}$ .

### b) Câblage et test de la PLL

Compléter le montage du 4046 pour câbler la PLL sans le diviseur de fréquence :



Pour  $R_1$  et  $R_2$ , prendre les valeurs calculées dans la préparation avec  $C_1 = 1$  μF.

Sinon :  $R_1 = 27$  kΩ  
 $R_2 = 4,7$  kΩ  
 $C_1 = 1$  μF.

Tester la PLL :

- Injecter en  $F_{IN}$  un signal carré (0 V / 5 V, rapport cycle 50%) à 20 kHz
- Vérifier que la PLL accroche et que  $F_{OUT} = 20$  kHz.

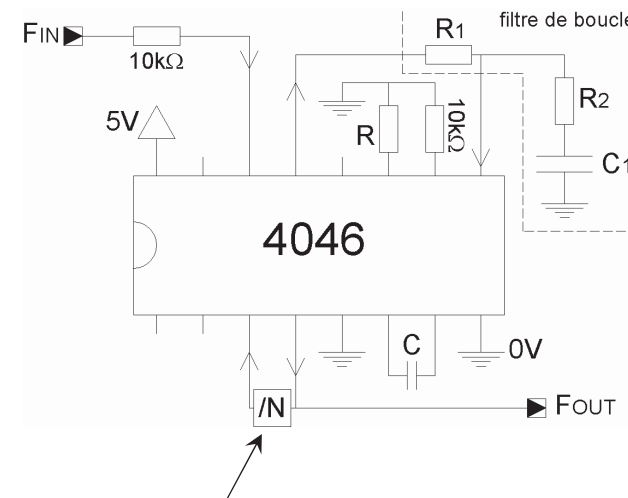
→ Mesurer  $\Delta F_{PL}$  et  $\Delta F_{PC}$  en faisant varier  $F_{IN}$  .

→ Mesurer l'erreur de phase (entre les deux entrées du comparateur de phase) quand la PLL est accrochée à 10 kHz, 20 kHz, 30 kHz. Commenter.

→ Comment sont les signaux PC2\_OUT ,  $V_{VCO}$  et la fréquence  $F_{VCO}$  quand la PLL est décrochée.

### c) Câblage et test du multiplicateur de fréquence

Compléter le montage en insérant le diviseur de fréquence (/N) afin d'obtenir le multiplicateur de fréquence :



Le diviseur de fréquence (/N) est obtenu avec un circuit 4018 dont le câblage est :

Connecter *data* à  $Q_i$  selon le taux N souhaité (2 4 6 8 10).

Toutes les entrées du 4018 doivent connectées quelque soit la valeur N :

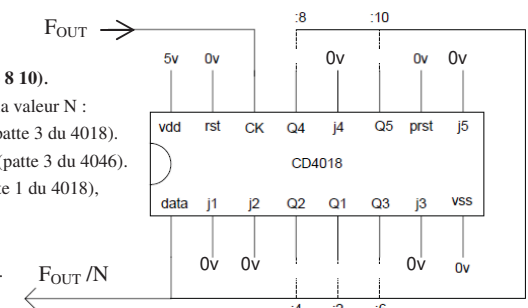
$F_{OUT}$  (patte 4 du 4046) est connectée en permanence à CK (patte 3 du 4018).

Data (patte 1 du 4018) est connectée en permanence à  $CP_{IN}$  (patte 3 du 4046).

Utiliser un fil connecté d'un côté de manière fixe à data (patte 1 du 4018), de l'autre côté de manière variable à un  $Q_i$  .

**Pour N = 1** : laisser data connectée à un  $Q_i$  et

déconnecter  $CP_{IN}$  de data pour la connecter à  $F_{OUT}$ ...



Tester le circuit complet du multiplicateur de fréquence (il faut bien s'assurer que  $F_{IN}$  est dans les plages  $\Delta F_{PC}$  et  $\Delta F_{PC}$  dont les valeurs dépendent de  $N...$ ).

→ Compléter le tableau suivant en indiquant quelle valeur à donner à  $F_{IN}$  pour avoir  **$F_{OUT} = 20 \text{ kHz}$**  en fonction des différentes valeurs de  $N$  et si le multiplicateur a passé le test avec succès.

N	$F_{IN}$	Test (OUI, NON, pas fait)
1		
2		
4		
6		
8		
10		

A la fin de la séance, décâbler et **RANGER CORRECTEMENT** le matériel, les câbles, les composants etc... En quittant la salle de TP, laisser un établi propre et rangé. MERCI ☺.