

## **הפקולטה להנדסה**

המחלקה להנדסת חשמל ואלקטרוניקה

# **תכנון וIMPLEMENTATION מאיצ' חומרתי ל-FFT על גבי רכיב FPGA**

פרויקט גמר המהווה חלק מהדרישות לתואר B.Sc.

**אביעד תורתי מוגש ע"י:**

**משה גבעון**

**מר יוסף ברנשטיין מרצה הקורס:**

**מר עמנואל בנדר מנהה אקדמי:**

[חודש ו שנה עבריים]

[חודש ו שנה לעזיזים]

## תקציר

התקציר מראה את החלק הנקרה ביותר בספר.

פרויקט זה עוסק בתכנון וIMPLEMENTATION של מאיצ' חומרתי לחישוב התמרת פורייה מהירה (Fast - FFT Fourier Transform) על גבי רכיב FPGA משפחת Artix-7. האלגוריתם מממש חישוב FFT בגודל 16 נקודות בשיטת Decimation-in-Time, תוך שימוש בארכיטקטורת "חישוב במקום" (In-Place) לחיסכון במשאבי זיכרון.

המטריצה העיקרית לפרויקט היא הצורן בעיבוד אותות בזמן אמת, אשר במערכות סטנדרטיים (CPU) מוגבל עקב ביצוע סדרתי של פקודות. המערכת שתוכננה מנצלת את היכולות המקבילות של ה-FPGA כדי לבצע פעולות זיכרון וחישוב אריומטי בו-זמןית.

המערכת נכתבה בשפת VHDL וכן בCTRL (Controller), יחידת חישוב פרפר (Butterfly Unit) אריומטית בשיטת נקודת קבועה (Fixed Point), וזיכרון RAM כפול-פורטים (Dual Port). תהליך הפיתוח כלל אוטומציה באמצעות סקריפטים (Tcl) ווירifikasiציה מול מודל Python. התוצאות הראו דיוק גובה וזמן חישוב דטרמיניסטי.

## **הכרת תודה**

ברצוננו להביע תודה והערכתה למנהל הפרויקט, מר **עמנואל בנדור**, על ההכוונה המקצועית, הسانנות והתמיכת אורך כל הדרך. תודה למרצה הקורס, מר **יוסף ברנסטיין**, על הידע והכלים שהוקנו לנו במהלך הלימודים. תודה מיוחדת למשפחהינו על התמיכה והיעידות.

## **תוכן העניינים**

**1**

**תקציר**

**7**

**1 מבוא**

7 .....

1.1 רקע כללי .....

7 .....

1.2 הוצרך (The Gap)

**7**

**2 מטרת הפROYKT**

7 .....

2.1 הגדרת המשימה .....

7 .....

2.2 דרישות המערכת .....

**8**

**3 תיאור המערכת**

8 .....

3.1 ארכיטקטורת המודולים .....

8 .....

3.2 זרימת מידע ומכונות מצבים .....

9 .....

3.3 ניתוח השוואתי: חומרה מול תוכנה .....

**9**

**4 מימוש המערכת**

9 .....

4.1 מימוש החומרה (VHDL) .....

9 .....

4.2 אוטומציה של תהליכי הפיתוח .....

**9**

**5 ניסויים ובדיקות**

9 .....

5.1 מערכ הניסוי .....

10 .....

5.2 תוצאות הסימולציה .....

<b>10</b>	<b>6 תוצאות ומסקנות</b>
10 .....	6.1 מסקנות הפרויקט .....
10 .....	6.2 סיכום .....
<b>11</b>	<b>7 רשימות</b>
11 .....	7.1 רשימת מקורות .....
<b>12</b>	<b>A נספח א': מדריך הפעלה</b>

## **רשימת האיורים**

8	1	דיאגרמת זרימת נתונים ומכונות מצבים . . . . .
10	2	תוצאות הסימולציה ב-Waveform (Vivado) . . . . .

## **רשימת הטבלאות**

9	.....	השווות ביצועים ארכיטקטוניים .....	1
---	-------	-----------------------------------	---

# 1 מבוא

## 1.1 רקע כללי

שימוש אוטות ספורטיבי (DSP) הוא תחום ליבה בהנדסת חשמל, המשמש במערכות תקשורת, רדיו, שימוש תמונת ורפואה. הכלוי המתמטי המרכזי בתחום זה הוא התמרת פורייה (DFT). חישוב ישיר של DFT דורש סיבוכיות חישובית גבוהה של  $O(N^2)$ . אלגוריתם ה-FFT, שפותח על ידי Cooley & Tukey, מיעיל זאת ל- $O(N \log N)$ .

## 1.2 הצורך (The Gap)

על אף הייעולות האלגוריתמיות, מימוש FFT בתוכנה (על גבי CPU) סובל מוגבלת ארכיטקטונית בסיסית: **הביצוע הסדרתי**. המעבד נאלץ לבצע את שלבי הבאת הנתונים, החישוב והשמירה זה אחר זה. במערכות זמן-אמת קרייטיות, השהיוי (Latency) הנוצר בתוכנה עשוי להיות בלתי קביל. קיים צורך במערכת שמסוגלת לבצע את החישוב במקביל.

# 2 מטרת הפורייה

## 2.1 הגדרת המשימה

תכנון ובניה של ליבת קניין רוחני (IP Core) המממשת אלגוריתם FFT בחומרה, תוך הדגמת היתונות של עיבוד מקבילי על פני עיבוד סדרתי.

## 2.2 דרישות המערכת

1. חישוב FFT בגודל 16 נקודות.
2. שימוש באריתמטיקה של נקודה קבועה (Fixed Point).
3. ממשק משתמש פיזי על כרטיס 3 / Basys A7 / Nexys A7 (mpsks ונוורות).

4. זמן ביצוע דטרמיניסטי.

## 3 תיאור המערכת

### 3.1 ארכיטקטורת המודולים

המערכת בנויה באופן מודולרי. להלן תיאור הרכיבים:

- **Controller**: מנהל את סיג널י הבקרה ורץ הפעולות.
- **Address Generator**: מחשב את כתובות הזיכרון בזמן אמיתי.
- **Butterfly Unit**: מבצעת את החישוב המתמטי ( $B \cdot W \pm A$ ).
- **Dual Port RAM**: מאפשר קריאה וכתיבה מקבילית של שני נתוניים.
- **Twiddle ROM**: טבלת סינוסים וקוסינוסים.

### 3.2 זרימת מידע ומכונות מצבים

השליטה במערכת מתבצעת באמצעות שתי מכונות מצבים (FSM) מסונכרנות.



איור 1: דיאגרמת זרימת נתונים ומכונות מצבים

חומרה (FPGA)	תוכנה (CPU)	פרמטר
מקבילית (Dual Port)	טוריית גישה לזיכרון	
מקבילי (Pipelined)	סדרתי חישוב	
קבוע ומדויק	זמן ביצוע משתנה (Jitter)	

טבלה 1: השוואת ביצועים ארכיטקטונית

### 3.3 ניתוח השוואתי: חומרה מול תוכנה

## 4 מימוש המערכת

### 4.1 מימוש החומרה (VHDL)

הקוד נכתב ב-VHDL תוך שימוש ביצוג Fixed Point Q1.15. מומש מנגנון Scaling (חלוקה ב-2 באמצעות Shift Right) בכל דרגה למניעת גלישה (Overflow).

### 4.2 אוטומציה של תהליך הפיתוח

תהליך הפיתוח בוצע באמצעות סקרייפט אוטומציה (tcl.create\_fft\_project) אשר מבצע:

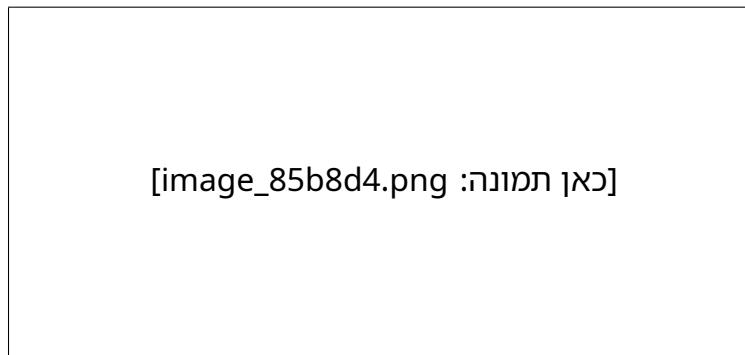
- ייצירת פרויקט Vivado חדש.
- טעינת קבצי המקור והסימולציה.
- הגדרת רכיב המטרה.

## 5 ניסויים ובדיקות

### 5.1 מערכת הניסוי

לצורך בדיקת המערכת, פותח כלי וריפוי אוטומטי ב-Python (fft\_compare.py). הכלי מחשב את FFT התיאורטי ומשווה אותו לתוצאות החומרה.

## **5.2 תוצאות הסימולציה**



איור 2: תוצאות הסימולציה ב-Waveform (Vivado)

התוצאות הראו התאמה מלאה למודל התוכנה, עם זיהוי מדויק של תדרי האות (DC ותדר יסודי). נצפתה שגיאת קיטום (Truncation Error)ZNICAHA האופיינית לחישוב בנקודה קבועה.

## **6 תוצאות ומסקנות**

### **6.1 מסקנות הפרויקט**

הפרויקט הוכיח היתכנות של IMPLEMENTATION מאיצ FFT על גבי FPGA פשוט. השימוש בזכרון-Dual Port וארQUITECTUTURE In-Place אפשר ביצועים גבוהים תוך חיסכון במשאבים.

### **6.2 סיכום**

המערכת שנבנתה מהויה בסיס איתן למערכות עיבוד אותות מתקדמות ומדגימה את העליונות של חומרה ייעודית במשימות זמן-אמת.

## **7 רשיימות**

### **7.1 רשיימת מקורות**

Cooley, J. W., & Tukey, J. W. (1965). An algorithm for the machine calculation .1  
.of complex Fourier series

.Xilinx Vivado Design Suite User Guide .2

## A נספח א': מדריך הפעלה

1. חיבור את הכרטיס למחשב.
2. צרוכב את הקובץ `top_level.bit` באמצעות Vivado Hardware Manager.
3. לחץ על **Start** ו**Reset**.
4. צפה בתוצאות על הלדים (בורה: 0=ממשי, 1=מדומה).