

הפקולטה להנדסה

המחלקה להנדסת חשמל ואלקטרוניקה

תכנון ומימוש מאיץ חומרתי ל-FFT

על גבי רכיב FPGA

פרויקט גמר המהווה חלק מהדרישות לתואר B.Sc.

אביעד תורתי מוגש ע"י:

משה גבעון

מר יוסף ברנשטיין מרצה הקורס:

מר עמנואל בנדר מנחה אקדמי:

[חודש ושנה עבריים]

[חודש ושנה לועזיים]

תקציר

התקציר מהווה את החלק הנקרא ביותר בספר.

פרויקט זה עוסק בתכנון ומימוש של מאיץ חומרתי לחישוב התמרת פורייה מהירה (Fast - FFT Fourier Transform) על גבי רכיב FPGA ממשפחת Artix-7. האלגוריתם מממש חישוב FFT בגודל 16 נקודות בשיטת Decimation-in-Time, תוך שימוש בארכיטקטורת "חישוב במקום" (In-Place) לחיסכון במשאבי זיכרון.

המוטיבציה העיקרית לפרויקט היא הצורך בעיבוד אותות בזמן אמת, אשר במעבדים סטנדרטיים (CPU) מוגבל עקב ביצוע סדרתי של פקודות. המערכת שתוכננה מנצלת את היכולות המקביליות של ה-FPGA כדי לבצע פעולות זיכרון וחישוב אריתמטי בו-זמנית.

המערכת נכתבה בשפת VHDL וכוללת בקר זיכרון (Controller), יחידת חישוב פרפר (Butter-fly Unit) אריתמטית בשיטת נקודה קבועה (Fixed Point), וזיכרון RAM כפול-פורטים (Dual Port). תהליך הפיתוח כלל אוטומציה באמצעות סקריפטים (Tcl) וורפיקציה מול מודל Python. התוצאות הראו דיוק גבוה וזמן חישוב דטרמיניסטי.

הכרת תודה

ברצוננו להביע תודה והערכה למנחה הפרויקט, מר **עמנואל בנדר**, על ההכוונה המקצועית, הסבלנות והתמיכה לאורך כל הדרך. תודה למרצה הקורס, מר **יוסף ברנשטיין**, על הידע והכלים שהוקנו לנו במהלך הלימודים. תודה מיוחדת למשפחותינו על התמיכה והעידוד.

תוכן העניינים

1	תקציר
7	1 מבוא
7	1.1 רקע כללי
7	1.2 הצורך (The Gap)
7	2 מטרת הפרויקט
7	2.1 הגדרת המשימה
7	2.2 דרישות המערכת
8	3 תיאור המערכת
8	3.1 ארכיטקטורת המודולים
8	3.2 זרימת מידע ומכונות מצבים
9	3.3 ניתוח השוואתי: חומרה מול תוכנה
9	4 מימוש המערכת
9	4.1 מימוש החומרה (VHDL)
9	4.2 אוטומציה של תהליך הפיתוח
9	5 ניסויים ובדיקות
9	5.1 מערך הניסוי
10	5.2 תוצאות הסימולציה

6 תוצאות ומסקנות 10

6.1 מסקנות הפרויקט 10

6.2 סיכום 10

7 רשימות 11

7.1 רשימת מקורות 11

A נספח א': מדריך הפעלה 12

רשימת האיורים

1	דיאגרמת זרימת נתונים ומכונות מצבים	8
2	תוצאות הסימולציה ב-Vivado (Waveform)	10

רשימת הטבלאות

1	השוואת ביצועים ארכיטקטונית	9
---	----------------------------	---

1 מבוא

1.1 רקע כללי

עיבוד אותות ספרתי (DSP) הוא תחום ליבה בהנדסת חשמל, המשמש במערכות תקשורת, רדאר, עיבוד תמונה ורפואה. הכלי המתמטי המרכזי בתחום זה הוא התמרת פורייה (DFT). חישוב ישיר של DFT דורש סיבוכיות חישובית גבוהה של $O(N^2)$. אלגוריתם ה-FFT, שפותח על ידי Cooley & Tukey, מייעל זאת ל- $O(N \log N)$.

1.2 הצורך (The Gap)

על אף היעילות האלגוריתמית, מימוש FFT בתוכנה (על גבי CPU) סובל ממגבלה ארכיטקטונית בסיסית: **הביצוע הסדרתי**. המעבד נאלץ לבצע את שלבי הבאת הנתונים, החישוב והשמירה בזה אחר זה. במערכות זמן-אמת קריטיות, השיהוי (Latency) הנוצר בתוכנה עשוי להיות בלתי קביל. קיים צורך במערכת שמסוגלת לבצע את החישוב במקביל.

2 מטרת הפרויקט

2.1 הגדרת המשימה

תכנון ובנייה של ליבת קניין רוחני (IP Core) המממשת אלגוריתם FFT בחומרה, תוך הדגמת היתרונות של עיבוד מקבילי על פני עיבוד סדרתי.

2.2 דרישות המערכת

1. חישוב FFT בגודל 16 נקודות.
2. שימוש באריתמטיקה של נקודה קבועה (Fixed Point).
3. ממשק משתמש פיזי על כרטיס Nexys A7 / Basys 3 (מפסקים ונורות).

4. זמן ביצוע דטרמיניסטי.

3 תיאור המערכת

3.1 ארכיטקטורת המודולים

המערכת בנויה באופן מודולרי. להלן תיאור הרכיבים:

- **Controller**: מנהל את סיגנלי הבקרה ורצף הפעולות.
- **Address Generator**: מחשב את כתובות הזיכרון בזמן אמת.
- **Butterfly Unit**: מבצעת את החישוב המתמטי $(A \pm W \cdot B)$.
- **Dual Port RAM**: מאפשר קריאה וכתיבה מקבילית של שני נתונים.
- **Twiddle ROM**: טבלת סינוסים וקוסינוסים.

3.2 זרימת מידע ומכונות מצבים

השליטה במערכת מתבצעת באמצעות שתי מכונות מצבים (FSM) מסונכרנות.



איור 1: דיאגרמת זרימת נתונים ומכונות מצבים

פרמטר	תוכנה (CPU)	חומרה (FPGA)
גישה לזיכרון	טורית	מקבילית (Dual Port)
חישוב	סדרתי	מקבילי (Pipelined)
זמן ביצוע	משתנה (Jitter)	קבוע ומדויק

טבלה 1: השוואת ביצועים ארכיטקטונית

3.3 ניתוח השוואתי: חומרה מול תוכנה

4 מימוש המערכת

4.1 מימוש החומרה (VHDL)

הקוד נכתב ב-VHDL תוך שימוש בייצוג Q1.15 Fixed Point. מומש מנגנון Scaling (חלוקה ב-2 באמצעות Shift Right) בכל דרגה למניעת גלישה (Overflow).

4.2 אוטומציה של תהליך הפיתוח

תהליך הפיתוח בוצע באמצעות סקריפט אוטומציה (`create_fft_project.tcl`) אשר מבצע:

□ יצירת פרויקט Vivado חדש.

□ טעינת קבצי המקור והסימולציה.

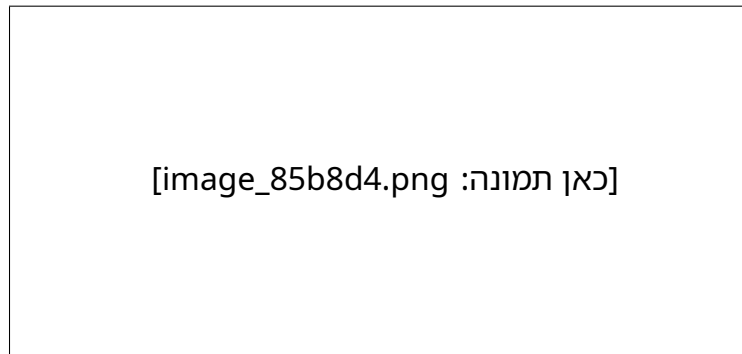
□ הגדרת רכיב המטרה.

5 ניסויים ובדיקות

5.1 מערך הניסוי

לצורך בדיקת המערכת, פותח כלי וריפיקציה ב-Python (`fft_compare.py`). הכלי מחשב את ה-FFT התיאורטי ומשווה אותו לתוצאות החומרה.

5.2 תוצאות הסימולציה



איור 2: תוצאות הסימולציה ב-Vivado (Waveform)

התוצאות הראו התאמה מלאה למודל התוכנה, עם זיהוי מדויק של תדרי האות (DC ותדר יסודי). נצפתה שגיאת קיטום (Truncation Error) זניחה האופיינית לחישוב בנקודה קבועה.

6 תוצאות ומסקנות

6.1 מסקנות הפרויקט

הפרויקט הוכיח היתכנות של מימוש מאיץ FFT יעיל על גבי FPGA פשוט. השימוש בזיכרון Dual-Port וארכיטקטורת In-Place אפשר ביצועים גבוהים תוך חיסכון במשאבים.

6.2 סיכום

המערכת שנבנתה מהווה בסיס איתן למערכות עיבוד אותות מתקדמות ומדגימה את העליונות של חומרה ייעודית במשימות זמן-אמת.

7 רשימות

7.1 רשימת מקורות

1. Cooley, J. W., & Tukey, J. W. (1965). An algorithm for the machine calculation
of complex Fourier series

2. Xilinx Vivado Design Suite User Guide

A נספח א': מדריך הפעלה

1. חבר את הכרטיס למחשב.
2. צרוב את הקובץ `top_level.bit` באמצעות Vivado Hardware Manager.
3. לחץ **Reset** ואז **Start**.
4. צפה בתוצאות על הלדים (בורר: 0=ממשי, 1=מדומה).