

Name : Mostafa Kermaninia

SID : 810101575

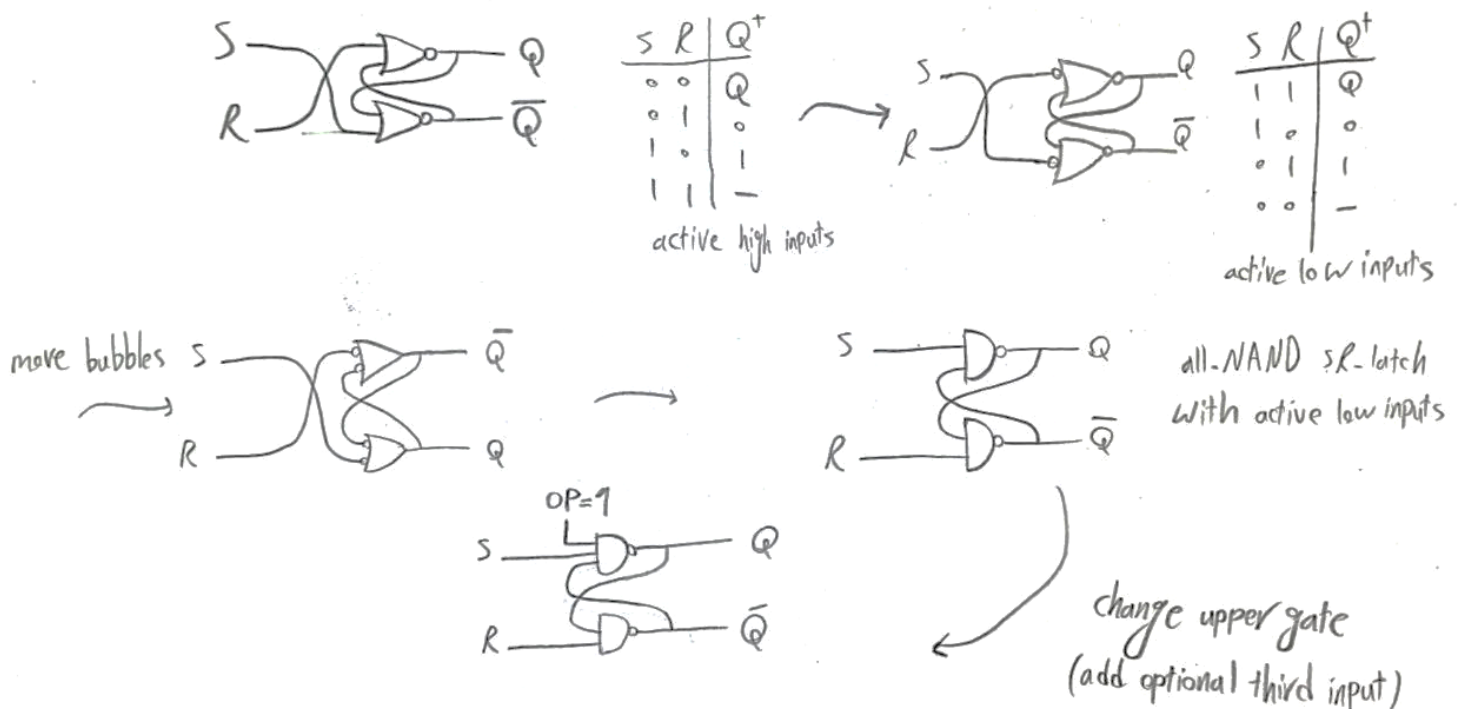
Course name : Introduction to Digital System Design

Course number : 4021810136701

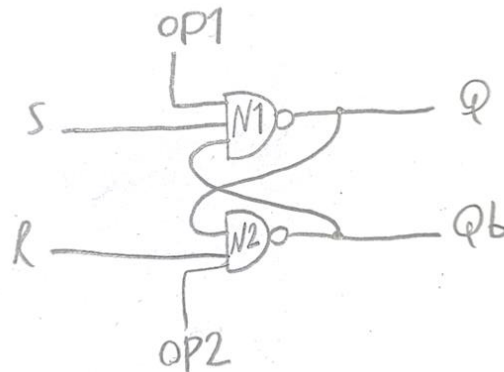
Q1

a.

ابتدا بنظم رسید منظور از 2-input or 3-input NAND این است که فقط گیت **nand** بالایی دارای سه ورودی باشد پس اینگونه تغییر دادم لیچ را و تمام نند کردم.



اما با دقت کردن به بخش های بعدی سوال دیدم باید هر دو **nand** دارای سه ورودی باشند پس اینگونه شد نتیجه :

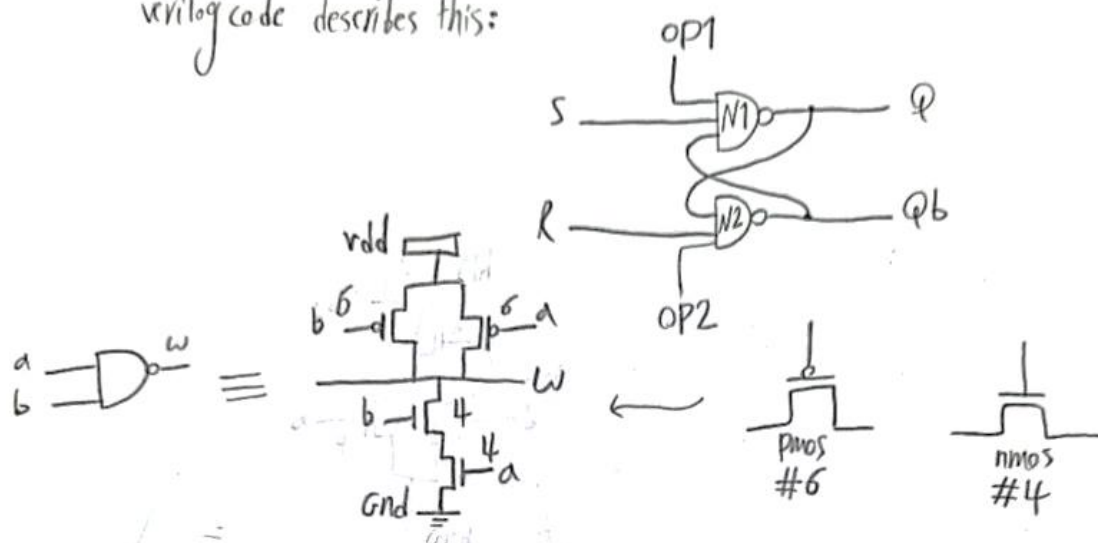


حالا طبق همین شکل بالا وریلاگ را هم نوشتم. (البته دیلی محاسبه شده در بخش بعدی برای **nand** را هم اعمال کردم).

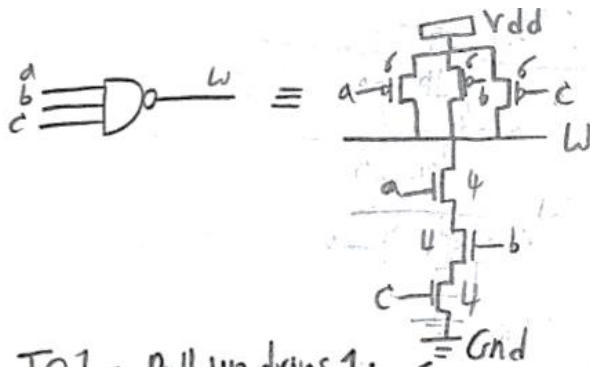
b.

با توجه به دیلی های گفته شده ابتدا دیلی **nand** را محاسبه میکنیم. (**nand** با 2 ورودی را هم نوشته ام اما چون تمام **nand** های استفاده شده 3 ورودی اند عملاً استفاده ای نداشت).

verilog code describes this:



To 1: Pull up drives 1: 6 } \rightarrow 8 ns
 Pull down drives Z: 8 } \Rightarrow 2 input nand #8
 To 0: Pull up drives Z: 6 } \rightarrow 8 ns
 Pull down drives 0: 8 }



T_{01} : pull up drives 1: 6
 pull down drives 2: 12 } $\rightarrow 12ns$

\Rightarrow 3input nand #12

T_{00} : pull up drives 2: 6
 pull down drives 0: 12 } $\rightarrow 12ns$

C.

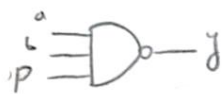
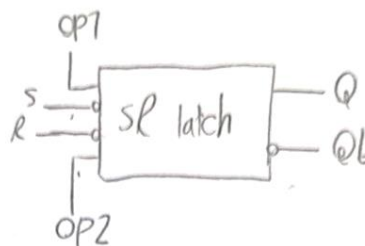
details of circuit :

now, our circuit is an unlocked active_low all_nand SR latch with optional input for every nands:

S	R	Q^+	Qb^+
0	0	—	—
0	1	1	0
1	0	0	1
1	1	Q	Qb

به شرط 1 بودن $op2, op1$

چرا وقتی $op2$ و $op1$ مساوی 1 هسته 3input nand تبدیل به 2input nand می شود؟



$$y = \overline{a \cdot b \cdot p} = \overline{a} + \overline{b} + \overline{p} \xrightarrow{\text{if } p=1} \overline{a} + \overline{b} + \overline{1} = \overline{a} + \overline{b} = \overline{a \cdot b} = \underline{a \text{ nand } b}$$



* البته برای تبدیل به 2input nand می توانیم ابتدا با 3 ورودی بسازیم و سپس درگاه ورودی چهارم

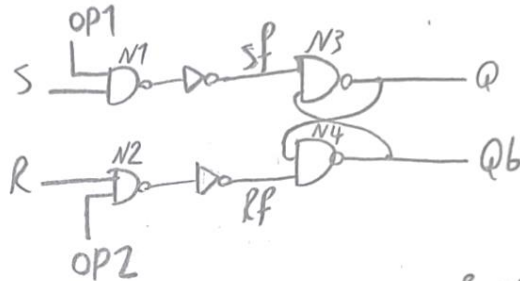
به درگاه بیستم وصل کنیم:



$$y = \overline{a \cdot a \cdot b} = \overline{a \cdot b} = a \text{ nand } b$$

نقش $op1$ و $op2$: اگر مدار را اندکی باز کنیم:

در اصل هر کدام از ورودیهای OP اگر 1 باشند که رسماً $N1$ و $N2$ خفشی شوند و $S = sf$ و $R = rf$ من شود اما اگر OP ها مساوی صفر باشند، به ترکیب اگر $OP1$ و $OP2$ مساوی صفر نباشند، sf و rf صفر می کنند



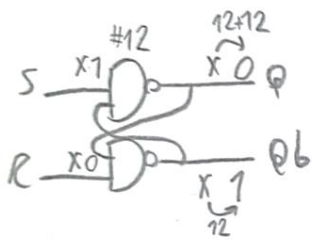
sf	rf	Q^+
0	0	0
0	1	1
1	0	0
1	1	Q

تست کردن مقادیر مختلف ورودی و تفسیر خروجی:

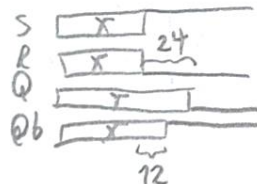
1.

محاسبه تئوری

$S: X \rightarrow 1$
 $R: X \rightarrow 0$

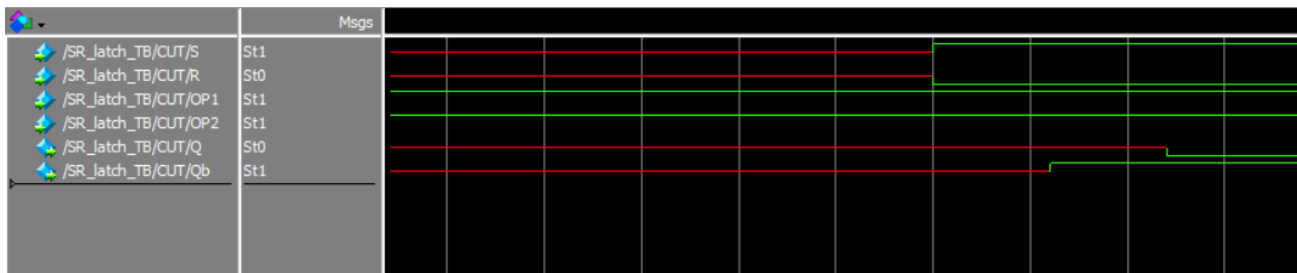


در $t=0$ تبدیل ها رخ می دهند، در $t=12$ مدار به کد دیگه است
بلاخره با X ، and و 1 می دهد اما مقدار 1 را که ورودی نیست بلایی
نشد نمی تواند and شود لای (نمی توانند) زیرا این دانستم X یا صفر
است و یا یک است $\bar{X} \cdot 1$ هم یا صفر است و یا یک است اما
 $\bar{X} \cdot 0$ می باشد پس بطور مطلق 1 است.



پس داریم:
پس به حالت reset رتیم

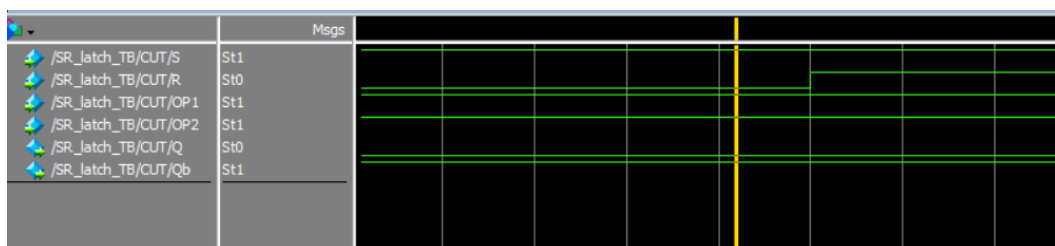
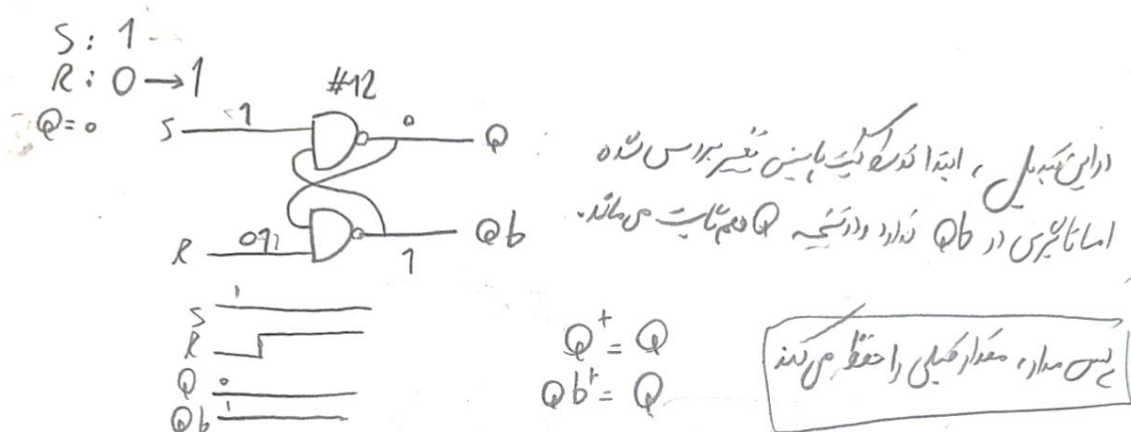
نتیجه ی عملی



پس در نهایت اگر در لحظه ی اول مقدار $SR = 10$ به مدار بدهیم دلیلی Q و QB مقدار 24 و 12 میشود و به شکلی مشابه اگر در لحظه ی اول مقدار $SR = 01$ بدهیم دلیلی Q و QB مقدار 12 و 24 شده پس داریم:

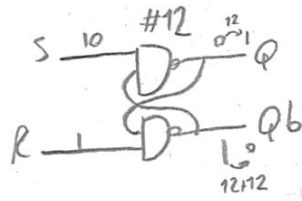
Worst case for Q and $QB = 24ns$

2.

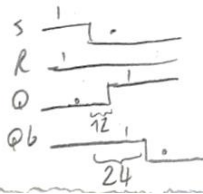


3.

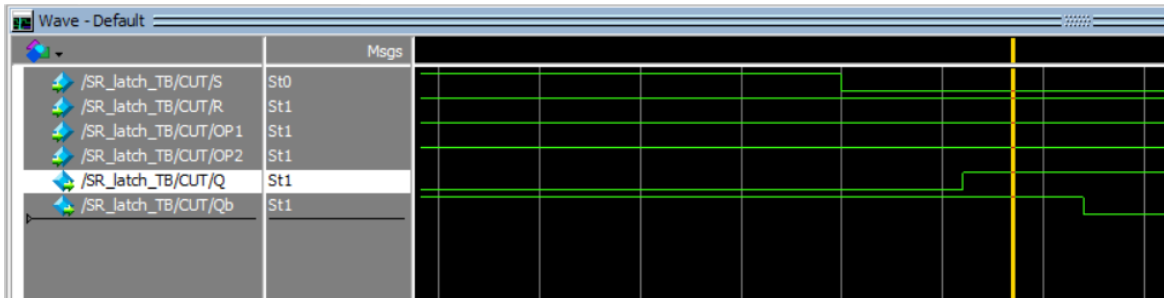
S: 1 → 0
R: 1
Q = 0



دیکھیں کہ جس سے 12ns مقدار Q تک پہنچے گا
یہ بھی آج 24ns مقدار Qb تک پہنچے گا

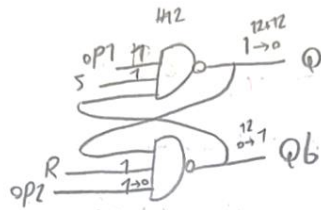


جس مقدار یہ حالت set میں رہے



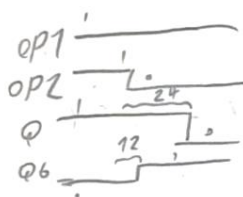
.4

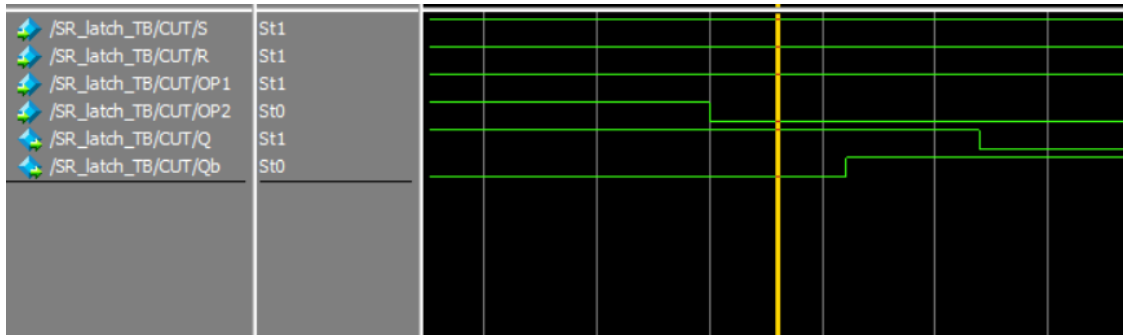
S: 1
R: 1
OP1: 1
OP2: 1 → 0
Q: 1



تغییر OP2 بنائے گا اور OP1 بنائے گا R نہ ہوگا
" S " " " OP1 " " " " " " " " " " " "

درجہ درجہ جائے مقدار دو حالت set اس، OP2 میں سے، داد reset نہ، دارم:

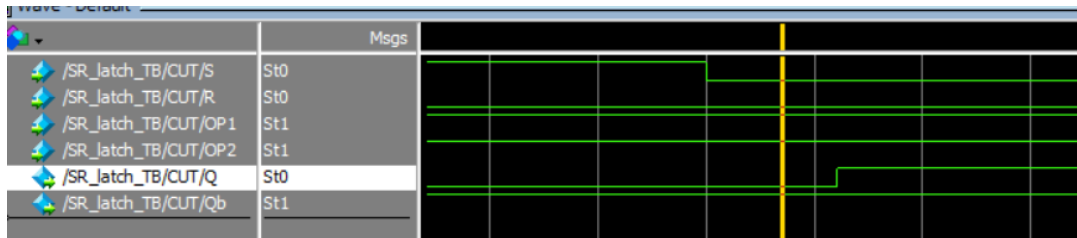




5.

$S: 1 \rightarrow 0$
 $R: 0$
 $Q = 0$

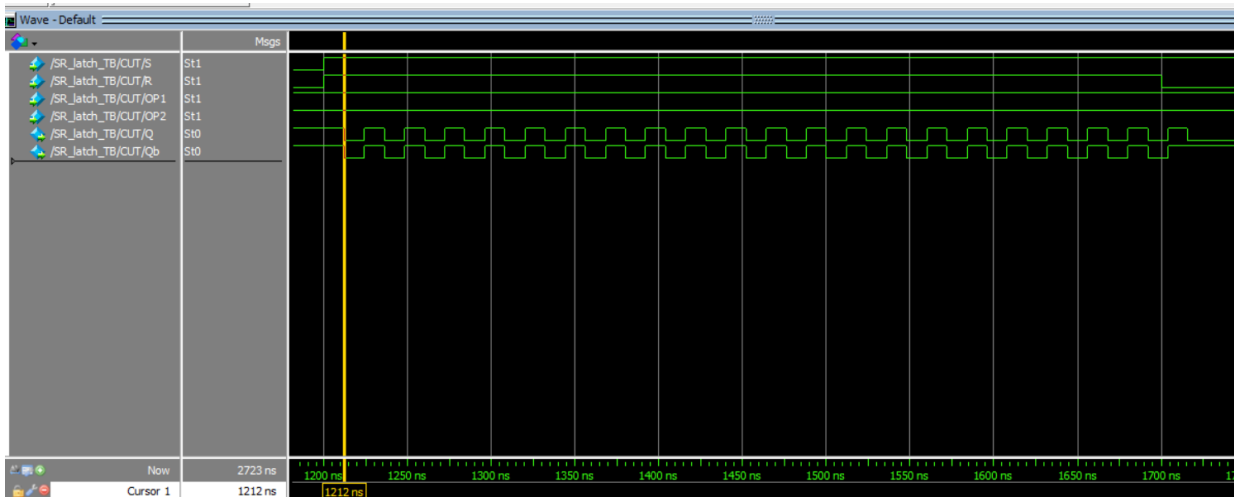
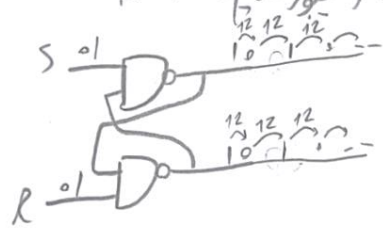
وقتی $S=0$ می شود محدودی و اطلاعات ذخیره شده از این می روند، یعنی شماره یا مکمل بودن Q و Qb بود که می تصمیم بگیریم همان که داده شده set بوده یا $reset$ بوده اما اگر $Q=Qb=1$ شده است
 پس تا زمانی که Q و Qb 1 نباشد. پس تا وقتی دوباره set ($S=0$) یا $reset$ ($S=1$)
 را به مدار اعمال نکنیم، در همین حالت می حافظ می ماند.
 پس Q که قبلاً یک مدار بود در اصل، اکنون مساوی با همان Q که خود می است این باشد.



6.

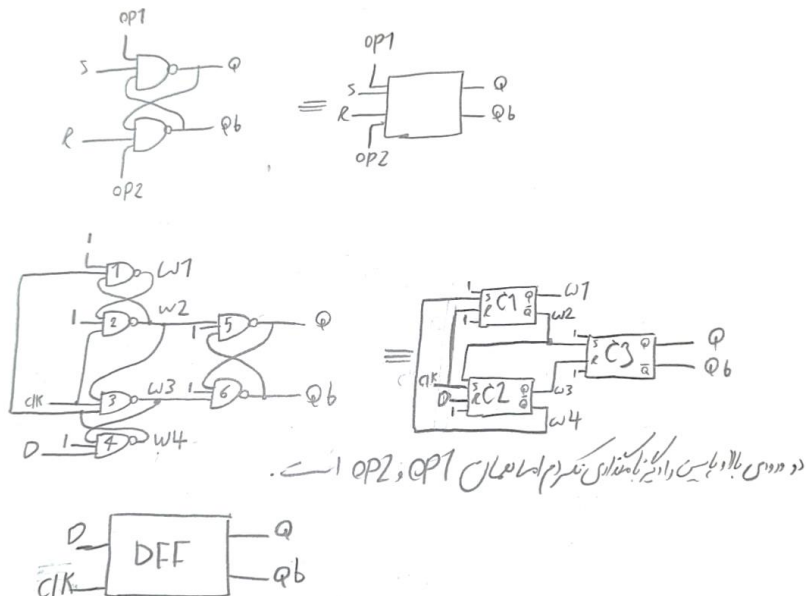
خرابکاری در مدار: وقتی در حالت loss memory هستیم، اگر set یا reset کنیم، مدار اطلاعات جدید را ذخیره می کند اما اگر دستور ذخیره کردن ($R \leftarrow 1$) به هم چسبیم؟ هیچ نیازی نیست که ذخیره شود پس به حالتی که در این سیستم S و R دارند به گونه نامیده شده اند از حالت $S: 0 \rightarrow 1$ و $R: 0 \rightarrow 1$ و $Q: 1$ و $Qb: 1$ حالت 11، یک از حالات set یا reset را میسر می دهیم.

مدار تا بایستار شود
تا وقتی که بالاخره دستور set یا reset نکرده و باز بایستار شود.

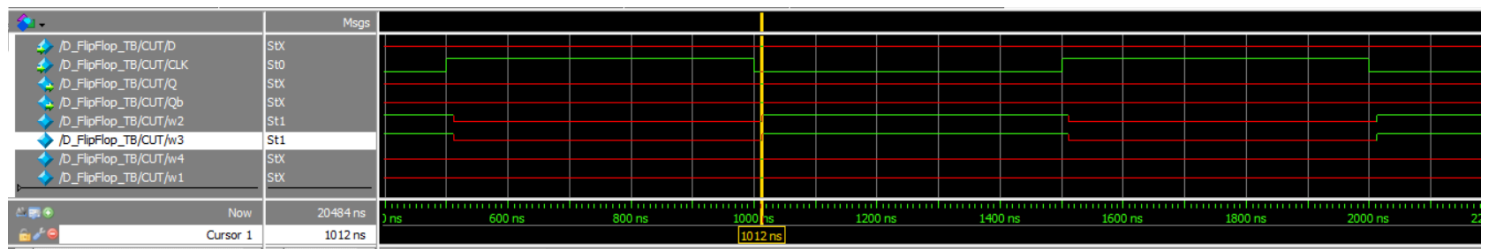


Q2

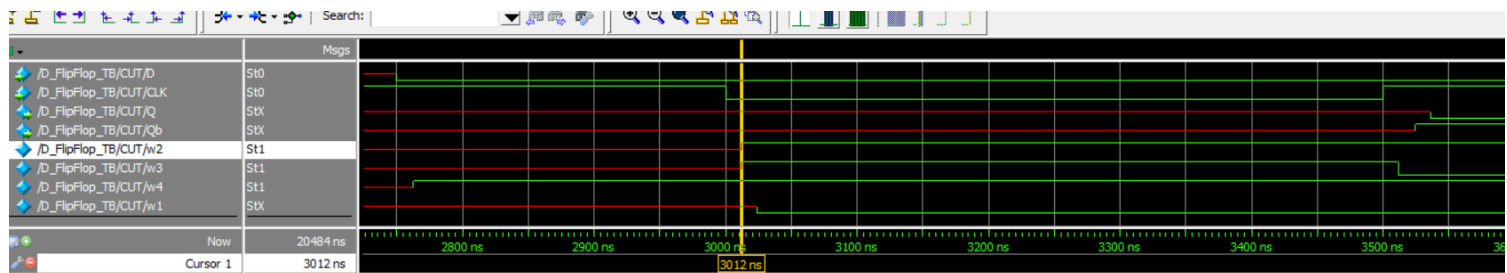
a.



قبل از ورود D



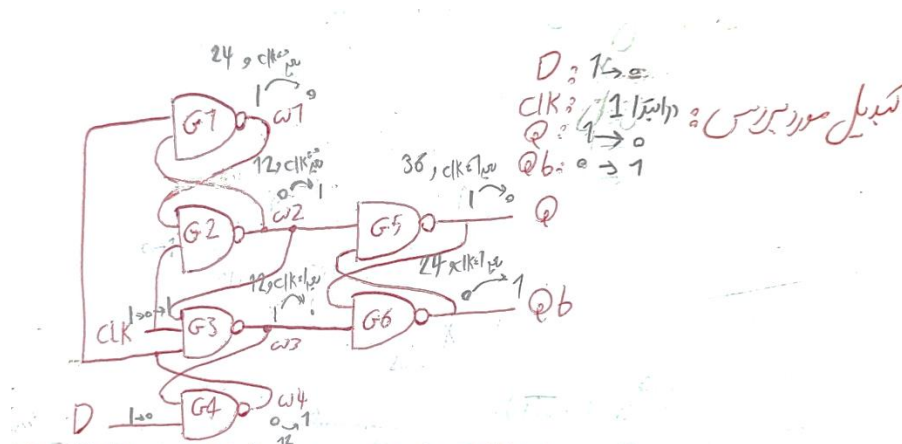
بعد از ورود D



پس نهایتاً Q بعد از 1 شدن CLK بعد از ns36 مقدار جدید گرفته و QB هم بعد از ns24 و بالعکس، اگر اولین مقدار D، مساوی 1 باشد با تحلیلی مشابه میفهمیم Q بعد از 24 و QB بعد از ns36 مقدار جدید میگیرند و چون مقدار دهی از X بدترین حالت ممکن است پس برای DFF در کل داریم:

Worst case for Q and QB = ۳۶ns

2. نمایش edge trigger بودن مدار:



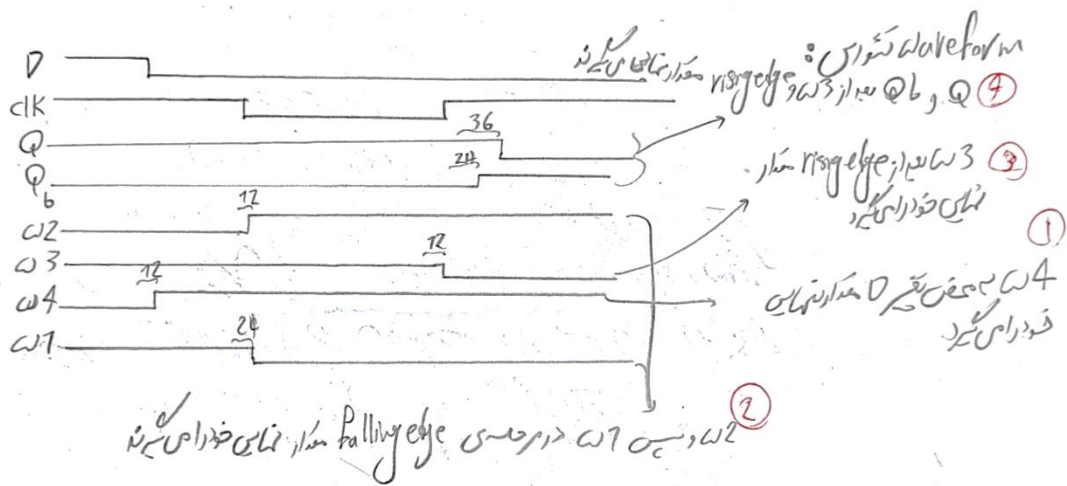
در انتها $1 \leq k \leq n$ است و مقادیر زیری خاصیت $1 \leq k \leq n$ را دارد. $stable$ اند.

[illegible]

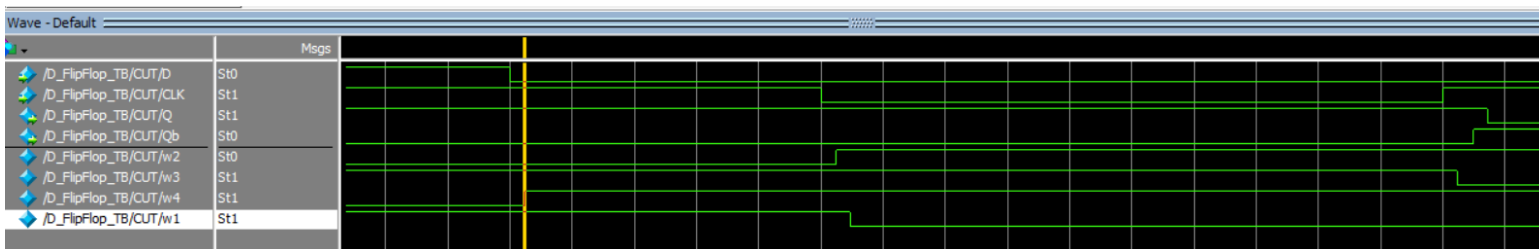
فائدہ میں لڑا، وہ بارہ مرتبہ تاج اسے تا 1000 لڑا، کہہ دے، $ed\gamma\beta$ اور $ed\gamma\beta$ میں سے اصل اسے

22 و 23 کے مطابق جیو راج کیس کے بارے میں اب اس کے

$Q2$ و $Q3$ مقدار 12 تنگه جید را می باشد که $Q3 = 0.5$ است اما $Q2$ همان $Q1$ است
 سه طبقه جاها که زیرشان خاکستری است، $Q1$ و $Q2$ هر بار یکی از $Q2$ و $Q3$ مقدار جید می باشد است
 سپس الان اما در ارسال نمی باشد $Q6$ و $Q6 = 1$ می شود بعد از $Q24$ تا $Q25$ بعد از آن است
 شد $Q3$ و $Q6$ و $Q36$ مقدار Q این می شود و تمام.



تاییدیه ی عملی:

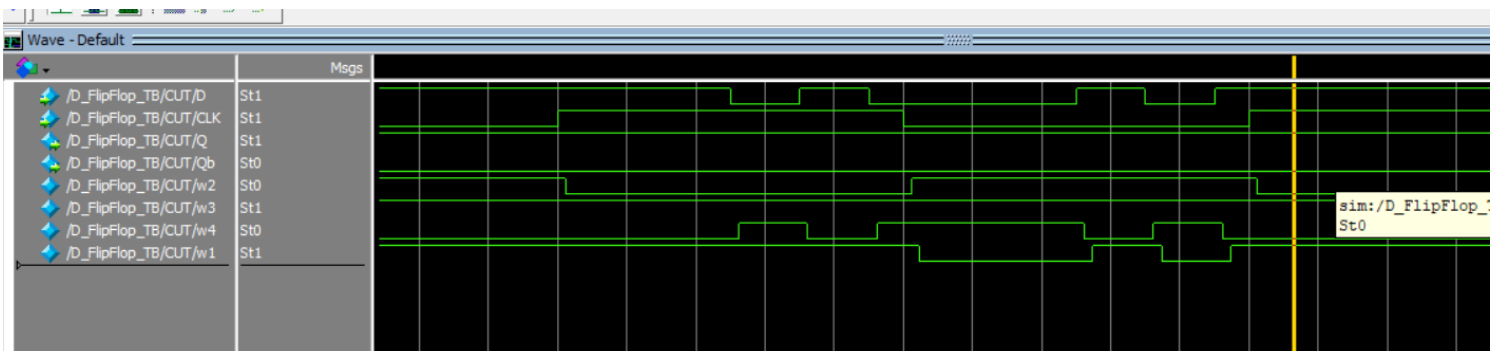
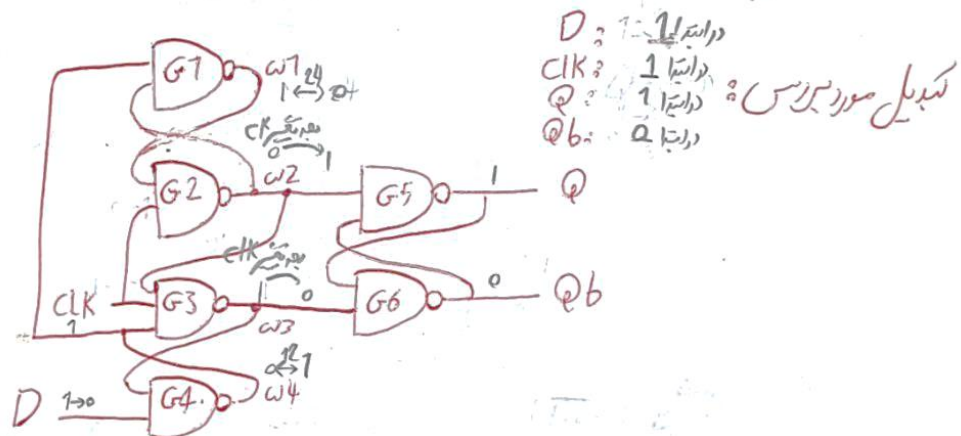


پس دلیلی های خروجی ها در این ترنزیشن اینگونه شد:

$Q = 36\text{ns}$ and $Q_b = 24\text{ns}$

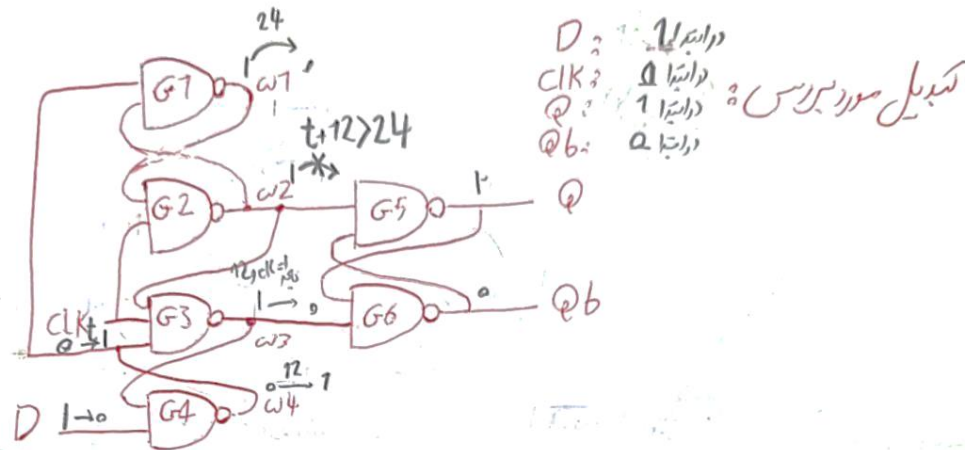
3. نمایش عدم تاثیر تغییرات D در زمانی که $clk = 1$ است در خروجی :

معنی فرض کردن نام «سیانوس» را در مدار، $clk=1$ است و مقدار D در «دورانی است» (مدار را نیز ذخیره است).
 به جای D را تغییر داده و مقدار clk به $w4$ به clk (در این زمان) و معنی می شود $clk=1$.
 به جای clk است و مقدار D هم می بینیم، این تغییر D ، تأخیر است و اگر مثلاً «دوره D »
 کنیم، $1\mu s$ یا $12ns$ (در این مدار) و این بازگشت و انتشار تأخیر که تغییر می افتد است.
 به جای $clk=0$ باشد «این حالت تنها زمانی که با $clk=1$ داریم است که clk را به $w4$ ، $1\mu s$ نیز
 تغییر می کند با تغییر کردن D .
 «کل clk و $clk=1$ باشد، تغییرات D که در $w4$ و $1\mu s$ تأخیر ندارد» (و معنی
 در $edge$ های clk و $1\mu s$ و $12ns$ هم می باشد تأخیر ندارد) اما هیچگاه به Q و Qb نمی رسد و در آن صورت
 انتشار نمی یابد و تنها سیگنال های از D که تحت $edge$ های clk بوده است به نمایش ذخیره می شود.



C.

محاسبه تئوری:

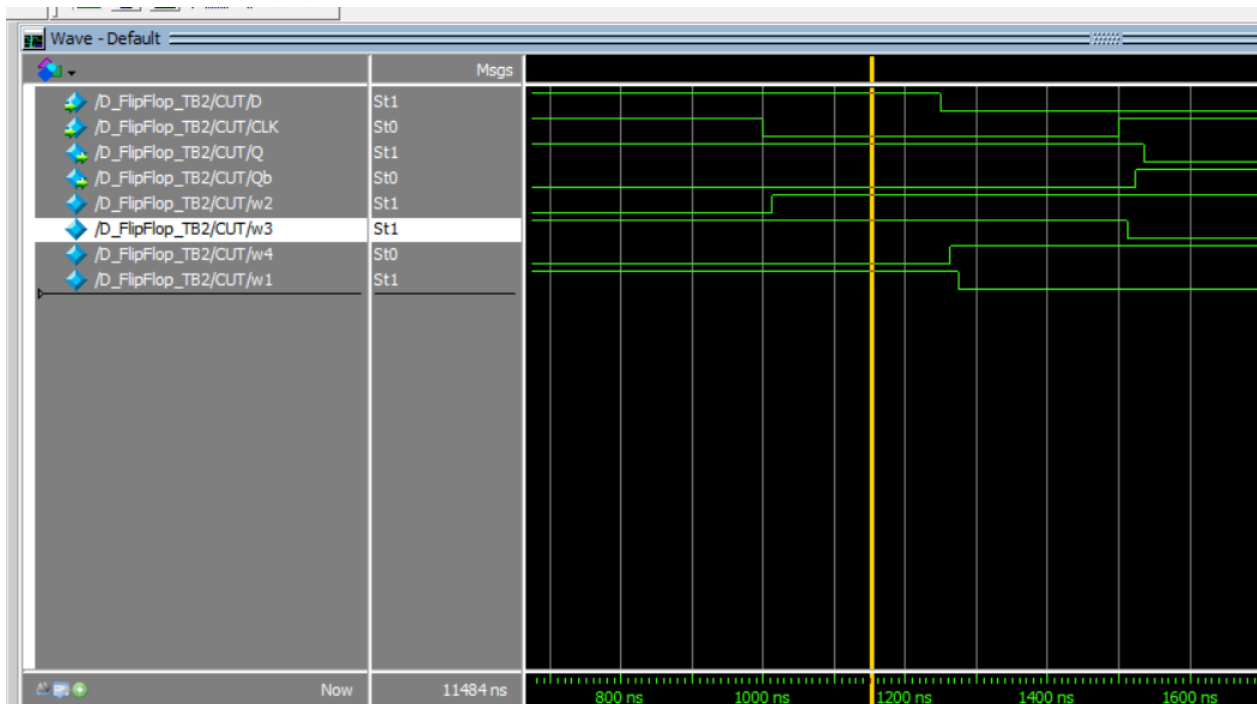


در ابتدا بعد 12ns مقدار 1 اعلام می شود و بعد از 24ns هم 1 اعلام می شود (بیشتر می شود) $t+12 > 24$
 بابت این که مقدار خروجی 1 از ورودی کمتر از این است که به بیش از 12ns تقسیم می کند و نتیجه نمی شود و باعث رفتن
 مقدار 11 به لچ می شود که این هم باعث less memory و نواب می شود

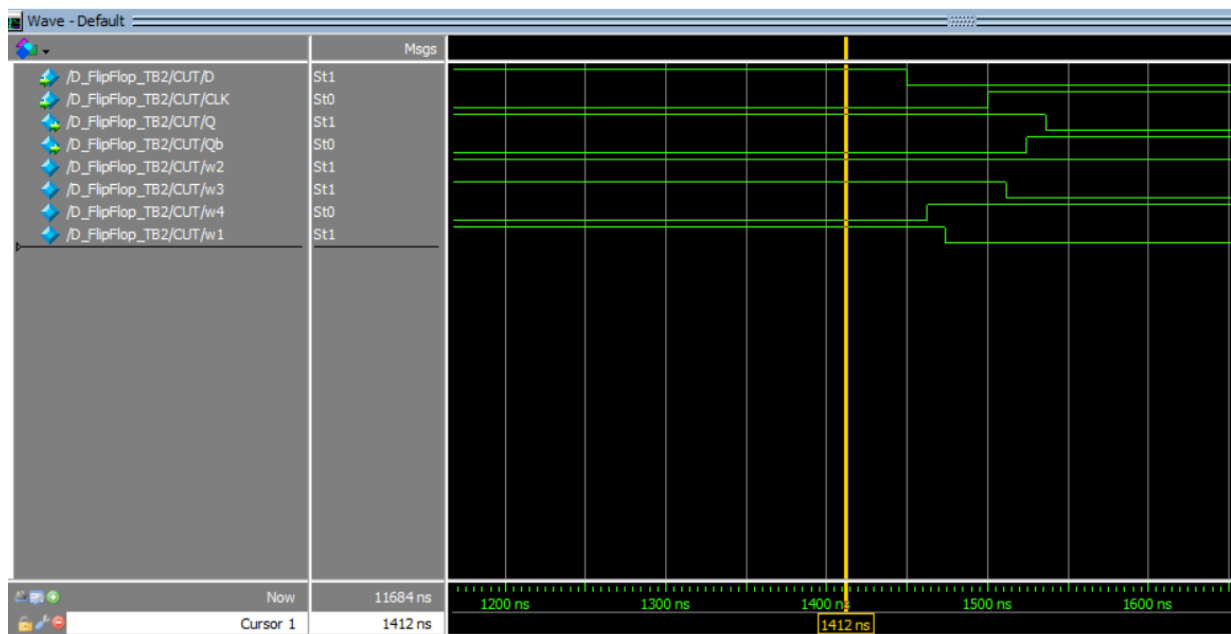
$$\Rightarrow t + 12 > 24 \Rightarrow t > 12 \Rightarrow \boxed{t_{min} = 13ns}$$

clock in 1500ns and we will bring D change closer:

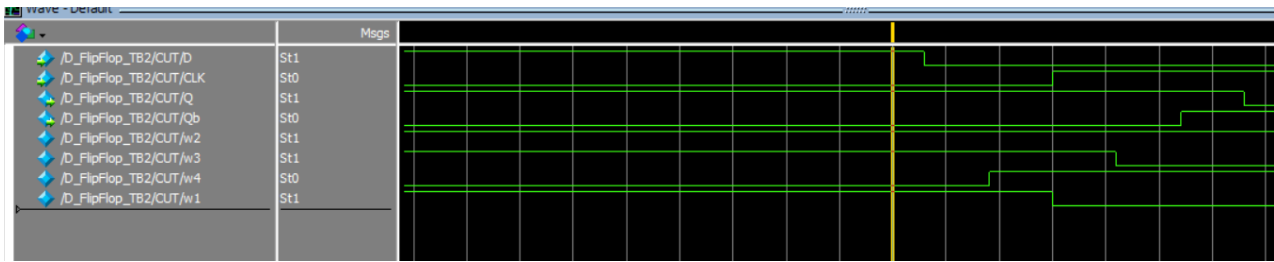
D change in 1250ns (250ns time for setup)



D change in 1450ns (50ns time for setup) :



D change in 1476ns (24ns time for setup) :

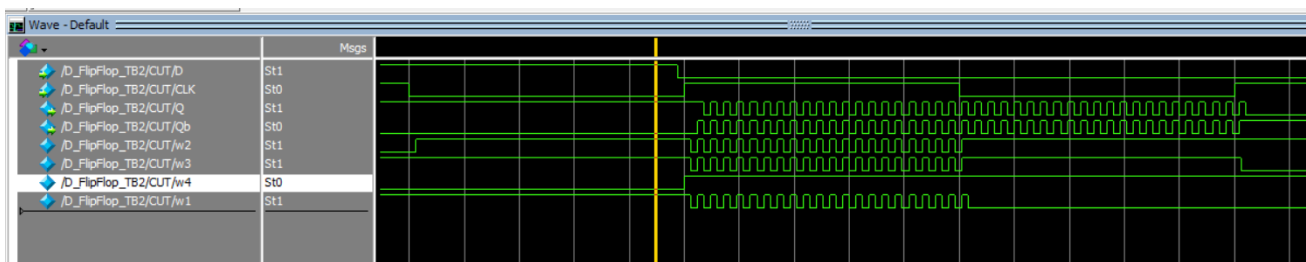


D change in 1487ns (13ns time for setup) :



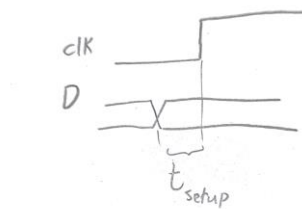
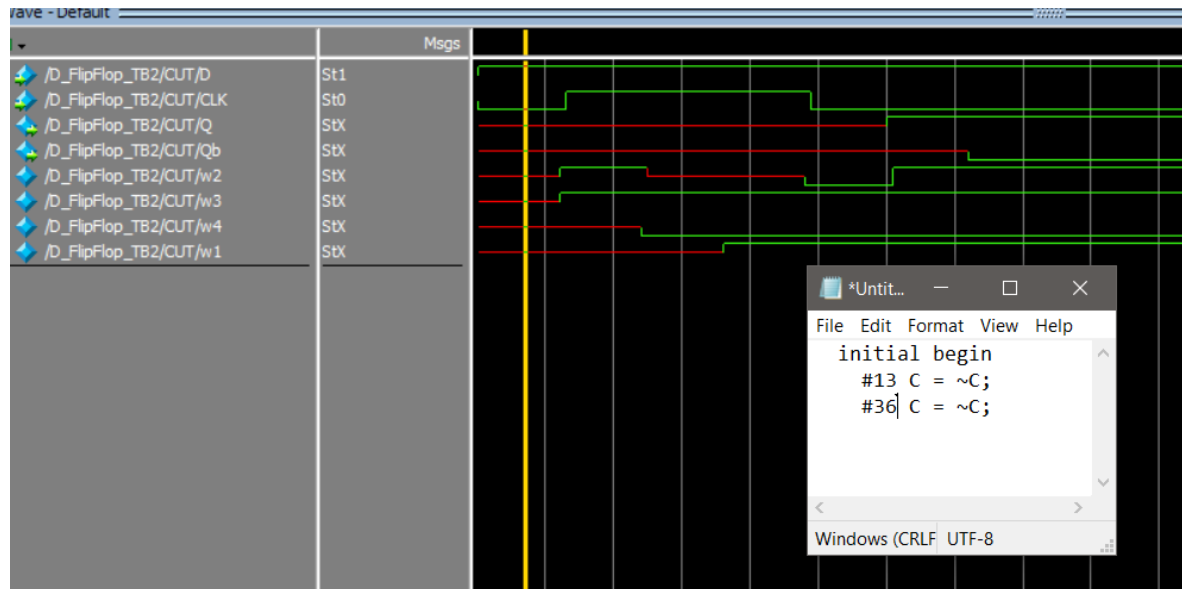
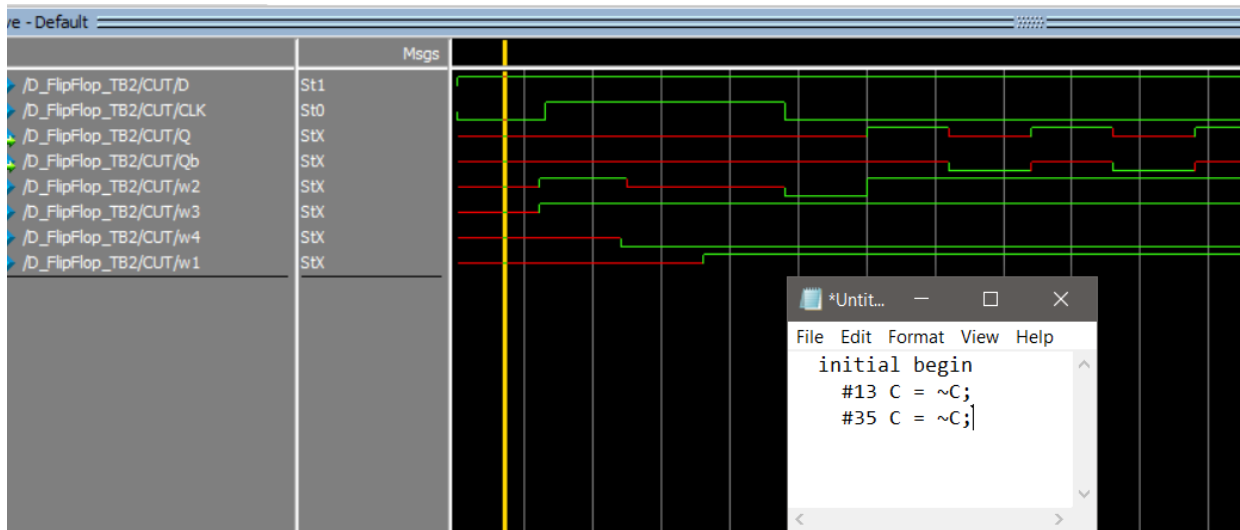
D change in 1488ns (12ns time for setup) :

مدار به حالت ناپایدار می‌رود و تا **rising edge** بعدی در همان حالت می‌ماند.



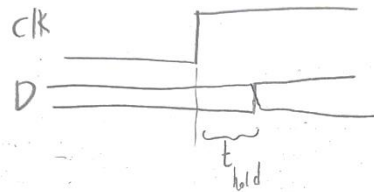
پس **t setup** بطور عملی **13ns** می‌شود.

(با بررسی هایی که کردم، در حالت های آغازین و کلا جاهایی با دلیلی ماکسیمم، درست است که **t setup** مساوی **13** است اما مشروط به اینکه مدت زمانی که مقدار **clk** مساوی **1** است، حداقل **36** باشد تا زمان لازم برای رسیدن سیگنال مد نظر به لچ شماره **3** فراهم شود مگر نه آن لچ وارد حالت **less memory** شده و شروع به ناپایداری میکند تا یک بار دیگر **clk = 1** شده و به حالت عادی برگردد)

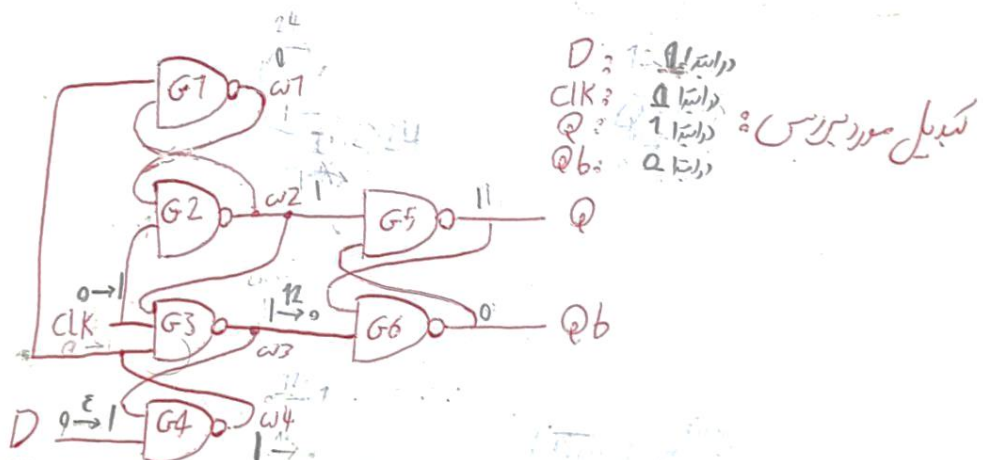


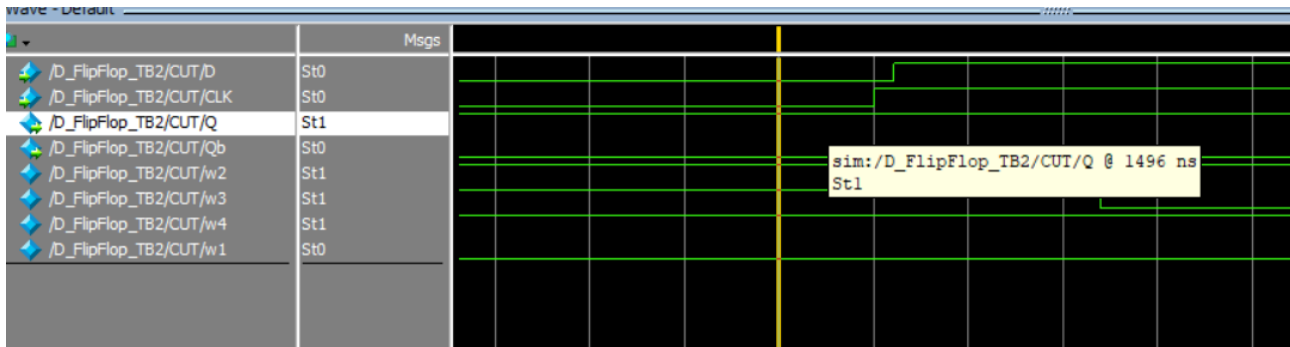
d.

محاسبه ی تئوری:

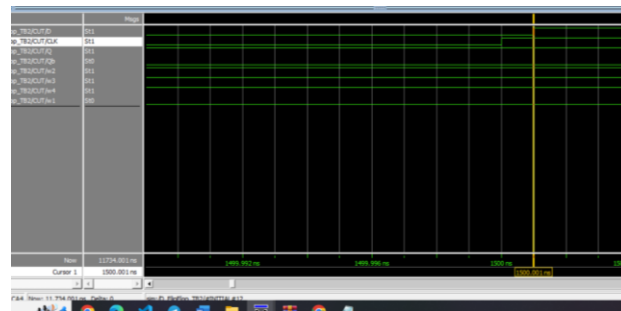


وقتی CLK می شود در هر تری حالت به از 0 تا 5، D عوض می شود
 اما اگر می نهد از چون گیریم CLK یک ع از دیگر از D تغییر کند، پس ا دل 3 تا تغییر کرده و عوض می شود
 اما بعد از 12 تا می باشد، 4 تا می خواهد عوض شود اما 8 تا می بماند (تا 12 تا مانع انجام)
 کار شده و 4 تا مقدار 1 را تکی دارد.
 پس رست عمل استار مقدار جدید انجام می شود پس 6 تا به از 24 تا و 3 تا به از 36 تا مقدار جدید می گیرند

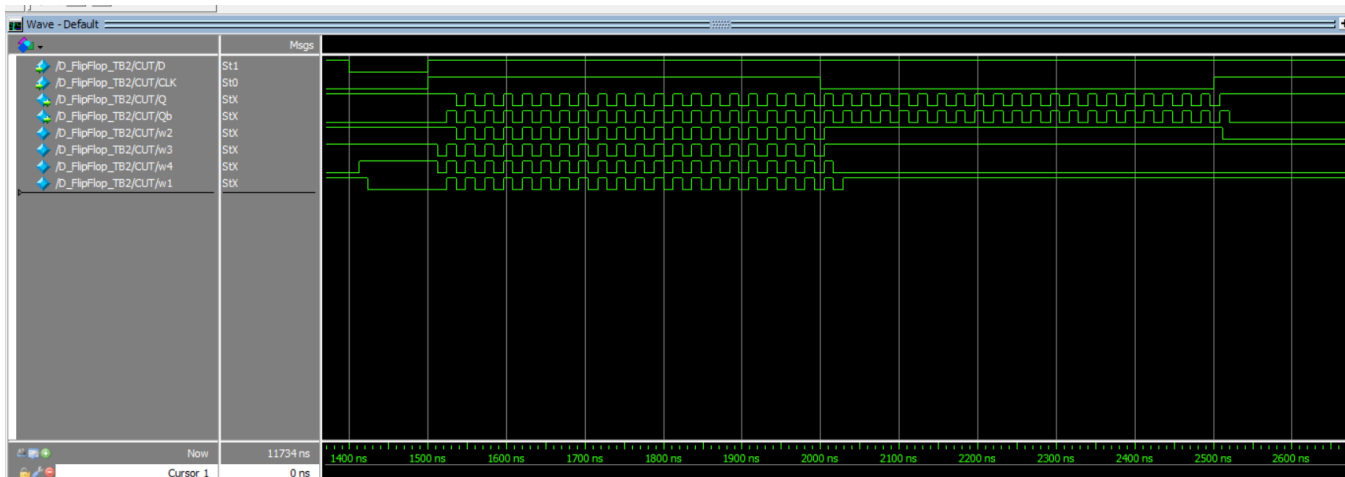




D change in 100.001ns (0.001ns time for setup)



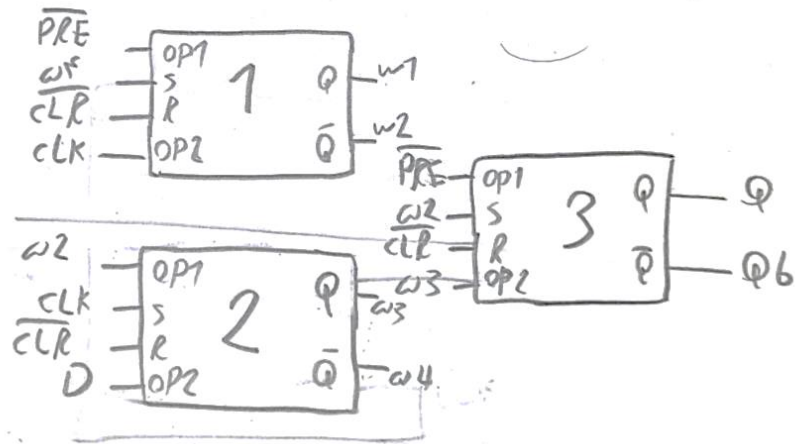
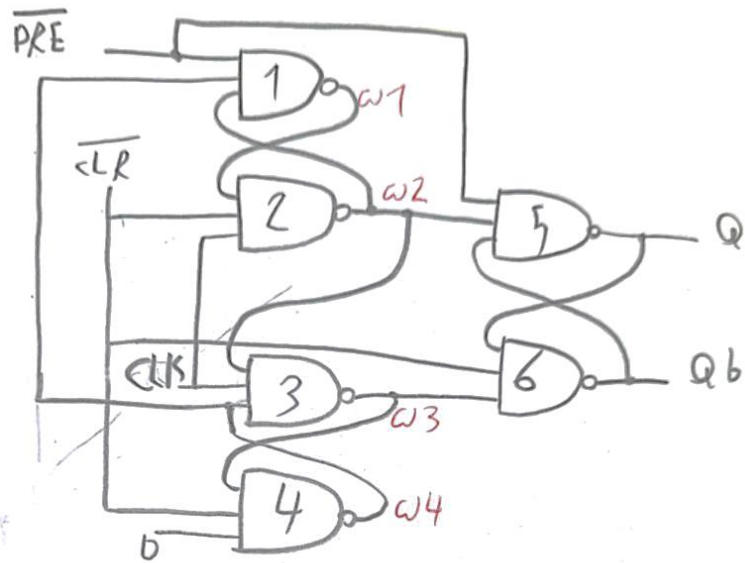
D change in 100ns (0ns time for setup)



پس t hold بطور عملی و تئوری +0 میشود. (میتوان آنرا 1 گرفت)

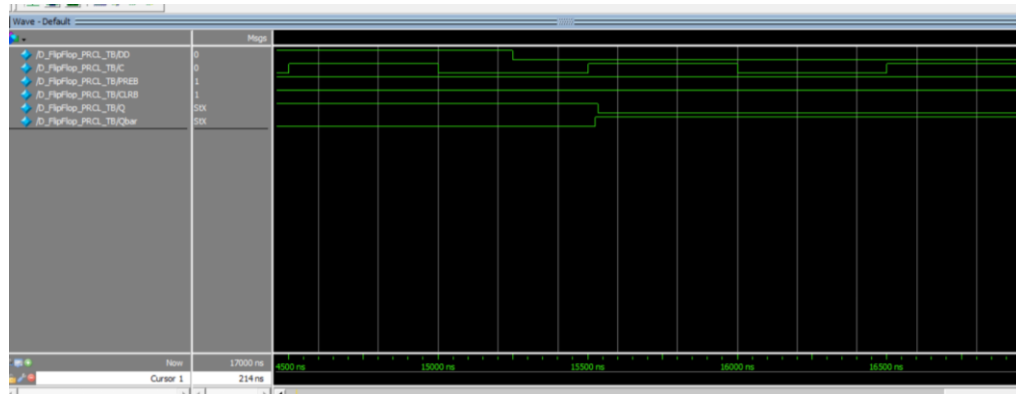
Q3

e.

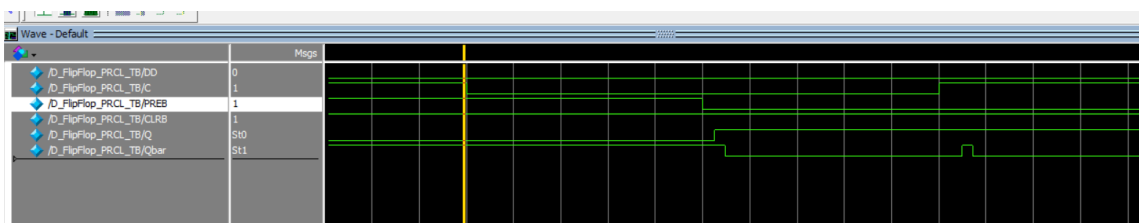


f.

برای دیلی ذخیره ی : d



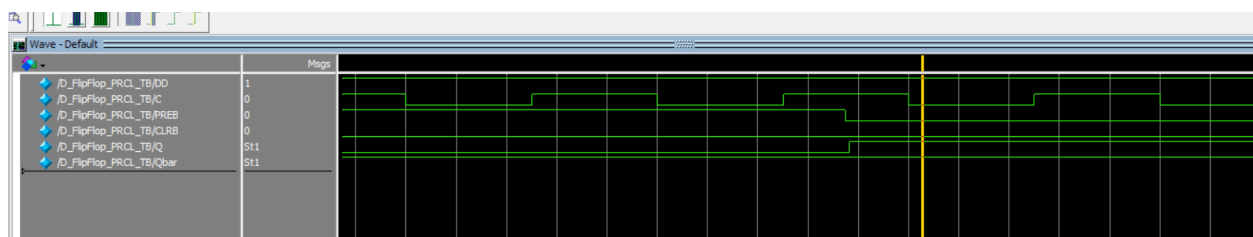
تا وقتی دوتا دکمه ی clear و preset در حالت غیر فعال باشند، روند کار مثل سوال قبل است و بدترین دیلی برای خروجی ها 36 است و هر دفعه یا q یا qb دارای دیلی 24 و اون یکی 36 است. برای دیلی preset شدن یا اومدن مقدار 1 در خروجی و 0 در قرینه ی خروجی:



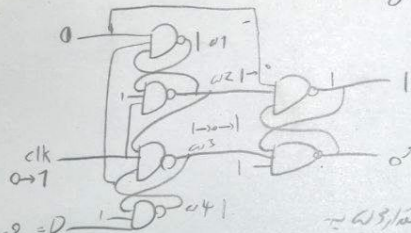
اولا که asynch است و کاری به clk ندارد و درجا عملیات خود را انجام میدهد. برای تثبیت نتیجه به گیت 3 متصل است و برای عوض کردن نتیجه هم به گیت 6 وصله پس میتوان با 12 ns دیلی اینکار را کرد برای q و برای QB هم 12 تا دیگر طول میکشد که 24 میشود.

برای دیلی clr یا ریست کننده ی مدار که باعث مقدار 0 در خروجی و 1 در قرینه ی خروجی است هم داریم: چون این هم دقیقا همانند preset همزمان به یک گیت تثبیت کننده و یک گیت جلویی وصل است، 12ns طول میکشد که به QB برسد و 24 هم برای q.

اگر هر دو با هم روشن باشند هم مدار حافظه اش را از دست میدهد و به این صورت:



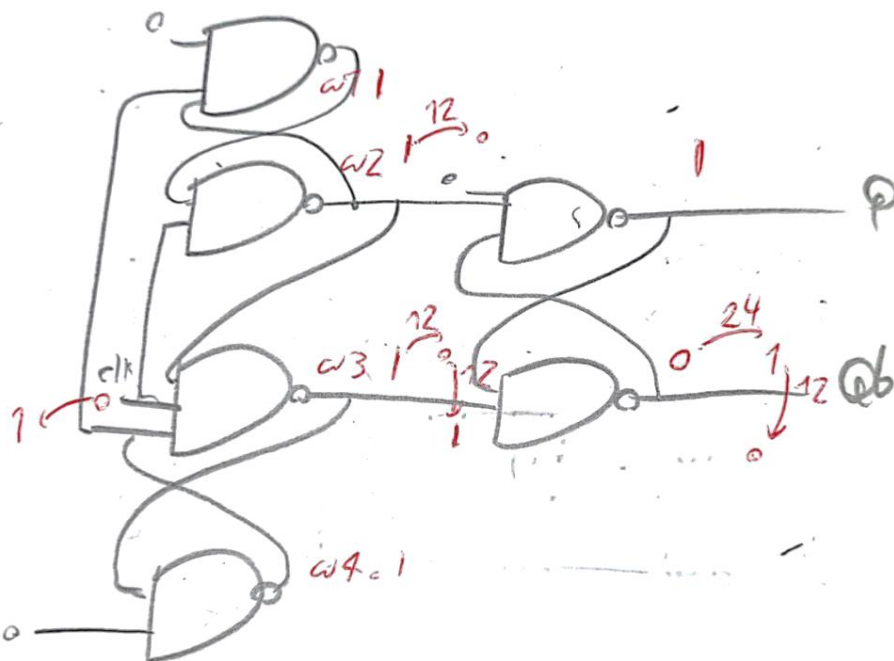
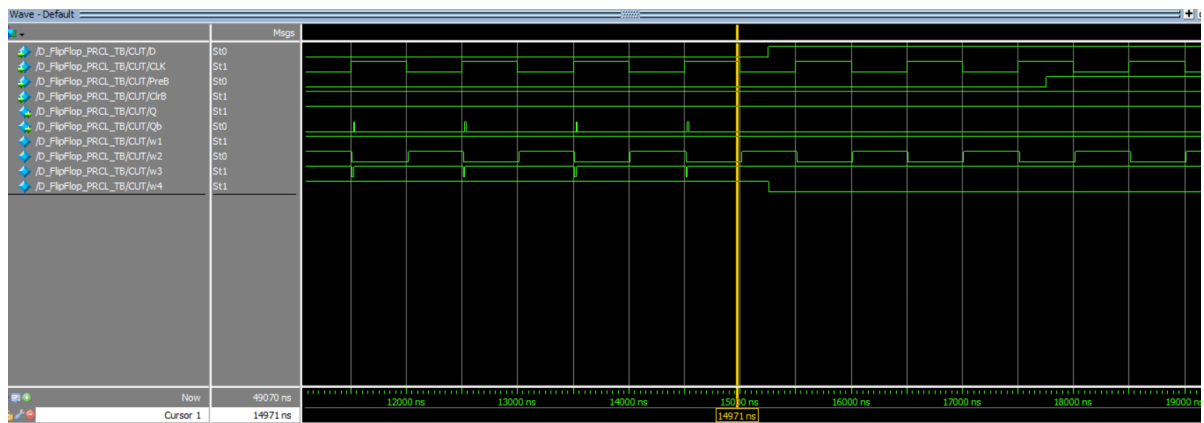
دستی حالت preset میسر ۲۴ns به سر میخورد که clock دارد به سر ۱۲ که به clock می رسد باقی داریم اینجا:



اول به حالت میخورد:

دستی clock از ۰ به ۱ می رود اول به سر میخورد
به سر ۱۲ میخورد و ۱۲ به سر میخورد و ۱۲ به سر میخورد

(با توجه به خروجی ۱۲ میخورد) اما به سر ۱۲ میخورد و ۱۲ به سر میخورد
مقدار ۱ اول به سر میخورد و مقدار ۱ میخورد و ۱ به سر میخورد و ۱ به سر میخورد



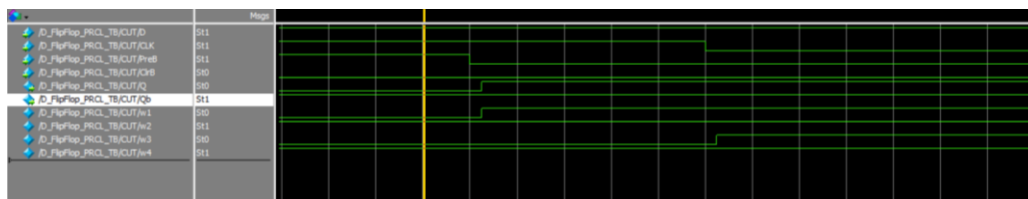
g.

همانطور که گفتیم، این ورودی ها بی توجه به clk کار میکنند پس وقتی روشن هستند هر چقدر هم clk
بزنیم باز همان مقدار preset یا clear روی مدار است

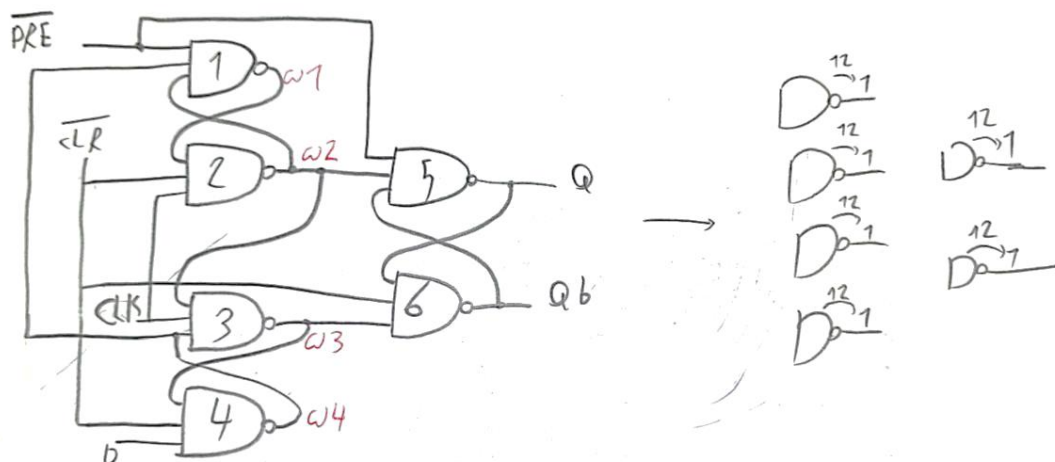
h.

همانطور که گفتیم، مدار حافظه اش را از دست داده و هر دو خروجی 1 شده و تا وقتی دوباره set یا reset اتفاق نیوفتد در همان حال باقی میماند اما حالت تناوبی که قبلا در صورت loss memory داشتیم را ندیدیم.

در اصل در حالتی که همشون صفرند داریم:



دسترسی همه جانبه ی دوتا ورودی ذکر شده به تمام گیت ها باعث می شود همزمان با تثبیت مقداری که اتفاق می افتد، بسیار سریع در عرض ns12 مقدار هر دو خروجی 1 شده و در نتیجه دیتای قبلی پاک می شود اما حالت تناوبی هم نداریم مثل قبلی ها.



نکته پایانی : آزمایشی که با تعدادی از بچه ها بدلیل به شک افتادن راجع به روند کار و تفسیر و رویلاگ طراحی کردم را نیز در تست بنچ ها گذاشتم که توضیح آنرا شفاهی خواهم داد و نتایج آنرا می گویم.