

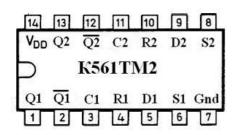
Основные характеристики м/с К561ТМ2:

сброса и противофазными выходами.

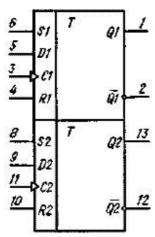
Ochobnic Aupakicpheinku m/c K501 1112.					
Напряжение питания (Vdd)	+3+15V (max 18V)				
Вых. напряжение лог. 0	<0,05V				
Вых. напряжение лог. 1	>Uпит-0,05V				
Рабочий диапазон температур	-40°C+85°C				
Корпус	DIP-14				
Импортный аналог	CD4013/HEF4013				

**Микросхема К561ТМ2** представляет собой два двухступенчатых (master-slave) D-триггера со входами асинхронной установки и

## Назначение выводов м/с К561ТМ2: Условное обозначение триггеров К561ТМ2:



Микросхема К561ТМ2 по входным и выходным уровням сигналов совместима с другими ИС стандартной КМОП логики серии 40xx/K561.



Двухтактный D-триггер микросхемы К561ТМ2 работает следующим образом:

По фронту первого импульса синхронизации на входе С логический уровень со входа D записывается в первый однотактный D-триггер. По фронту второго синхроимпульса на входе С информация записывается во вторую ступень триггера и на выходе Q устанавливается уровень, присутствовавший на входе D перед первым синхроимпульсом. Таким образом, на выходе двухтактного D-триггера сигнал задерживается на один такт (период следования синхроимпульсов).

Входы установки (S) и сброса (R) не зависят от импульсов синхронизации т.е. являются асинхронными. Они имеют активный высокий уровень (лог."1"). Поступление высокого уровня на один из входов R или S устанавливает обе ступени D-триггера соответственно в "0" или "1" независимо от состояния входов C и D. Длительность импульса синхронизации на входе C должна быть не менее 100нс с крутизной фронта не менее 5мкс.

## Таблина логических состояний м/с К561ТМ2:

Clock	D	Reset	Set	Q	Q
$\angle \overline{}$	0	0	0	0	1
	1	0	0	1	0
~	X	0	0	Q	Q
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

0 - низкий уровень, 1 - высокий уровень, X - произвольное состояние.

