

第八章 CMOS模拟集成电路

8.1 MOS晶体管工作原理

MOS晶体管工作原理

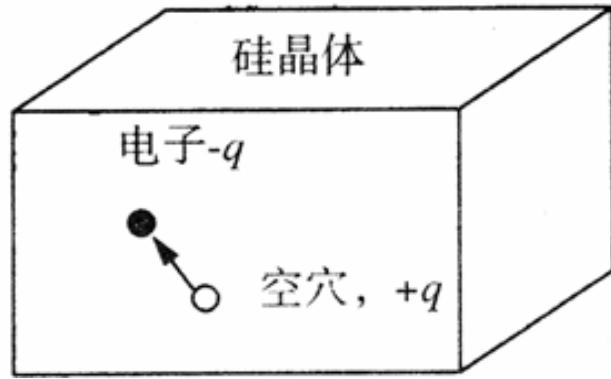
- ◆ CMOS = Complementary Metal Oxide Semiconductor
- ◆ MOS: 金属-氧化物-半导体
- ◆ C: 互补, 把NMOS和PMOS晶体管同时制作在同一硅衬底

导体、绝缘体、半导体

- ◆ 电导率 σ /电阻率 ρ : 衡量材料的导电能力
- ◆ $\rho=1/\sigma$
- ◆ 导体: σ 很大, 如铜 5.8×10^7 S/m
- ◆ 完纯导体: $\sigma=\infty$
- ◆ 绝缘体: σ 很小, 如酚醛塑料 10^{-9} S/m
- ◆ 完纯介质: $\sigma=0$
- ◆ 半导体: σ 介于导体和绝缘体之间, 如纯净硅约12 S/m

硅 (Silicon)

- ◆ 制造MOS晶体管最通用的半导体材料
- ◆ 本征硅：纯净的硅晶体
- ◆ 参与导电的载流子：电子和空穴
- ◆ 导电能力很差
 - 室温27°C条件下，载流子浓度约为 $1.5 \times 10^{10} / \text{cm}^3$



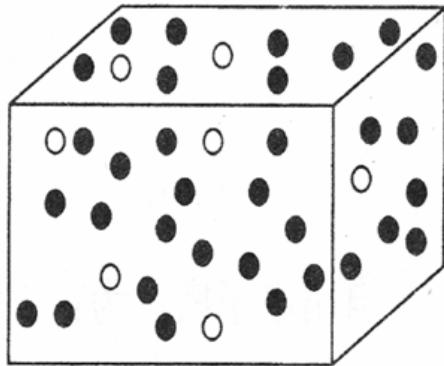
N型硅与P型硅

电子是多子

空穴是少子

主要载流子：电子

$$n > p$$



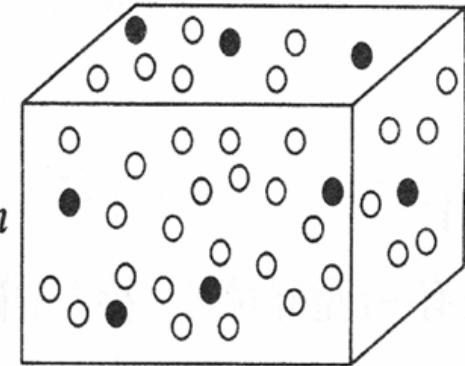
*n*型硅

空穴是多子

电子是少子

主要载流子：空穴

$$p > n$$



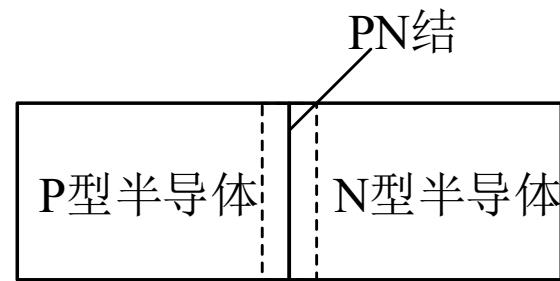
*p*型硅

掺入砷 (*As*) 和磷 (*P*) 等五价原子

掺入硼 (*B*) 等三价原子

导电能力由主要载流子浓度、即掺杂浓度决定
控制掺杂浓度，可以调节半导体的导电能力

PN结



P型半导体和N型半导体接触，其交界处附近就形成PN结

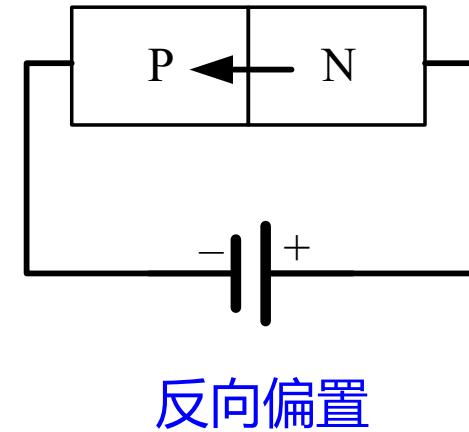
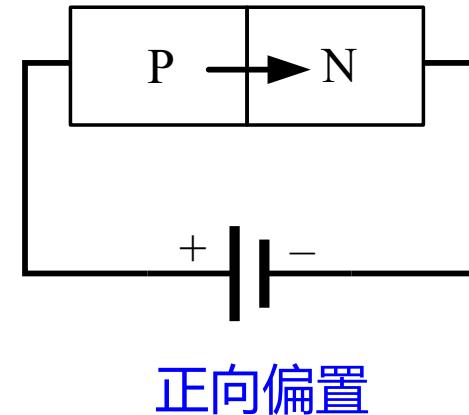
PN结单向导电特性

- ◆ 反向偏置
 - PN结截止，很小的反向饱和电流
- ◆ 正向偏置
 - PN结导通

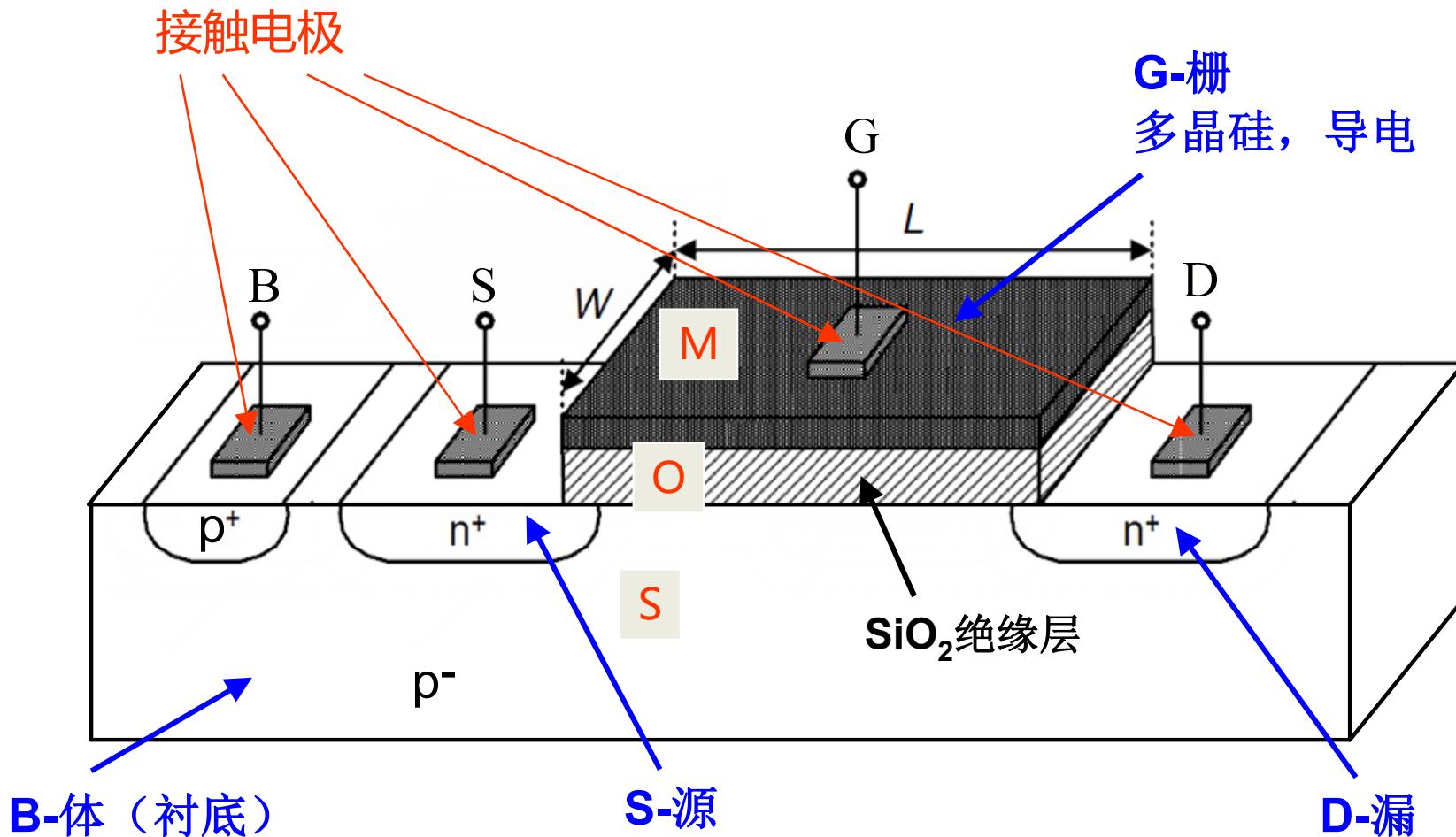
$$I = I_s (e^{V/V_T} - 1)$$

- I_s ——反向饱和电流
- V_T ——热电压，室温下约26mV

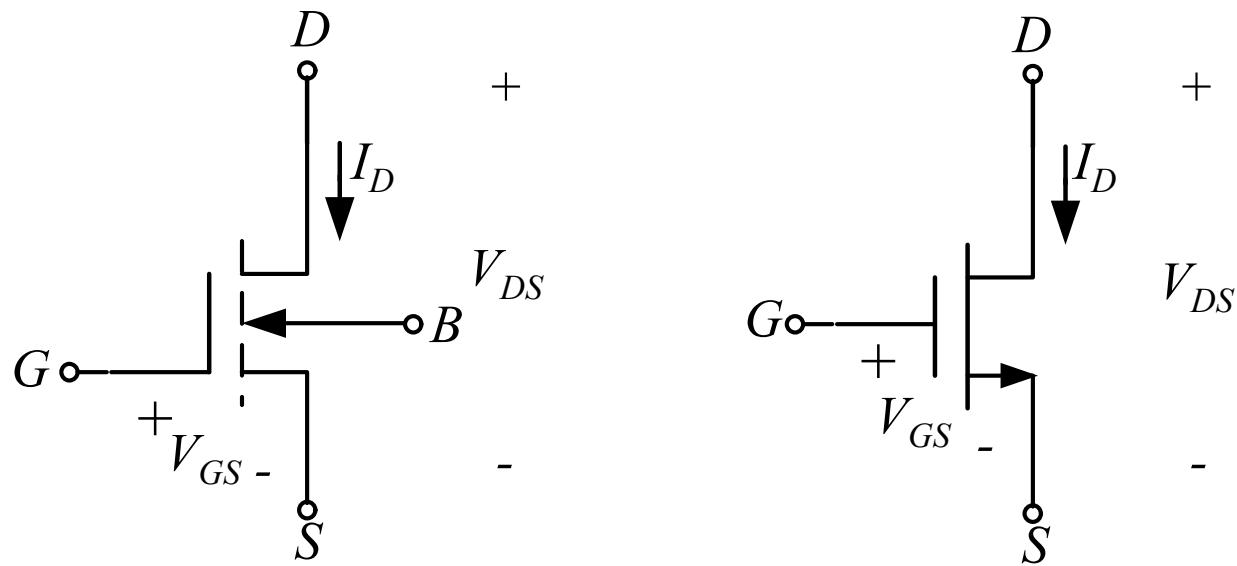
$$V_T = \frac{kT}{q}$$



MOS晶体管结构

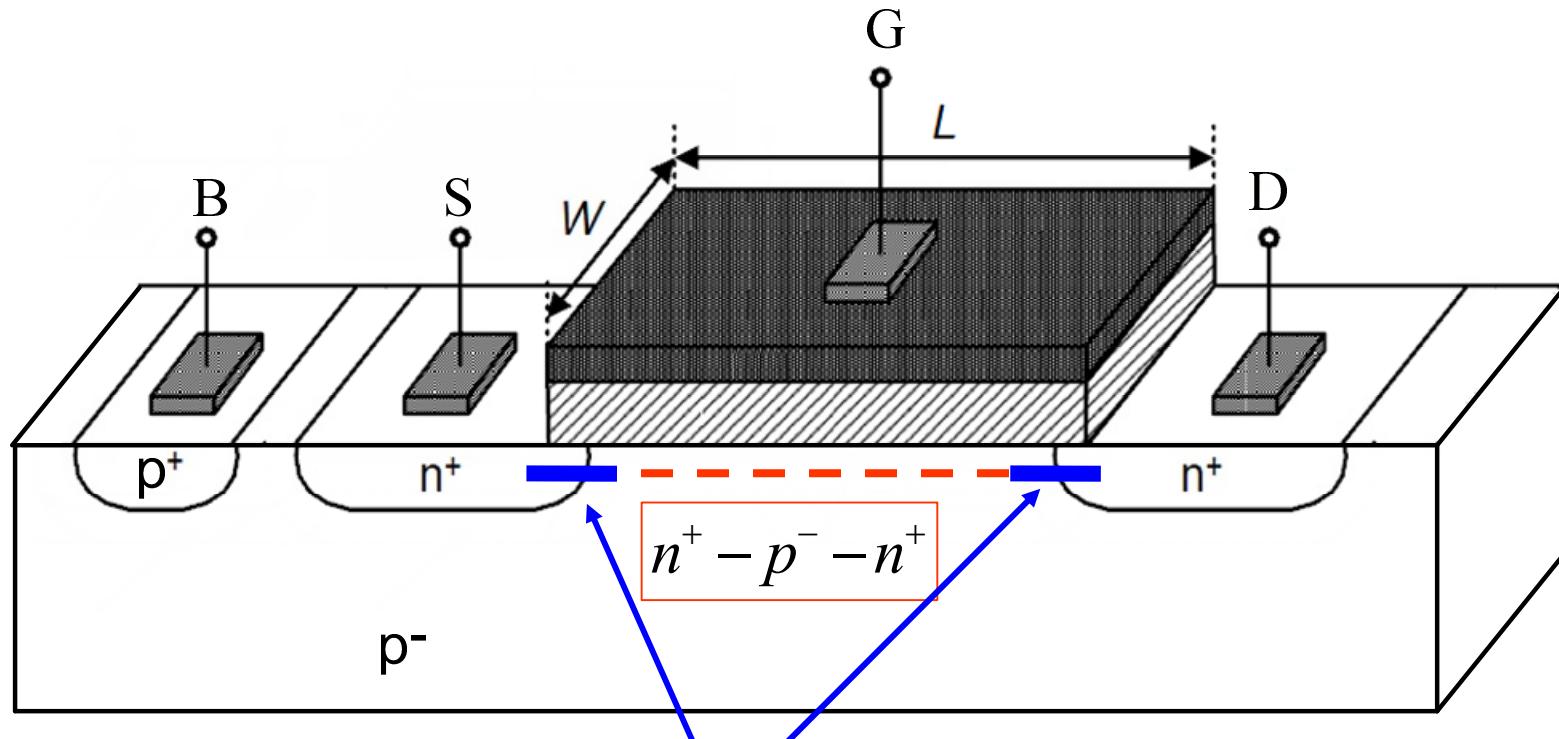


MOS晶体管电路符号



MOS晶体管导电原理

- ◆ 体(B)必须接最低电压，以避免两个PN结同时正偏



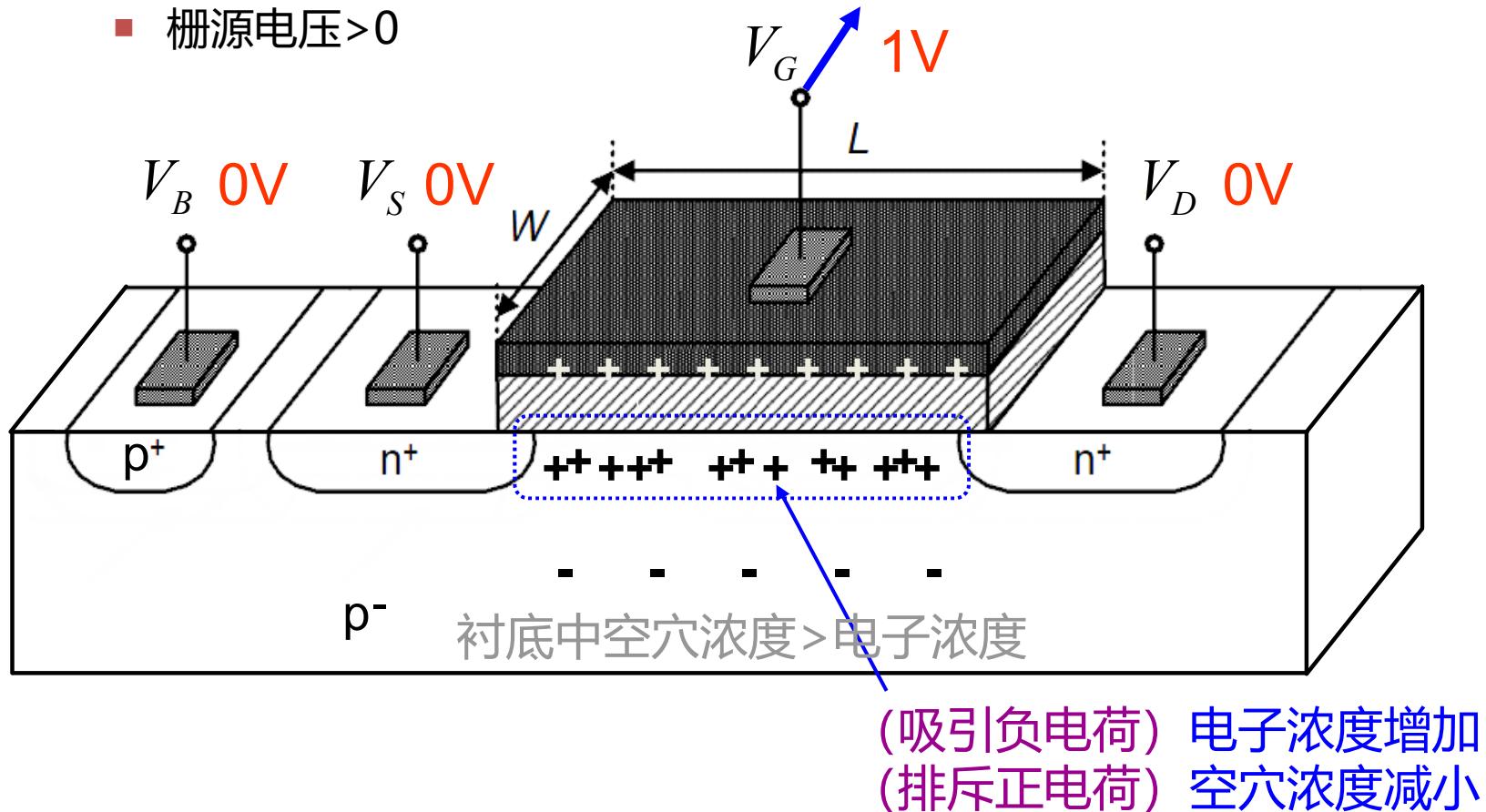
背靠背的两个PN结
源漏之间无法导电

栅源电压影响 $V_{GS} > 0$

$$V_{GS} > 0$$

- ①栅极：积聚正电荷
- ②衬底中栅极正下方区域：
正电荷下移（排斥）
负电荷上移（吸引）

- ◆ 栅极加正电压
 - 栅源电压>0

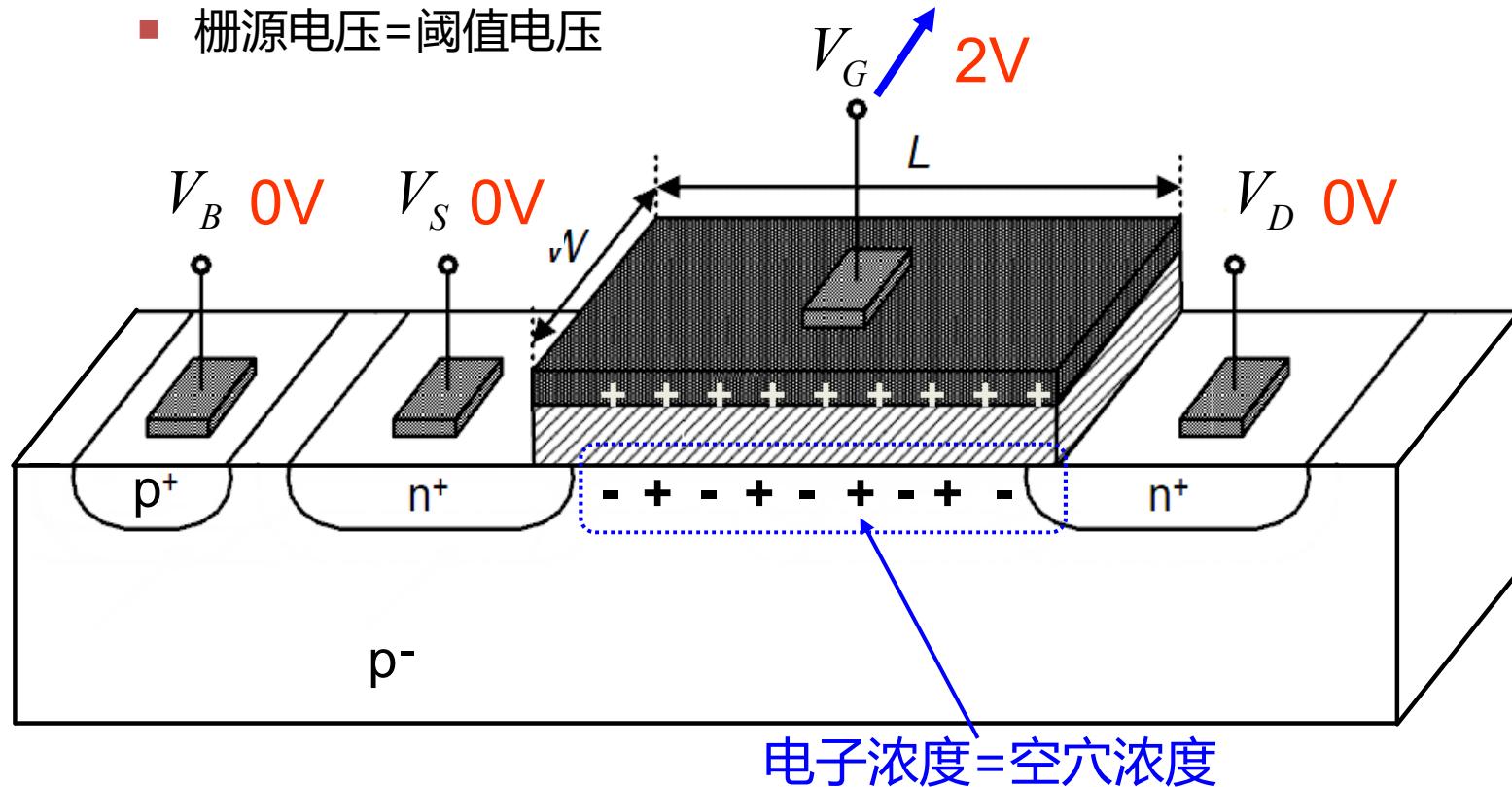


栅源电压影响

$$V_{GS} = V_T \quad (=2V)$$

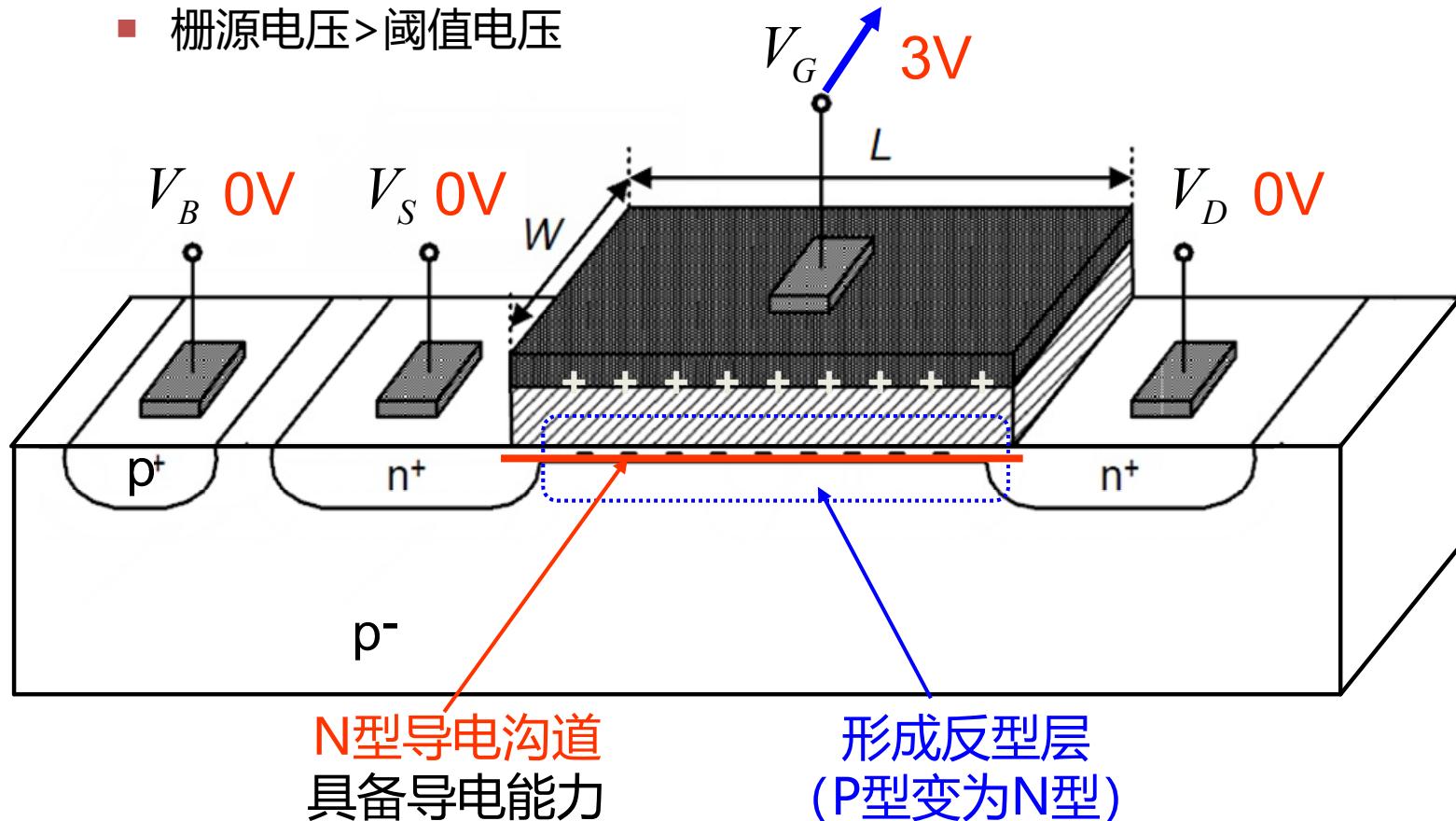
阈值电压：
衬底中栅极正下方的表面
区域电子浓度=空穴浓度
时，对应的栅源电压

- ◆ 增大栅极电压
 - 栅源电压=阈值电压



栅源电压影响 $V_{GS} > V_T$

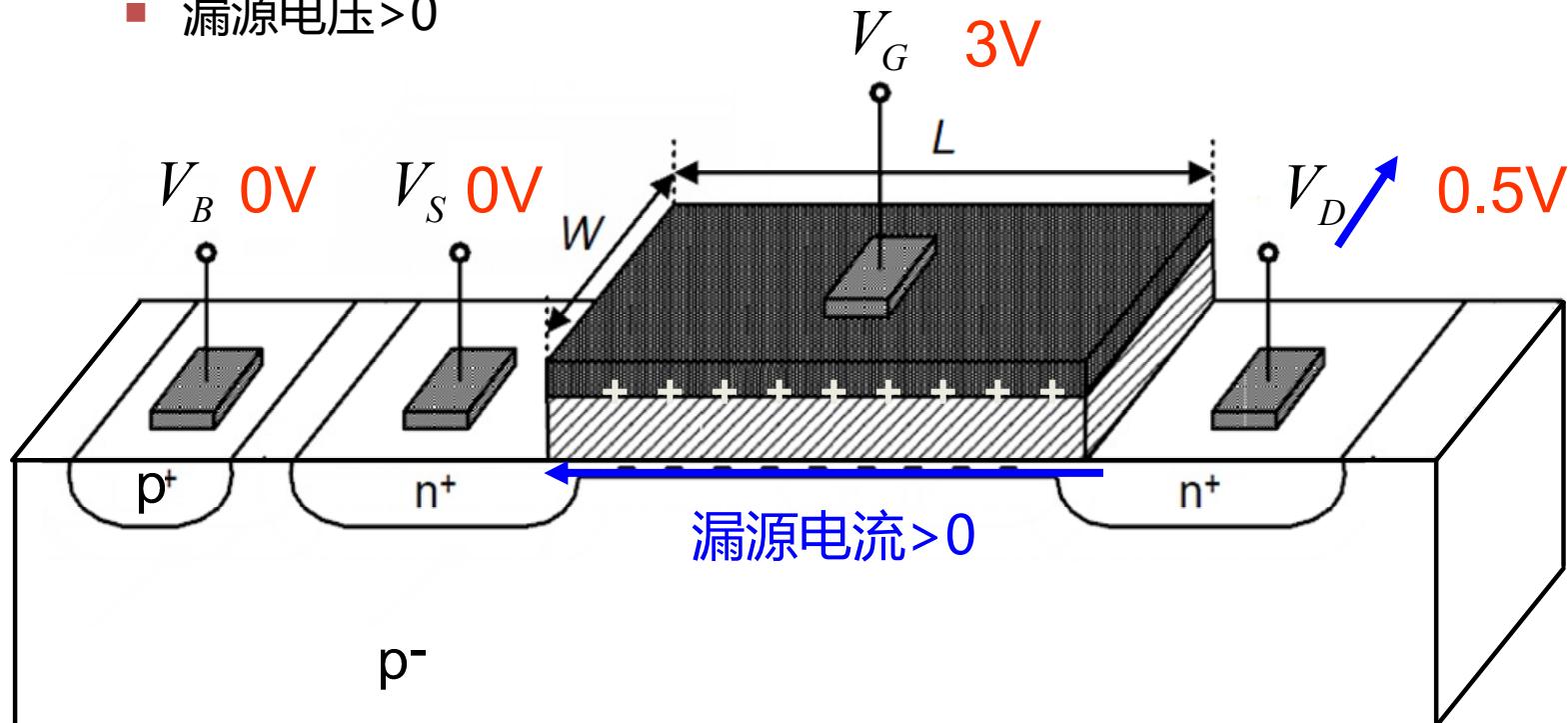
- ◆ 继续增大栅极电压
 - 栅源电压>阈值电压



栅源电压影响 $V_{GS} > V_T$

- ◆ 栅极电压不变，漏极加正电压

- 漏源电压>0



增强型NMOS晶体管

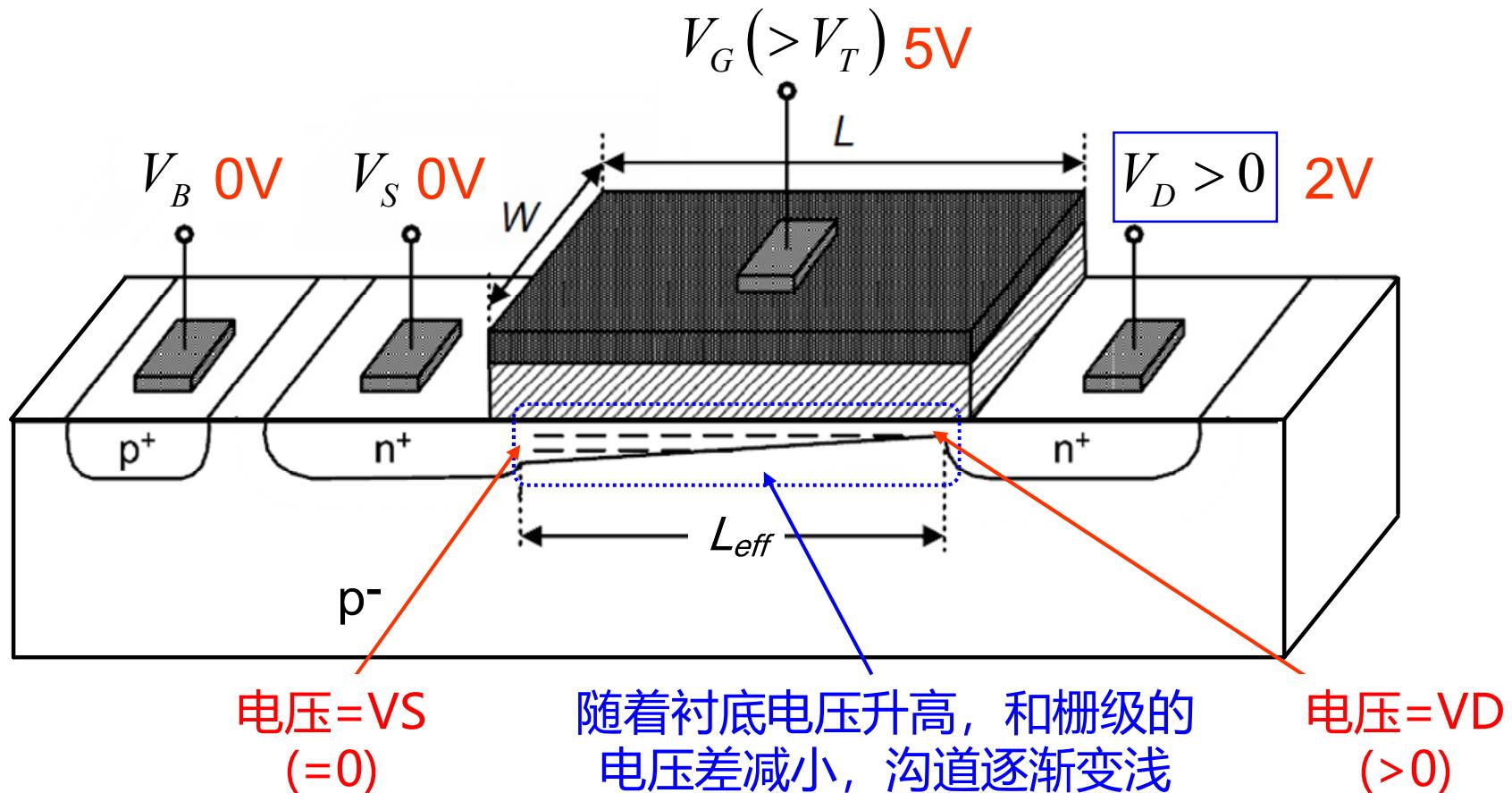
MOS晶体管导电原理

- ◆ 栅源电压 V_{GS} >阈值电压，可以导电
 - 如果漏源电压 $V_{DS}>0$ ，对应会有漏源电流 I_{DS}
- ◆ 栅源电压 V_{GS} 越大，导电能力越强
 - 对于同样大小的漏源电压 V_{DS} ，漏源电流 I_{DS} 越大
- ◆ 栅源电压 V_{GS} <阈值电压，不可以导电
- ◆ 压控器件：漏源电流 I_{DS} 受栅源电压 V_{GS} 控制

漏源电压影响 $V_{DS} > 0$

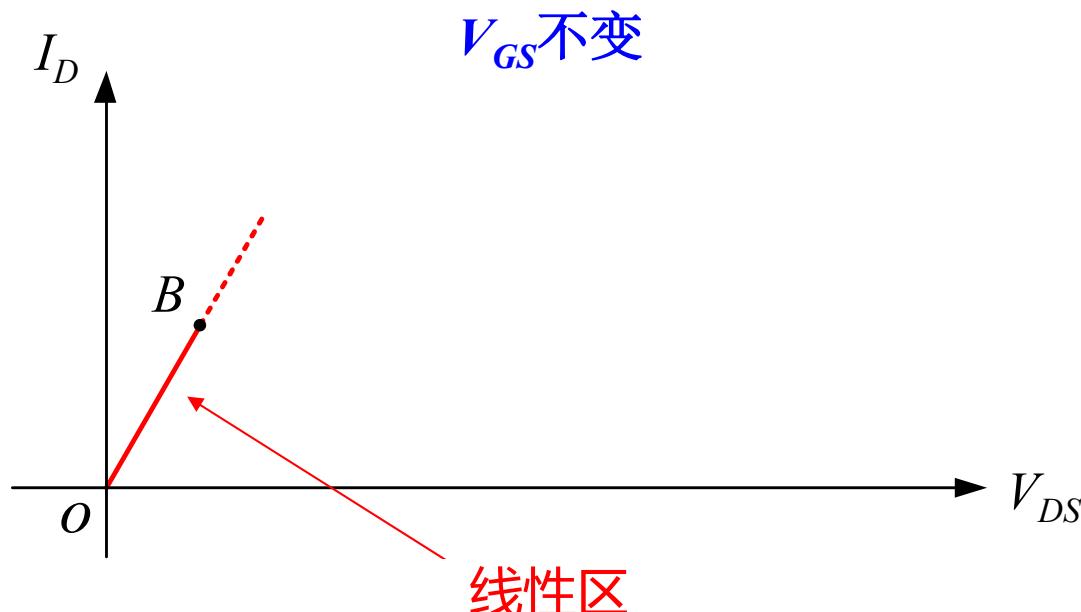
$$V_{GS} > V_T$$

- ◆ 栅极电压不变，漏极加正电压



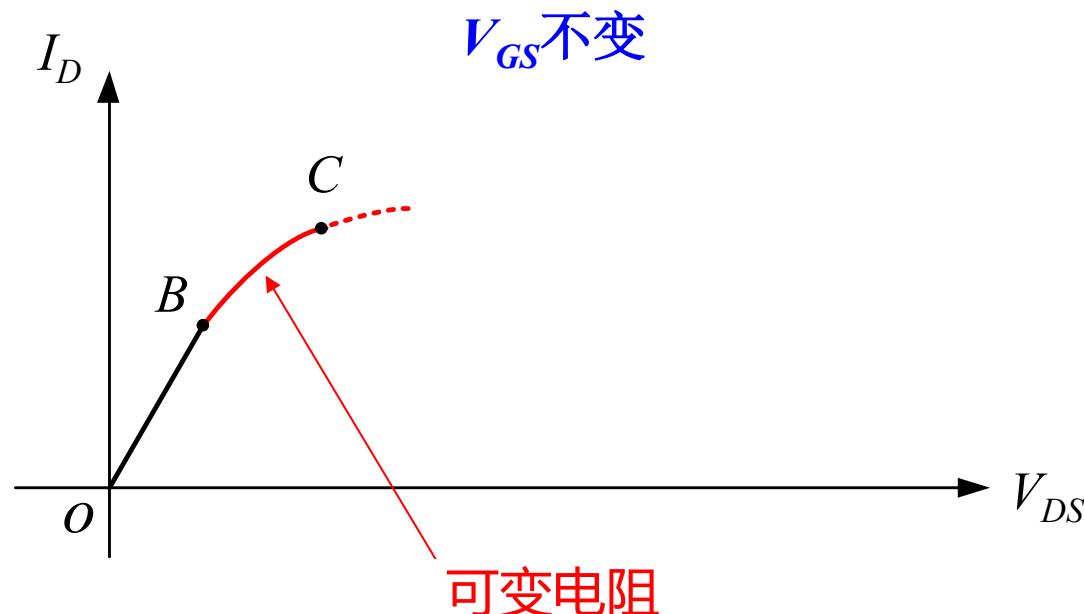
漏源电压影响 $V_{DS} > 0$

- ◆ 漏源电压 V_{DS} 很小，沟道形状几乎不变
 - 导电能力几乎不变，对应的沟道电阻几乎不变
 - 阻值不变的电阻



漏源电压影响 $V_{DS} > 0$

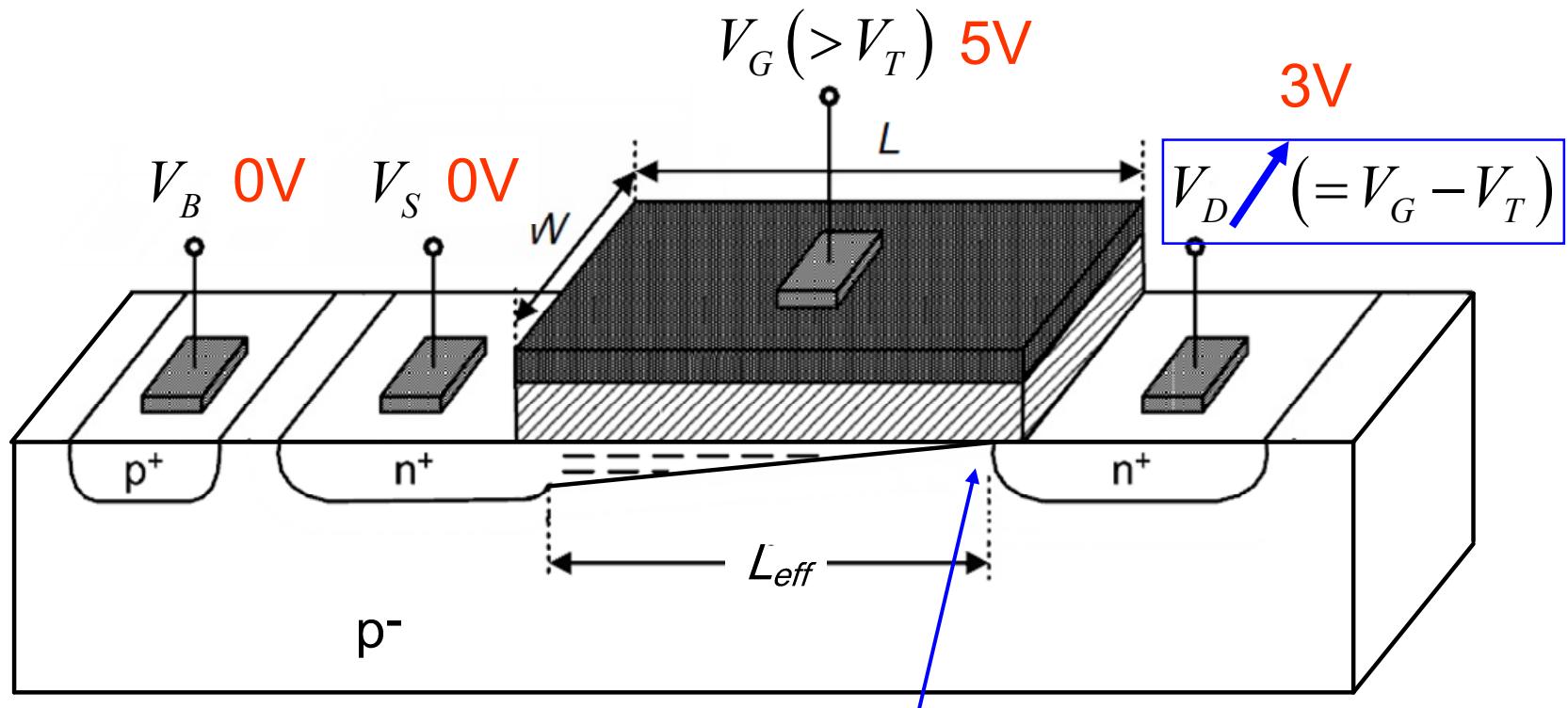
- ◆ 增大漏极电压
- ◆ 漏源电压 V_{DS} 较大，开始影响沟道的形状
 - 导电能力略有减小，对应的沟道电阻增大
 - 阻值渐增的可变电阻



漏源电压影响 $V_{DS} = V_{GS} - V_T$

$$V_{GS} > V_T$$

- ◆ 继续增大漏极电压

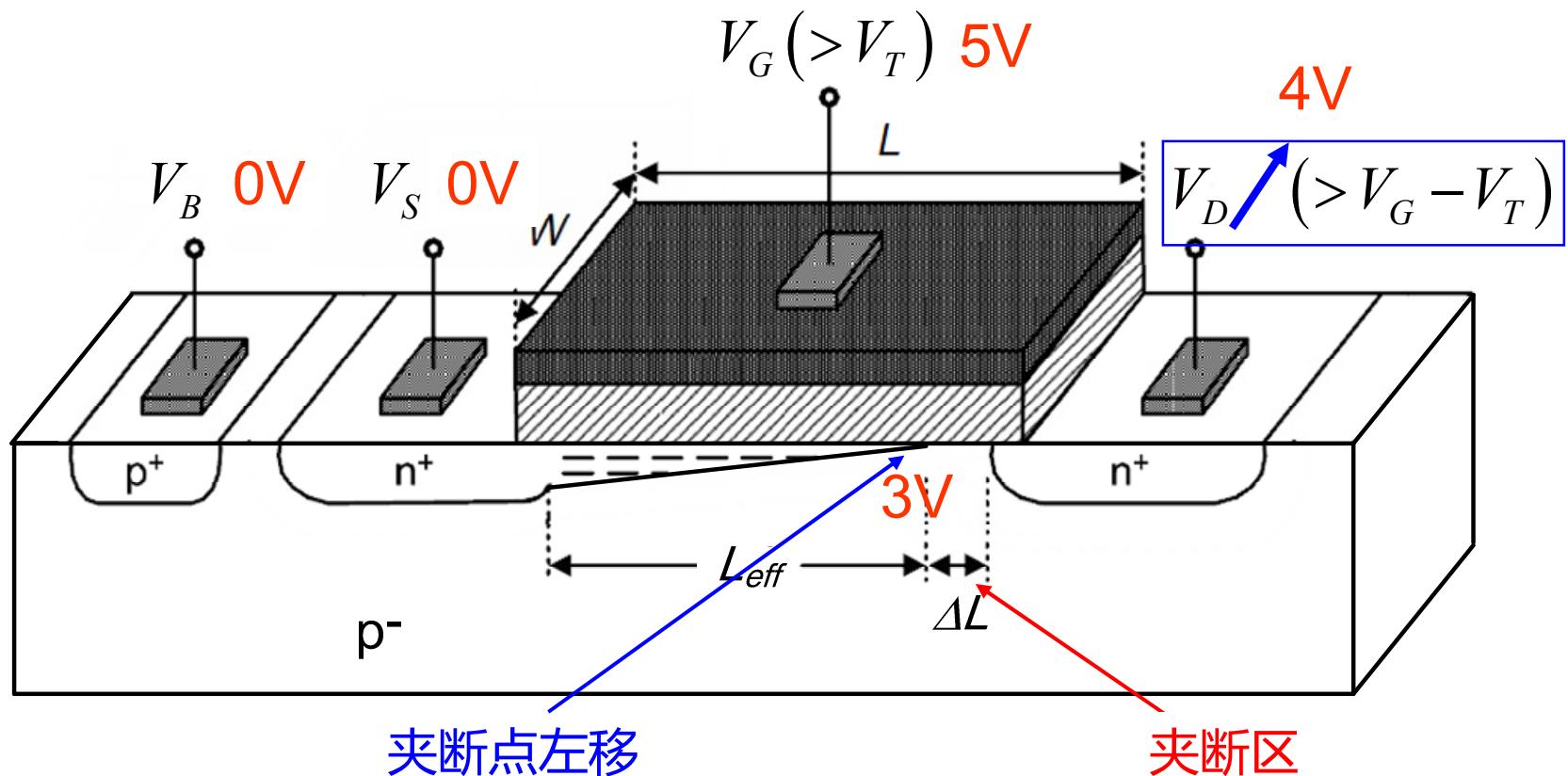


栅和衬底电压差=阈值电压
($V_G - V_D = V_T$)
沟道夹断

漏源电压影响 $V_{DS} > V_{GS} - V_T$

$$V_{GS} > V_T$$

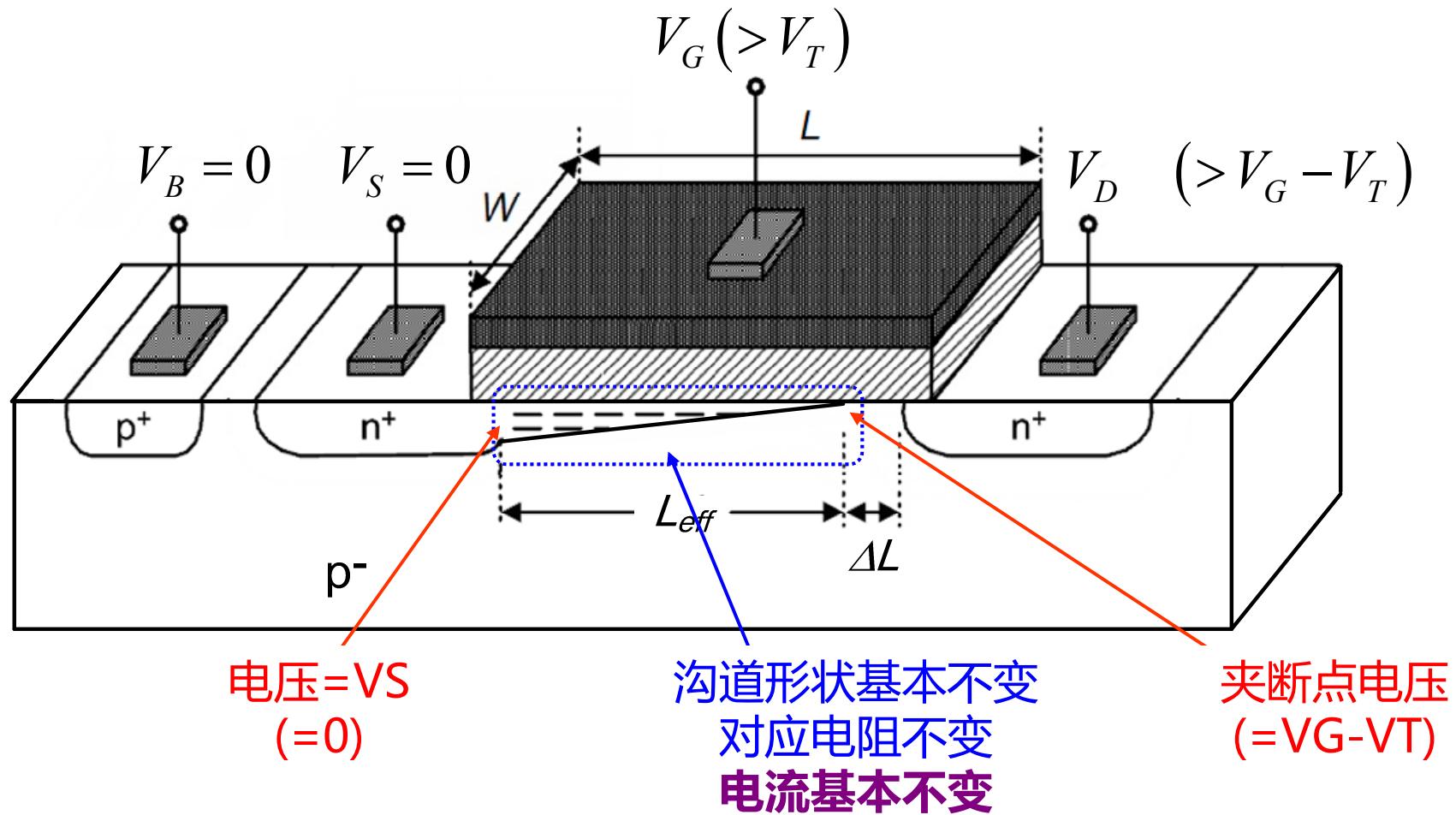
- ◆ 继续增大漏极电压



漏源电压影响 $V_{DS} > V_{GS} - V_T$

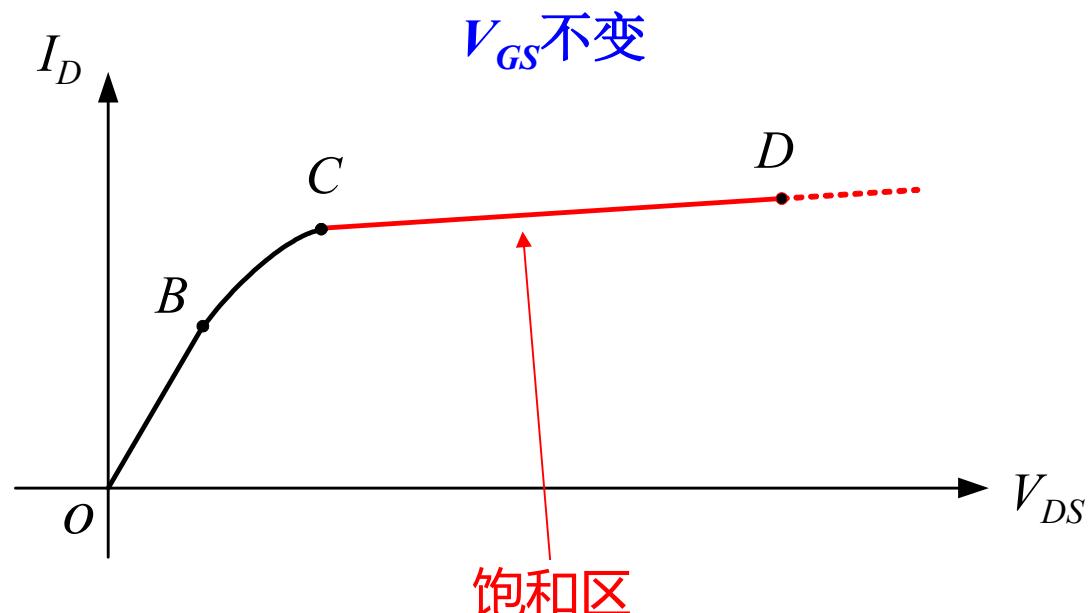
$$V_{GS} > V_T$$

- ◆ 对于长沟道器件， $\Delta L \ll L$



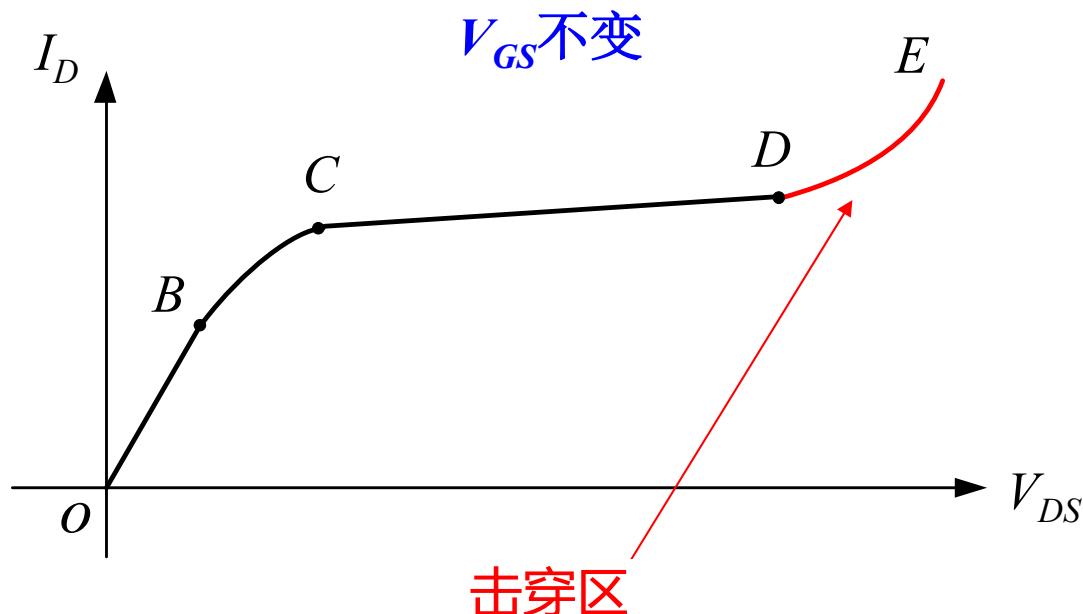
漏源电压影响 $V_{DS} > V_{GS} - V_T$

- ◆ 电流基本不变
 - 相当于电流源

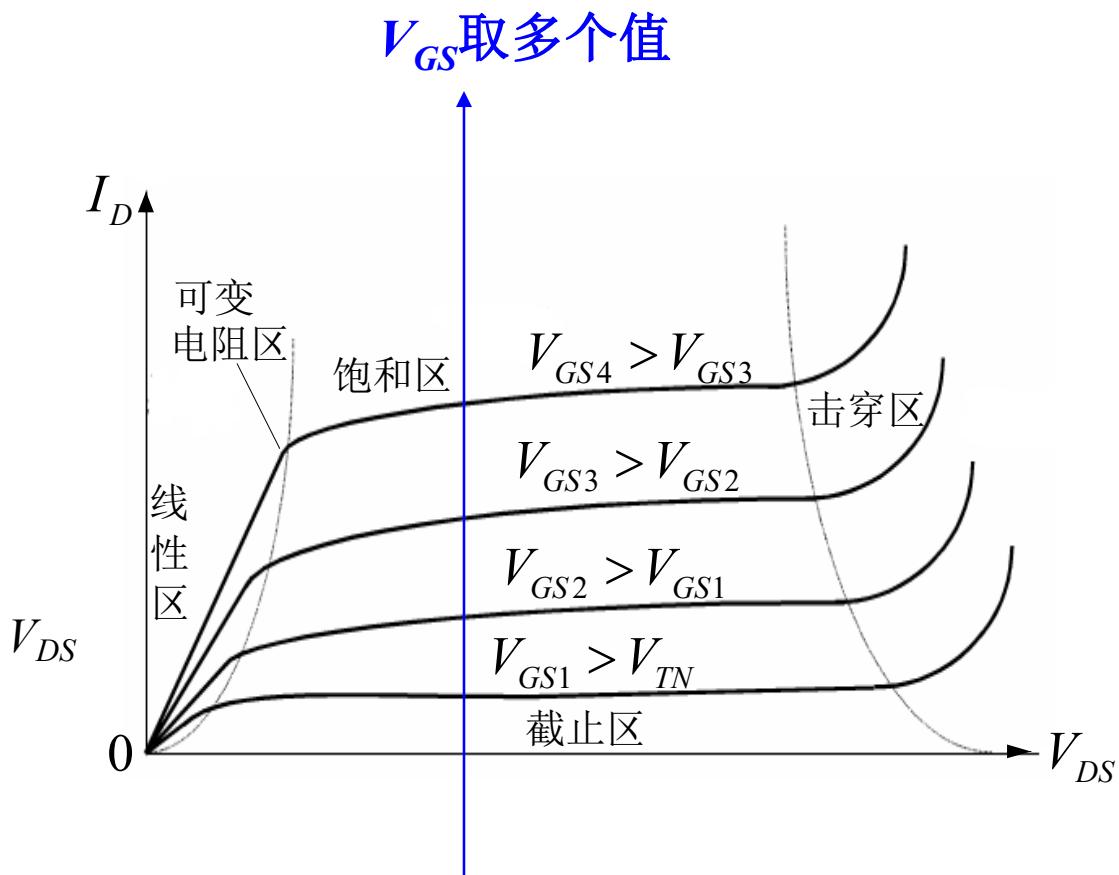
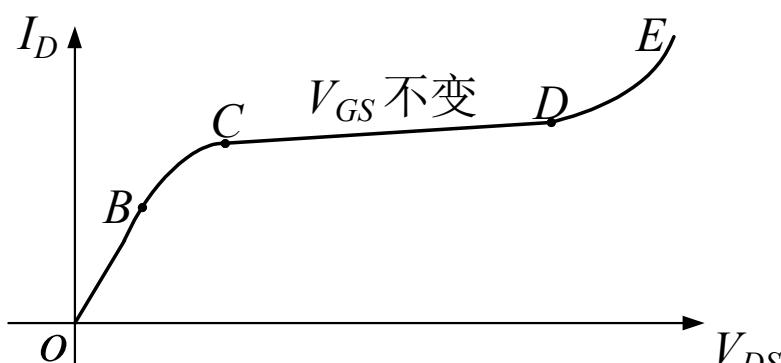


漏源电压影响

- ◆ 继续增大漏极电压
 - 漏源电压V_{DS}太大，造成击穿

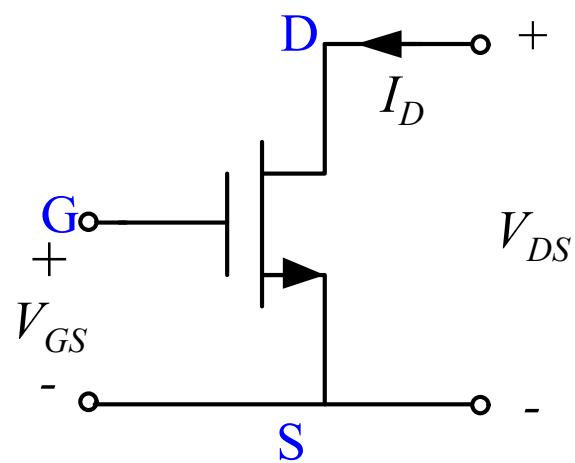


NMOS管输出特性

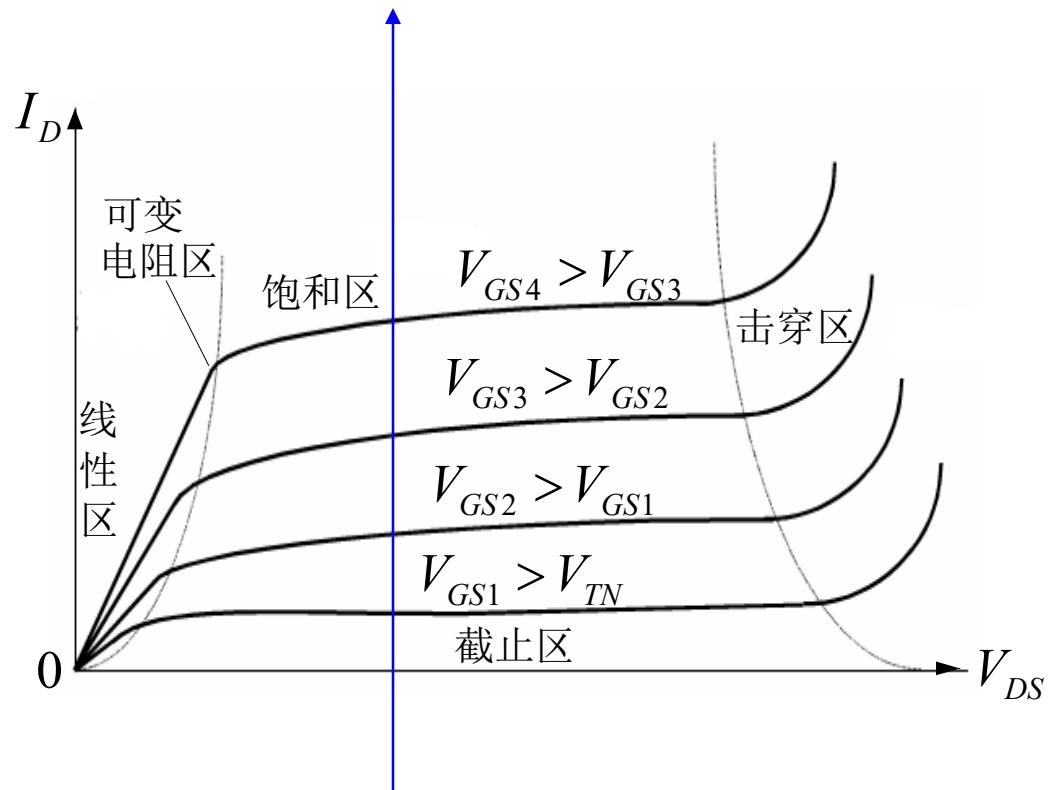


NMOS管共源接法

共源接法

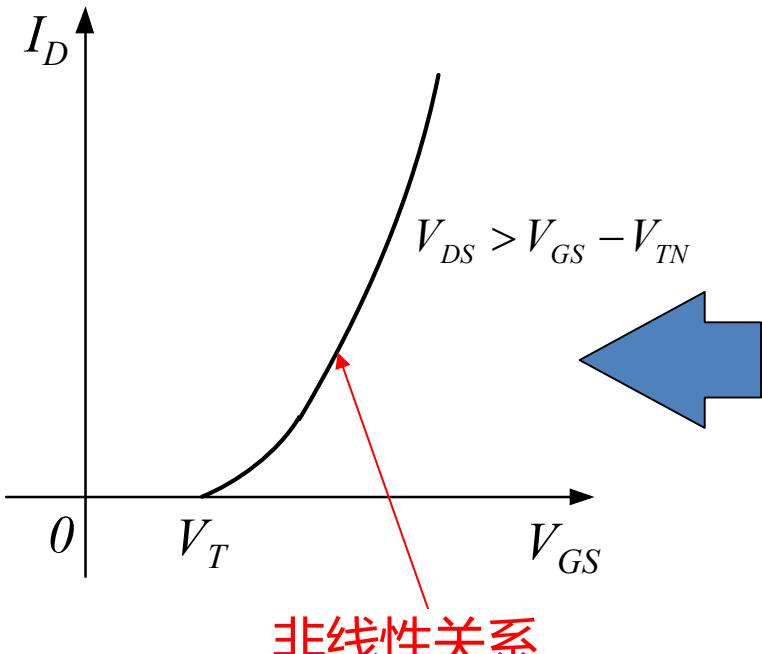


V_{GS} 取多个值

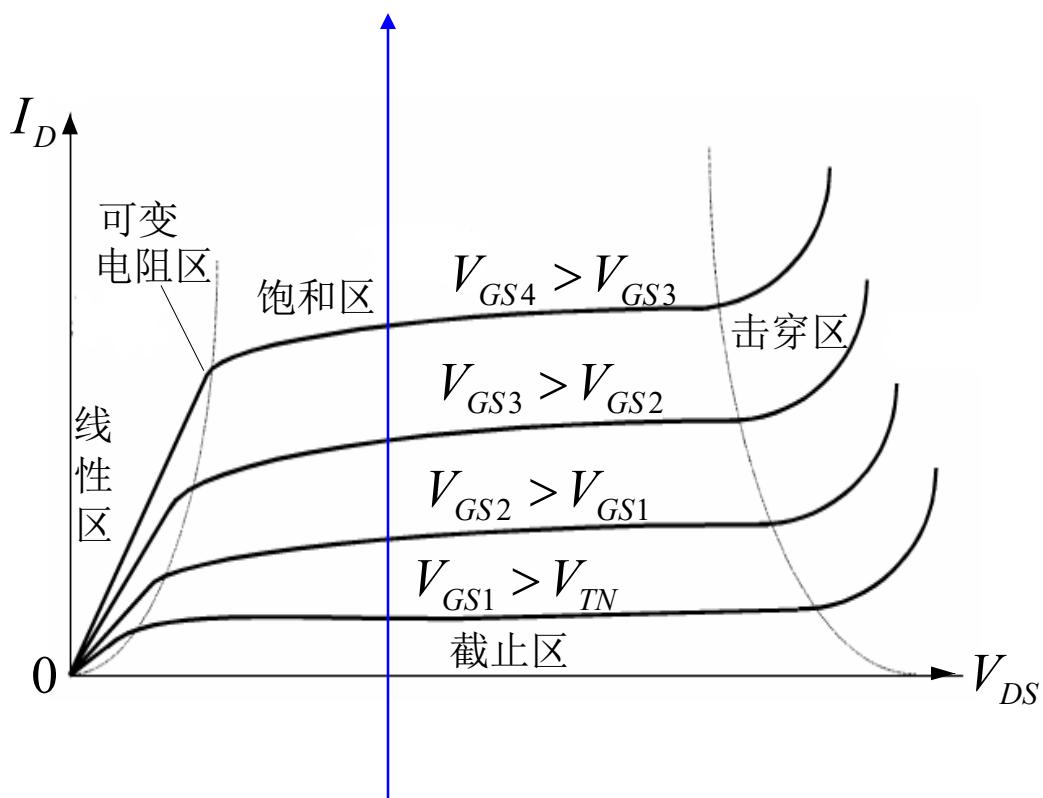


NMOS管转移特性

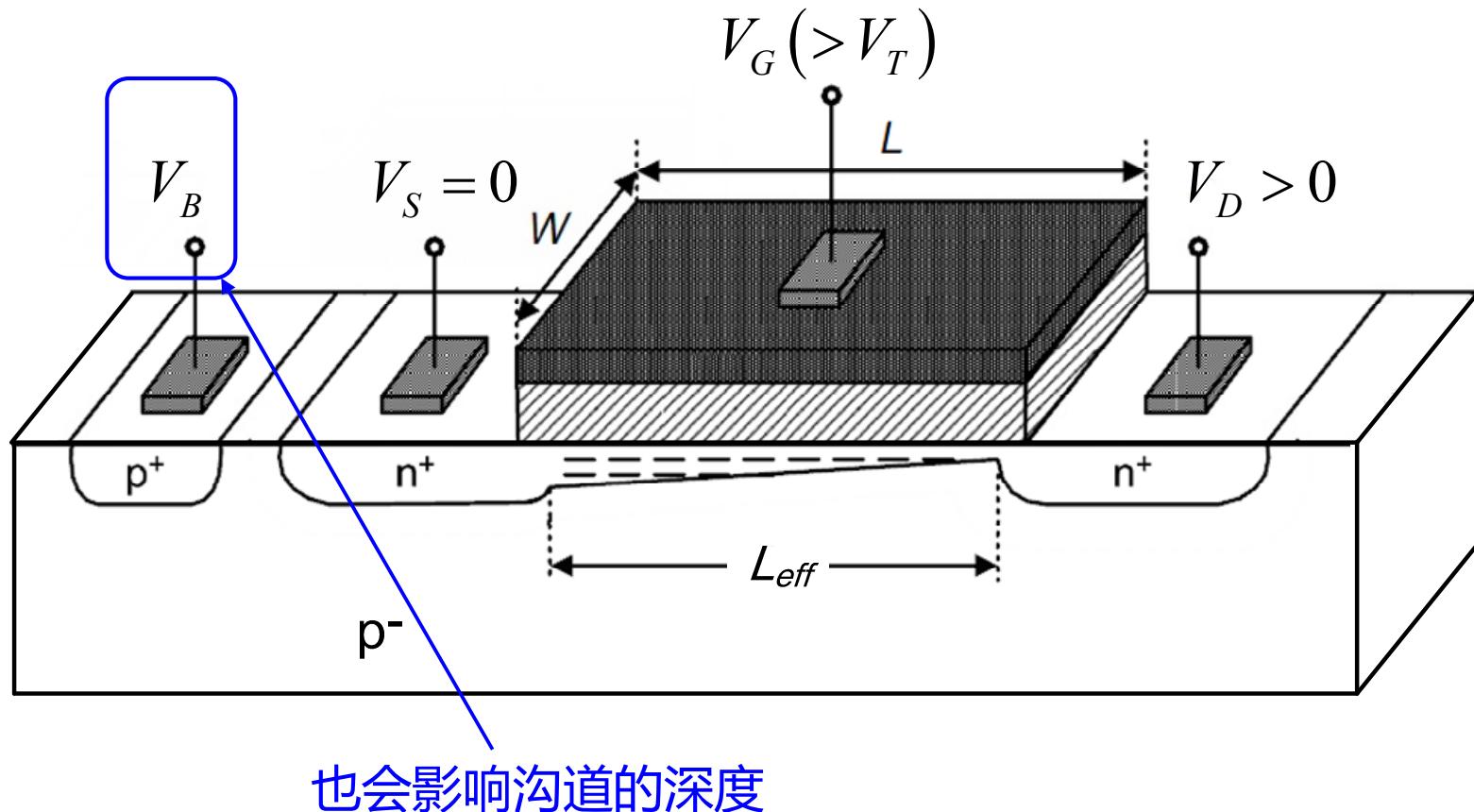
转移特性



V_{GS} 取多个值

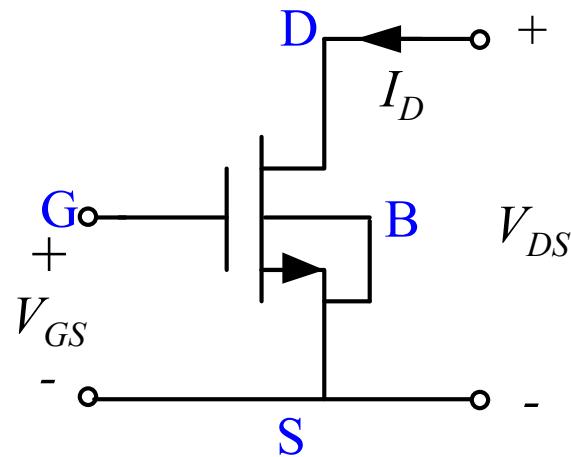


背栅效应



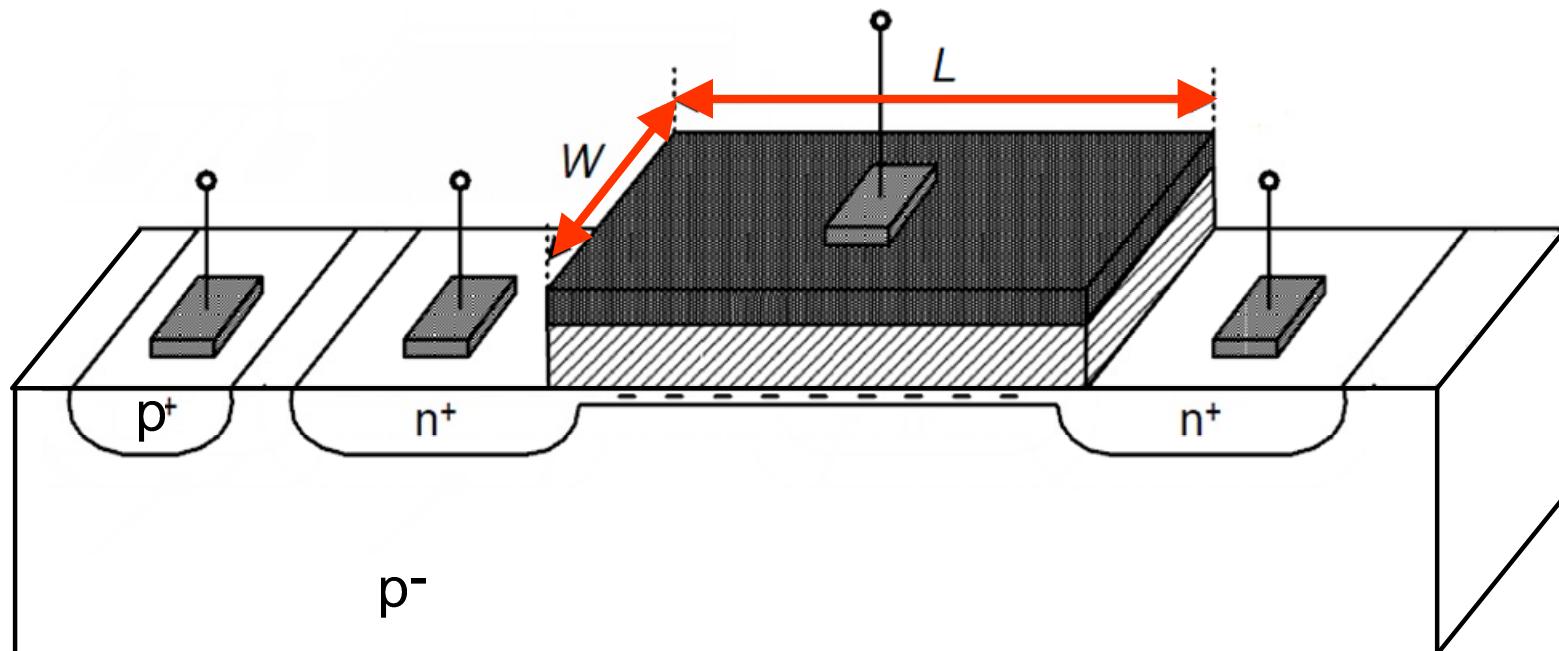
背栅效应

- ◆ 源极电压与衬底电压不相同， $V_{BS} \neq 0$ ，衬底（像栅极一样）影响漏极电流
- ◆ 如果条件允许，把源极与衬底连接在一起，令 $V_{BS}=0$
 - 无需考虑背栅效应



MOS晶体管结构参数

- ◆ W/L——宽长比



导电能力和宽长比成正比

小结

- ◆ MOS晶体管导电沟道的形状，决定导电能力
- ◆ 宽长比决定沟道的宽度和长度
 - 宽长比越大，导电能力越大
- ◆ 栅源电压决定沟道是否形成，以及形成沟道的深度
 - 沟道越深，导电能力越大
- ◆ 漏源电压决定沟道是否夹断
 - 夹断之前，线性区，电流随漏源电压线性变化
 - 夹断之后，饱和区，电流几乎不随漏源电压变化