版本

更新记录	文档名	实验指导书 _lab1
	版本号	0.3
	创建人	计算机组成原理教学组
	创建日期	2017/10/18

更新历史

序号	更新日期	更新人	版本号	更新内容
1	2017/10/8	吕昱峰	0.1	初版，存储器与 ALU 实验
2	2018/10/8	吕昱峰	0.2	去除无用的章节前述，改为实验开始前的准备内容；删除存储器实验冗杂的拨码要求；删除验证性实验，将 0.1 版本中验证性实验改为设计实验。
3	2019/11/2	吕昱峰	0.3	调整存储器部分至实验 2，修改实验原理图。
4	2024/3/25	陈昭睿	0.4	删除流水线实验，ALU支持指令进行更改。

致谢：

本文档流水线设计部分采用中国科学院大学实验指导书中流水线基础内容，其设计与Demo均取自龙芯《计算机体系结构导教班》提供的资源，特此说明并感谢。

文档错误反馈： 本文档经多版本迭代，但由于作者精力能力有限，其中出现错误请联系：

lvyufeng@cqu.edu.cn

1 实验一 简单运算器实验

在进行本次实验前，你需要具备以下实验环境及基础能力：

1. 装有Vivado2019.1的电脑一台；
   (a). 本实验不对 Vivado 环境有硬性要求，但涉及 Xilinx 库中 IP 的实验，在不同版本环境下无法兼容，且低版本 Vivado 无法运行高版本生成的项目，为方便实验检查，应当尽量使用实验要求版本。
   (b). 若未曾安装 Vivado，请参考文档“**A03_Vivado 安装说明 _v1.00**”。
2. 熟悉Vivado 的 IDE 环境，并能够使用其进行仿真、综合；
   (a). 如果对 Vivado 不熟悉，参考文档“**A04_Vivado 使用说明 _v1.00**”。
3. 熟悉Nexys4 DDR 开发板 (Artix-7)；
   请确保在实验进行前阅读过“**A01_Nexys4_DDR 用户手册**”。

1.1 实验目的

1. 了解算术逻辑单元 ALU 的原理；
2. 熟悉并运用 Verilog 语言设计 ALU；
3. 学习Verilog 不同形式的编程方式，理解 assign 和 always 的区别；

1.2 实验设备

1. 计算机 1 台 (尽可能达到 8G 及以上内存)；
2. Nexys4 DDR 实验开发板；
3. Xilinx Vivado 开发套件 (2018.1 版本)。

1.3 实验任务

本次实验为 ALU 设计。

1.3.1 ALU 设计实验

图 1给出了一个具有 N 位输入和 N 位输出的算数逻辑单元的电路符号。算术逻辑单元接收说明执行哪个功能的控制信号 F，执行对应功能后输出 N 位结果。

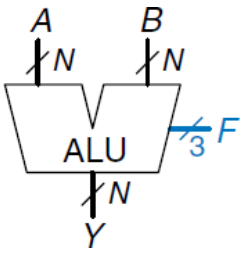

图 1: ALU

实验要求实现以下算术运算功能，其对应的控制码及功能如下：

F2:0	功能	F2:0	功能
001	A + B(Unsigned)	101	A XOR B
010	A - B	110	A MUL B
011	A AND B	111	未使用
100	A OR B	000	未使用

表 1: 算数运算控制码及功能

本次实验将 ALU 输出结果通过板载七段数码管进行显示验证，原理图如图2所示：

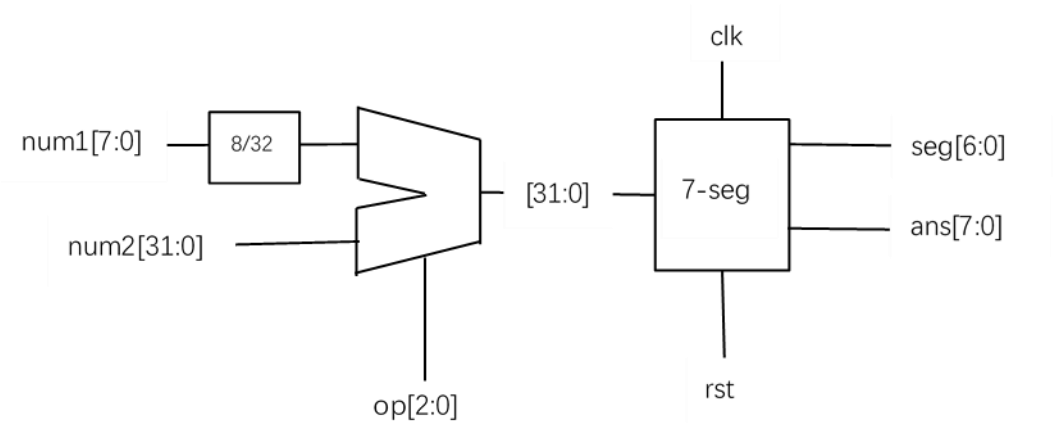

图 2: ALU 实验原理图

实验要求：

1. 根据 ALU 原理图 (图 1)，使用 Verilog 语言定义 ALU 模块，其中输入输出端口参考实验原理，运算指令码长度为 [2:0]。
2. 自行编写 Testbench 仿真文件，时钟周期设为 10ns，每个时钟周期输入 A、B、OP，捕获输出并打印在控制台。
3. 验证表1中所有功能。

4. 实现SLT功能。
5. 给出RTL源程序(.v 文件）并上板验证功能
6. 内置一个32位num2（值为32h'01）作为输入到运算器端口A；
7. 将sw0-sw7输入到num1，经过无符号扩展至32位后，输入到运算器的端口B；
8. 运算器支持"加、减、与、或、异或、乘"5种运算，需要3位（8个操作）。将sw15-sw14输入到op作为运算器的控制信号；
9. 将计算32位结果s显示到七段数码管(16 进制)。

1.4 实验环境

以下表格中红色部分需自行实现，黑色部分与实验发布包中提供。

1.4.1 ALU 实验

|–top.v	设计顶层文件，参照图 2将各模块连接。
|—-alu.v	ALU 模块，本次实验重点。
|—-display.v	七段数码管显示模块文件，已提供。
|——seg7.v	七段数码管显示模块组成文件，已提供。综
|–constr.xdc	合实现时，约束文件，已提供。
|–sim.v	仿真文件，控制时钟、信号。

表 2: ALU 实验文件树

2 Verilog 不同实现方式

验证实验给出两种不同的组合逻辑实现方式：

Listing 6: assign 实现组合逻辑

```
module calculate(
    input wire [7:0] num1,
    input wire [2:0] op,
    output [31:0] result
    );
    wire [31:0] num2;
    wire [31:0] Sign_extend;

    assign num2 = 32'h00000001;
    assign  Sign_extend ={{24{1'b0}},num1[7:0]};
    assign result = (op == 3'b001)? Sign_extend + num2:
                    (op == 3'b010)? Sign_extend - num2:
                    (op == 3'b011)? Sign_extend & num2:
                    (op == 3'b100)? Sign_extend | num2:
                    (op == 3'b101)? Sign_extend  ^ num2;
                    (op == 3'b110)? Sign_extend  * num2;
endmodule
```

Listing 7: always 实现组合逻辑

```
module calculate(
    input wire [7:0] num1,
    input wire [2:0] op,
    output reg [31:0] result
    );
    reg [31:0] num2;
    reg[31:0] Sign_extend;
    always @(op) begin
       num2 = 32'h00000001;
       Sign_extend ={24'h000000,num1[7:0]};
            case(op)
                3'b001:result = Sign_extend + num2;
                3'b010:result = Sign_extend -  num2;
                3'b011:result = Sign_extend &  num2;
                3'b100:result = Sign_extend |  num2;
                3'b101:result = Sign_extend ^  num2;
                3'b110:result = Sign_extend *  num2;
                default:result = 32'h00000000;
            endcase
         end
```

```
21  endmodule
```

二者区别对比如下:

	assign	always
result	wire	reg
num2	wire	reg
sign_extend	wire	reg

表 4: assign & always 信号对比

Always 即可实现组合逻辑,也可实现时序逻辑:

(1) always @(a or b or c)或 always@(*)形式的,即不带时钟边沿的,综合出来还是组合逻辑;
(2) always @（posedge clk）形式的，即带有边沿的，综合出来一般是时序逻辑，会包含触发器（Flip-Flop）

观察 Listing 7中 always 的触发信号 op，可以得知其为组合逻辑。在这里，给出两种方式在 FPGA 资源及编程难度上的对比。

	assign	always
资源占用	使用 wire 变量，综合得到的组合逻辑全部由导线构成，不占用 FPGA 资源	由于内部赋值与输出都需要使用 reg 变量，同为组合逻辑，需占用一定资源
编程及理解难度	面向信号进行状态描述，一般需要考虑单个信号在所有状态下的可能性，需要完全理解后进行编程。 阅读者理解难度大。	面向实验需求描述，always 模块内书写方式与高级语言相仿，可以按照实验要求逐一列举。 阅读者理解较容易。

表 5: assign & always 设计对比

注意:Imagination 及龙芯高校开源计划代码均采取 assign 方式 实验推荐使用 assign 方式实现组合逻辑。设计实验中新增内容使用 assign 方式增加输出信号更为简单。

A Nexys4 DDR 开发板基本信息

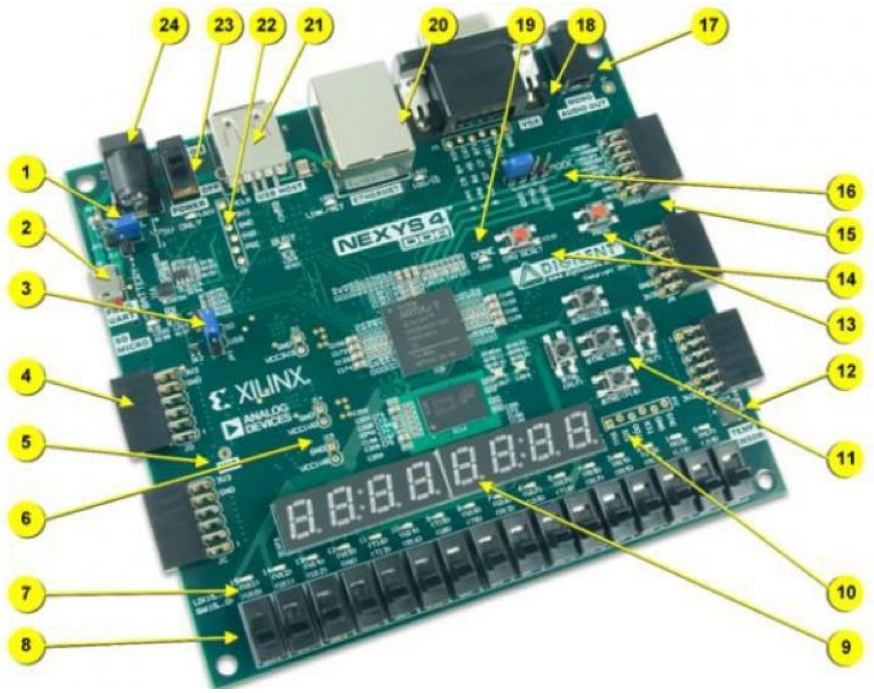

图 3: Nexys4 DDR 示意图

1	选择供电跳线	13	FPGA 配置复位按键
2	UART/ JTAG 共用USB 接口	14	CPU 复位按键 (用于软核)
3	外部配置跳线柱 (SD / USB)	15	模拟信号 Pmod 端口 (XADC)
4	Pmod 端口	16	编程模式跳线柱
5	扩音器	17	音频连接口
6	电源测试点	18	VGA 连接口
7	16 个 LED	19	FPGA 编程完成 LED
8	16 个拨键开关	20	以太网连接口
9	8 位 7 段数码管	21	USB 连接口
10	可选用于外部接线的 JTAG 端口	22	(工业用) PIC24 编程端口
11	5 个按键开关	23	电源开关
12	板载温度传感器	24	电源接口

表 6: Nexys4 DDR 功能表

B Nexys4 DDR 引脚说明

100MHz 时钟 E3

按键、拨码管、LED、七段数码管、Reset:

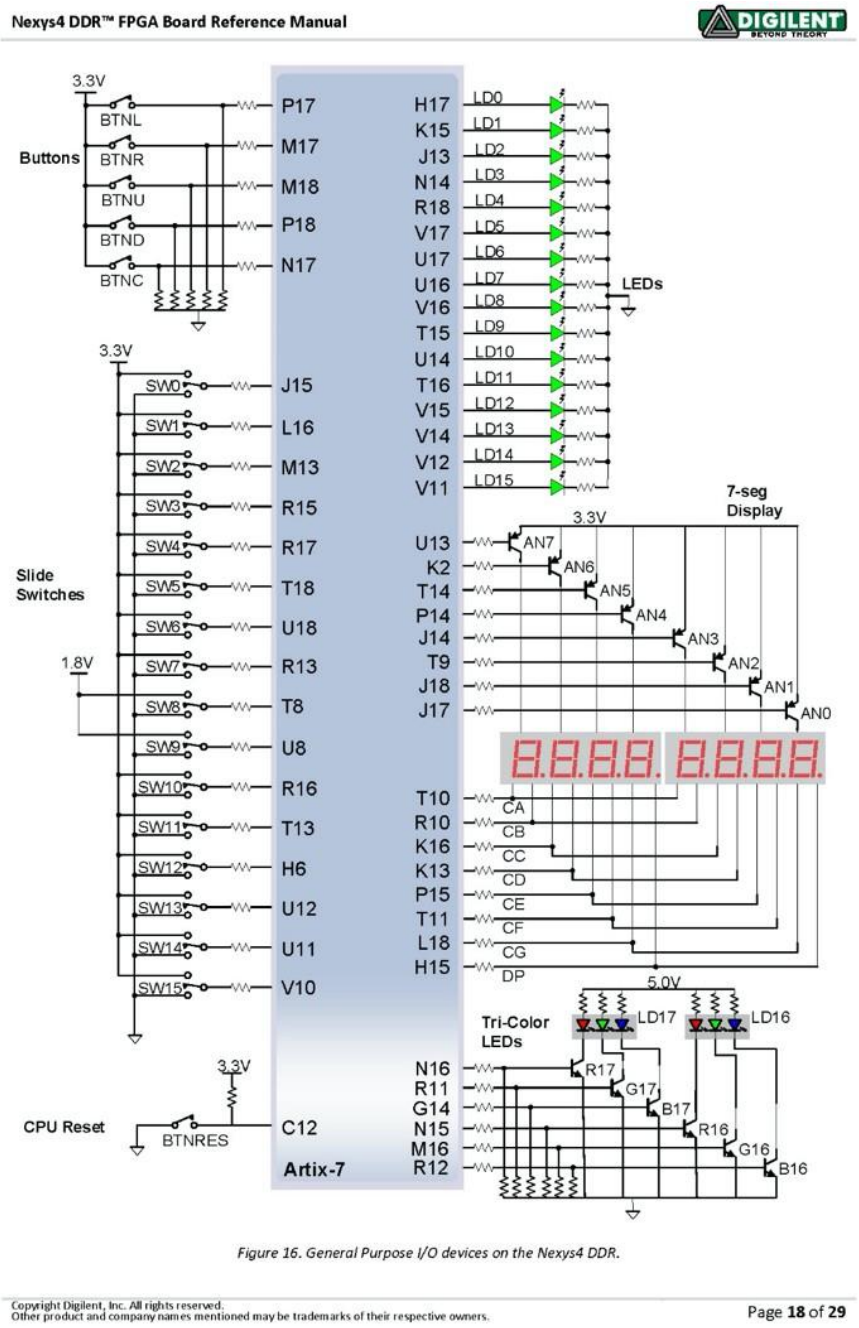

Figure 16. General Purpose I/O devices on the Nexys4 DDR.

图 4: Nexys4 DDR 管脚图

C　七段数码管的使用

Nexys4 DDR 实验板上有两个 4 位带小数点的七段数码管，图 5显示了它们与主芯片的连接方式。其中 A7 A0 是数码管 8 个位的使能信号，而 CA CG/DP 则对应各个位上七个段以及小数点的触发信号。需要注意的是，使能信号和触发信号都是低电平触发的。

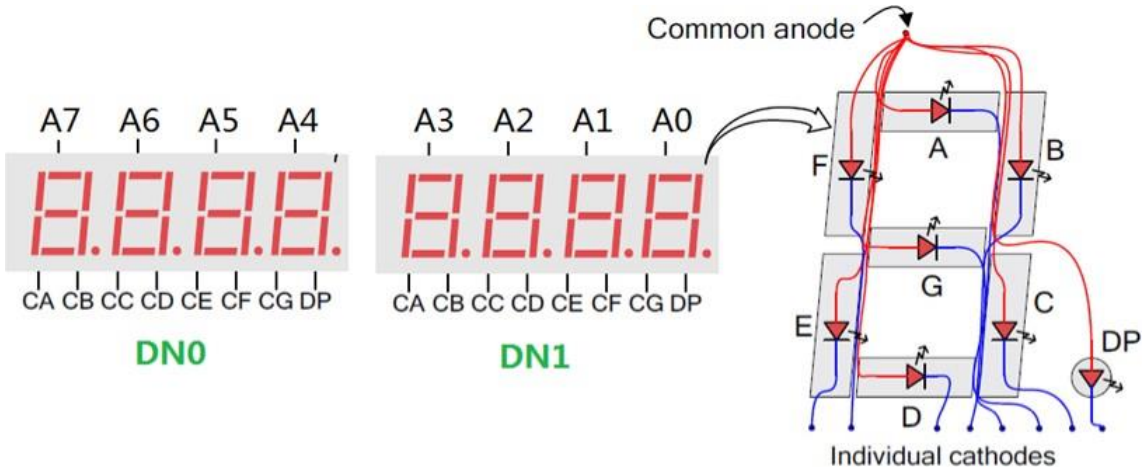

图 5: 七段数码管示意图

图 5以数码管中最右侧的 A0 数码管为例说明了 Nexys4 DDR 板卡上的 7-段数码管的连接方式。8 个位中的各个相应的段及小数点分别连接到一组低电平触发的引脚上，他们被称为 CA、CB、CC、…、CG、DP，其中，CA 接到这 8 个数码管中每一个数码管 A 段的负极，CB 接到这 8 个数码管中每一个数码管 B 段的负极，以此类推。

此外，每一个数码管都有一个使能信号 A[7:0]。A[7:0] 通过一个反相器接到对应数码管的每一个段的正极上。比如说，只有到 A[0] 为 0 的时候，最右侧数码管的显示才会受到 CA…CG 这几个信号的驱动。

图 6中列出了数码管显示 0 到 F 时点亮的段。比如说在显示数字 0 的时候，除了中间的 G 段外其他的段都被点亮了。而数字 1 只点亮了 B 段和 C 段。

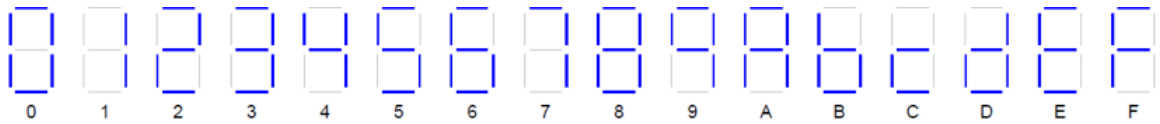

图 6: 0-F 点亮示意图

要想让每个数码管显示不同的数字，使能信号（A[7:0]）和段信号（CA…CG）必须依次地被持续驱动，数码管之间的刷新速度应该足够快这样就看不出来数码管之间在闪烁。举个例子，如果想在数码管 0 上显示数字 3 而数码管 1 上显示数字 9，可以先把 CA…CG 设置为显示数字 3，并拉低 A[1] 信号，然后再把 CA…CG 设置为显示数字 9 并拉高 A[1] 拉低 A[2]。刷新频率可以设置为 2ms 刷新一次，这样人眼就看不出闪烁了。