



## Projekt: Cache Controller

Moritz Noeltner,  
Tim Schneider,  
Dennis Sebastian Rieber

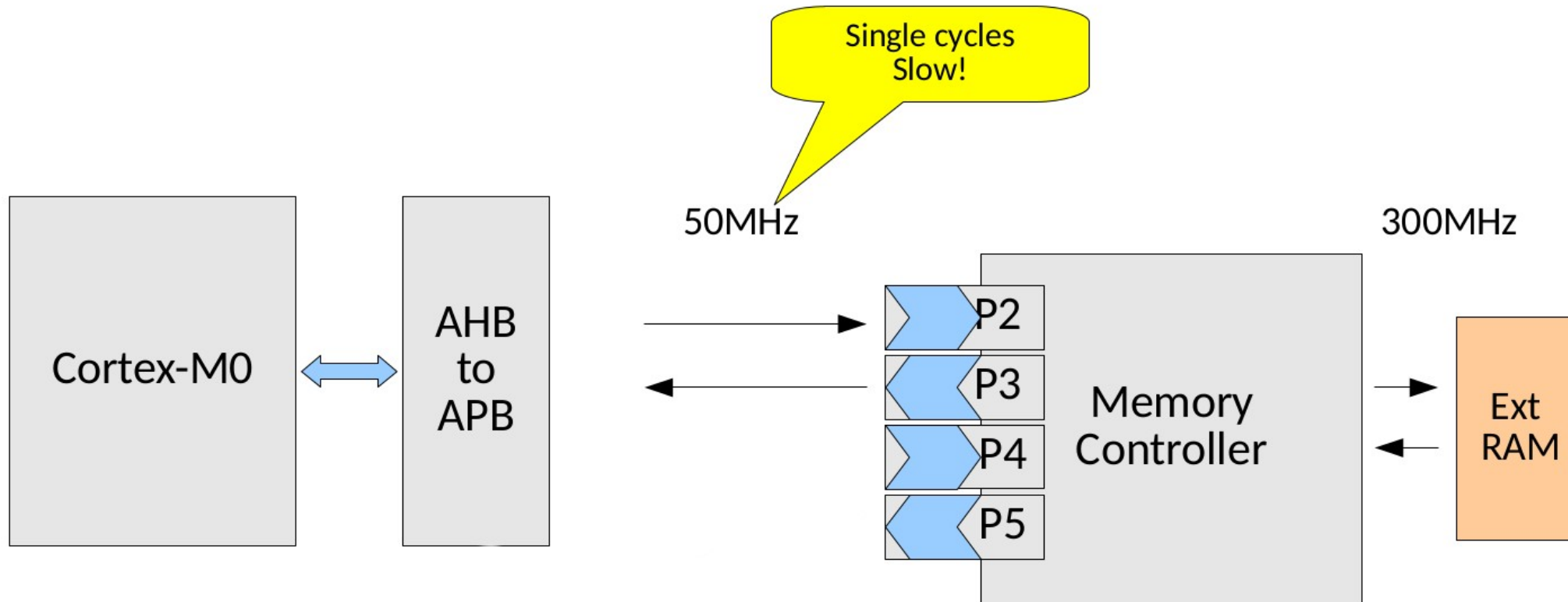


- Einleitung
  - Ausgangssituation und Problemstellung
- Grundlagen
  - Direct Mapped Cache
  - AHB
  - Memory Controller
- Realisierung

# Ausgangssituation



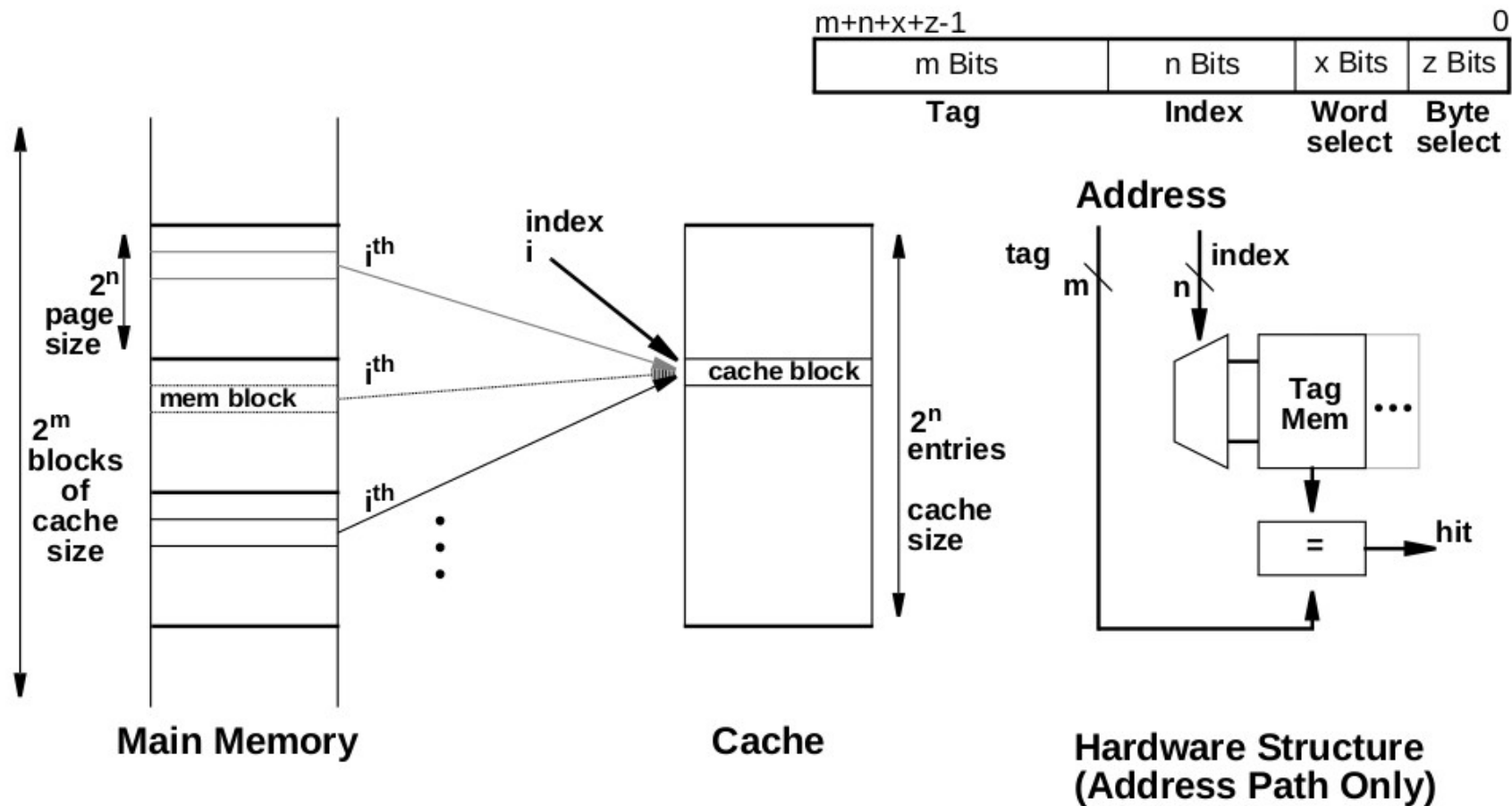
UNIVERSITÄT  
HEIDELBERG  
ZUKUNFT  
SEIT 1386



# Direct Mapped Cache



UNIVERSITÄT  
HEIDELBERG  
ZUKUNFT  
SEIT 1386



# AHB - Lite Architecture



UNIVERSITÄT  
HEIDELBERG  
ZUKUNFT  
SEIT 1386

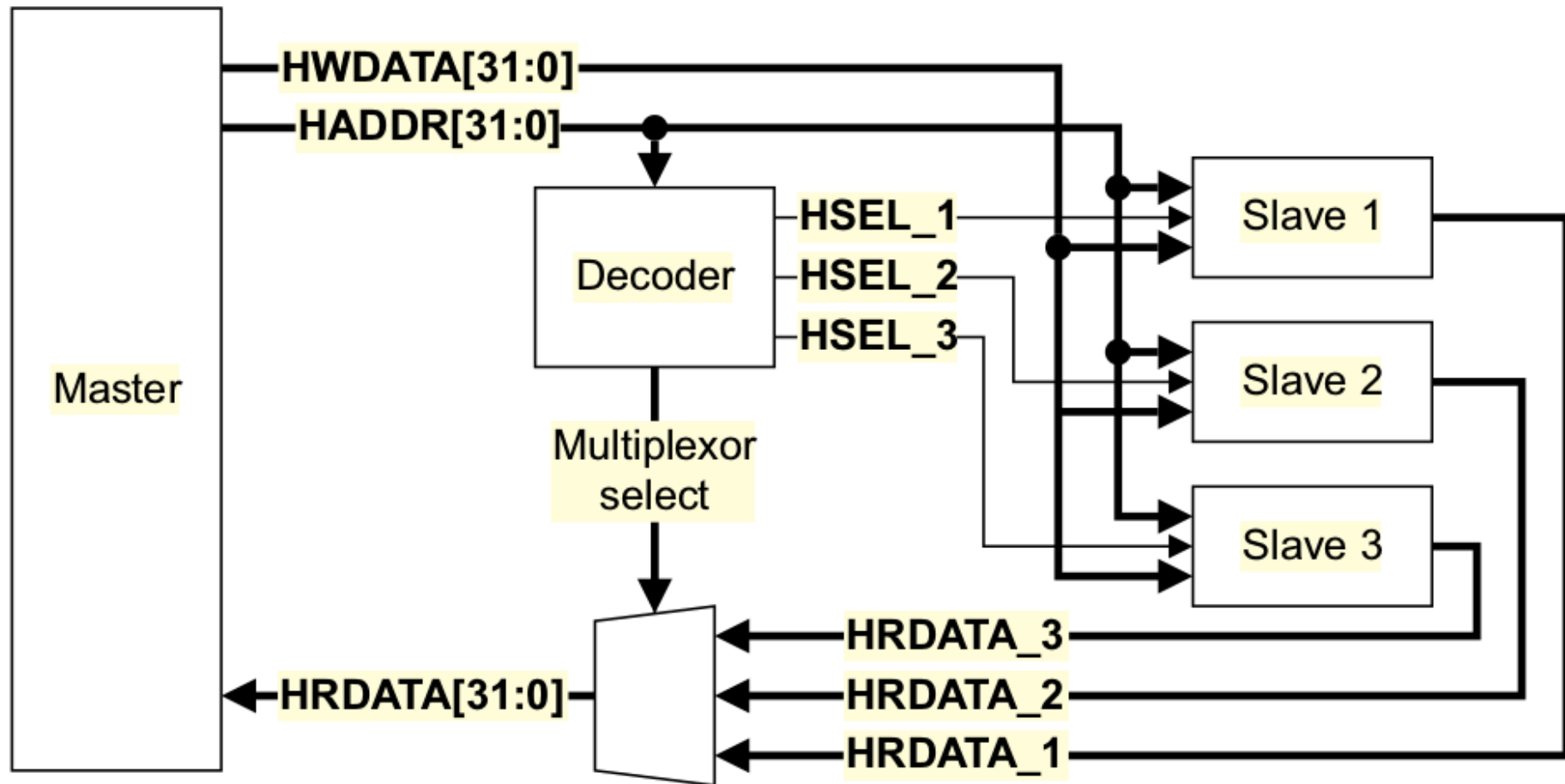


Figure 1-1 AHB-Lite block diagram

# AHB - Lite Slave Interface



UNIVERSITÄT  
HEIDELBERG  
ZUKUNFT  
SEIT 1386

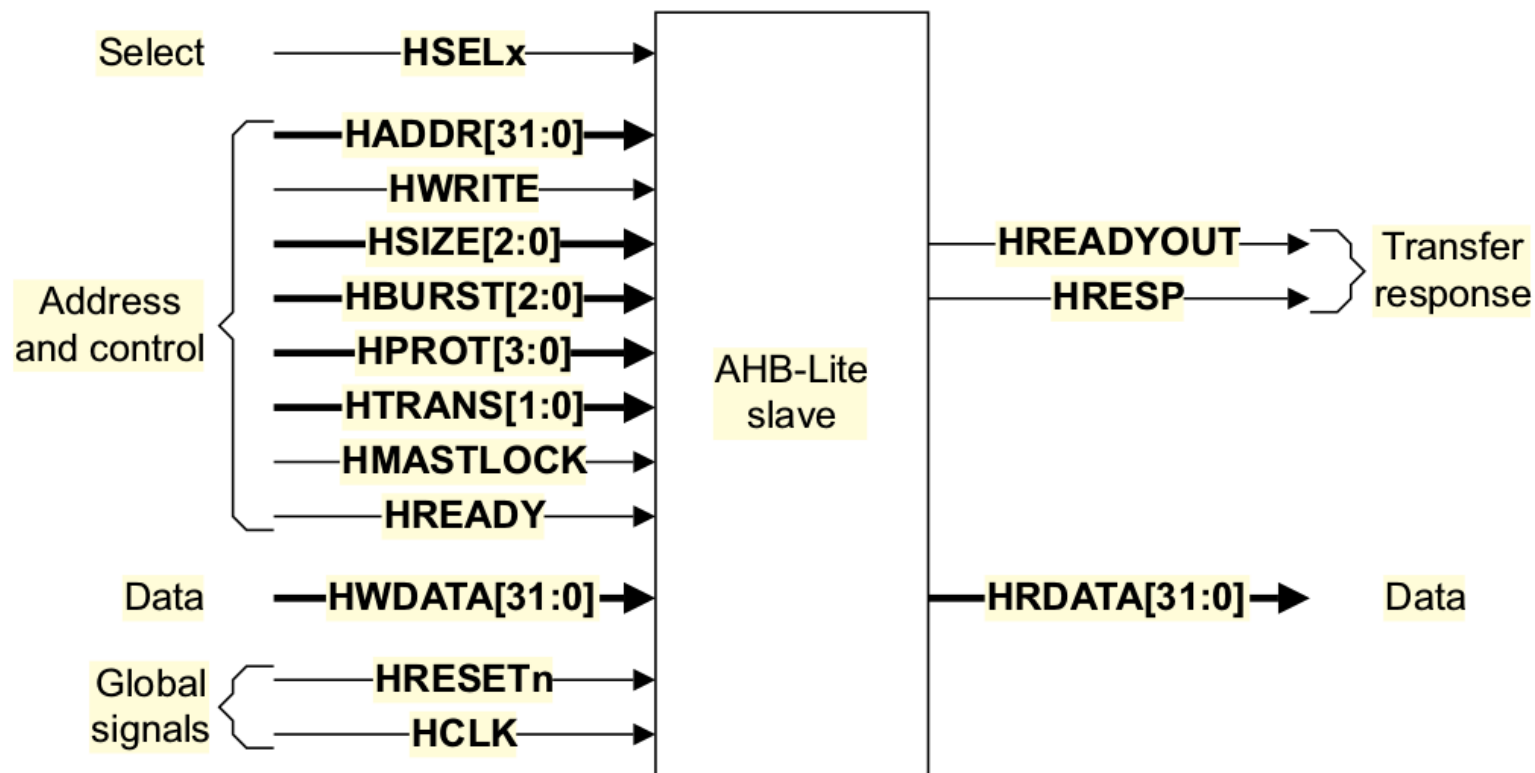
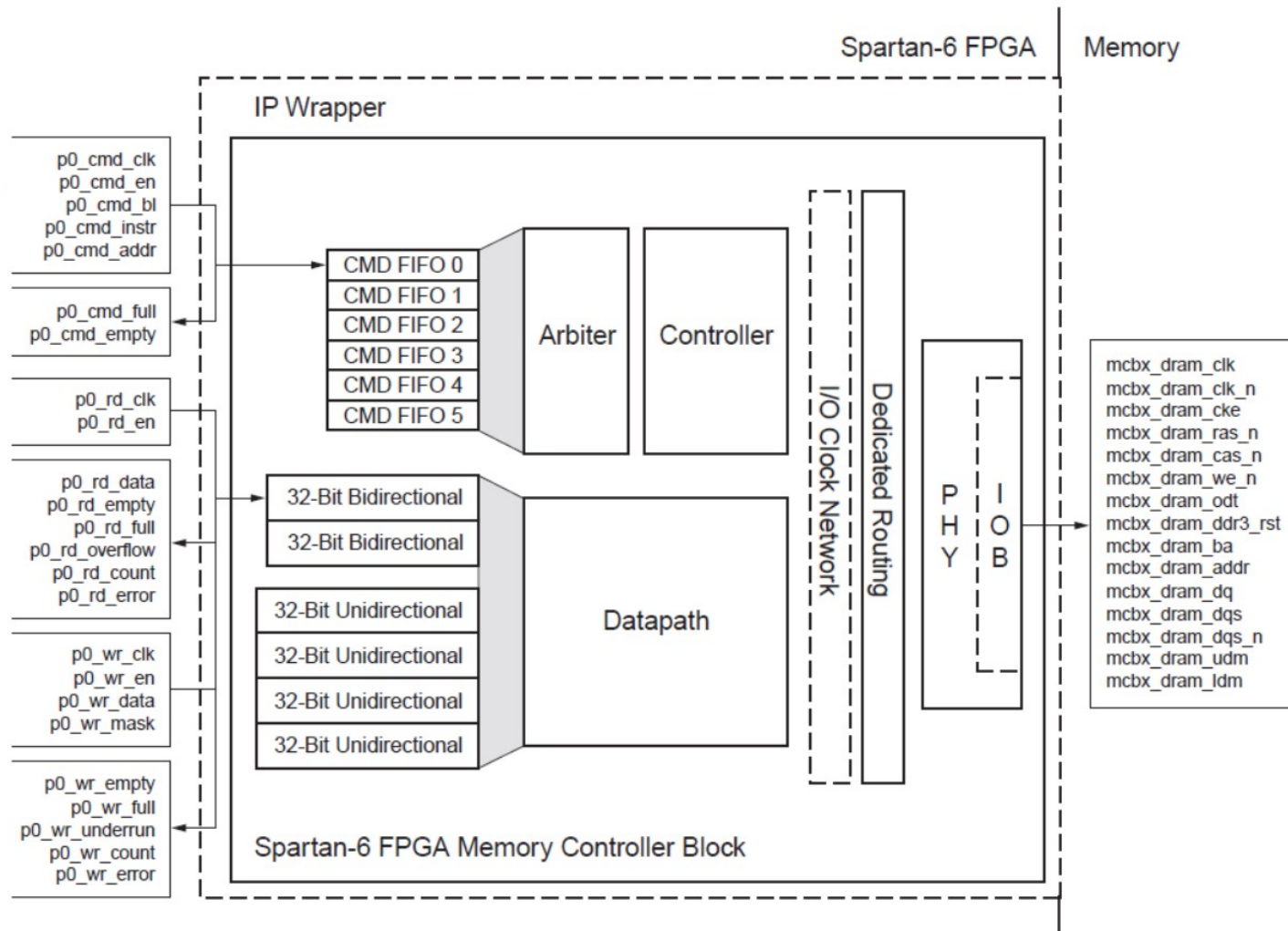


Figure 1-3 Slave interface

# Memory Controller



UNIVERSITÄT  
HEIDELBERG  
ZUKUNFT  
SEIT 1386



UG388\_c3\_01\_050400



- Cachegröße: 4kByte
- Cacheline: 8 Wörter a 32 Bit = 32 Bytes
  - Cachegröße: 128 Cachelines
  - Tag: 12 Bits
  - Flags: Invalid (Wird am Anfang gesetzt, oder wenn der Prozessor den Cache anweist, [eine] Cachezeile[n] zu invalidieren, oder Reset)
- Jede Cachezeile ist 33.625 Bytes lang (32 Bytes Daten + 2 Bytes Tag+Flag).



# Realisierung – System Level



UNIVERSITÄT  
HEIDELBERG  
ZUKUNFT  
SEIT 1386

