

Projeto e Plano de Simulação Comparador de 5 Bits em VHDL

Maria

November 27, 2024

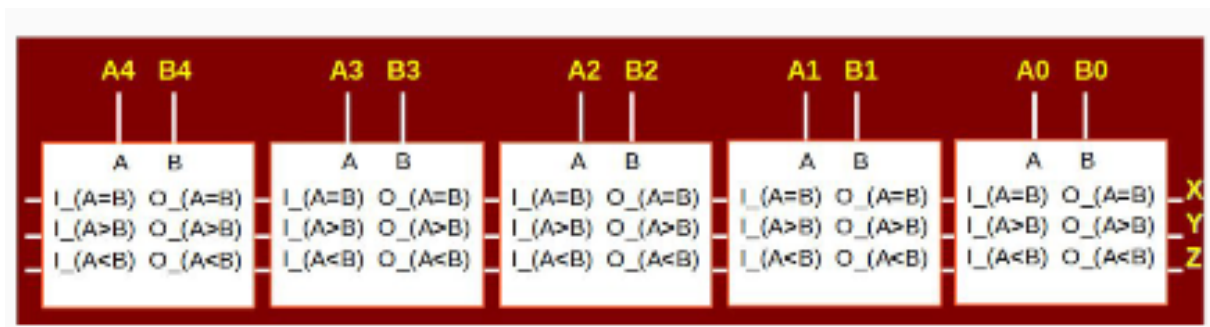
1. Projeto no Papel (Proj)

Descrição do Módulo

O módulo `Comp_5bits` é responsável por comparar dois vetores de 5 bits (A e B) e gerar três saídas lógicas:

- X : Indica se $A = B$ (saída será 1 se todos os bits forem iguais).
- Y : Indica se $A > B$.
- Z : Indica se $A < B$.

Diagrama de Blocos



Expressões Lógicas

$$1 = \begin{cases} X & \text{se } A = B \\ Y & \text{se } A > B \\ Z & \text{se } A < B \end{cases}$$

caso contrário 0

3. Plano de Simulação

Objetivo

Testar se o comparador de 5 bits realiza corretamente as operações de igualdade, maior que, e menor que.

Cenários de Teste

Cenário	Entrada (A)	Entrada (B)	Saída X	Saída Y	Saída Z
1	10101	10101	1	0	0
2	11001	10101	0	1	0
3	11001	11101	0	0	1

Critérios de Sucesso

A simulação será considerada bem-sucedida se:

- X for 1 quando $A = B$.
- Y for 1 quando $A > B$.
- Z for 1 quando $A < B$.