Deslocador de 1 Bit em VHDL

Introdução

Este documento descreve a implementação de um **deslocador de 1 bit** em VHDL para uma entrada de 8 bits (E). O deslocamento pode ser realizado para a esquerda, para a direita, ou manter os dados inalterados (carga paralela), conforme definido pelo seletor DESLOCA.

Especificações

- Seletor: O circuito possui um seletor chamado DESLOCA, que indica:
 - Deslocamento para a direita ("01"),
 - Deslocamento para a esquerda ("10"), ou
 - Nenhum deslocamento (carga paralela, "00").
- Saída: O resultado do deslocamento é enviado para uma saída de 8 bits (S).

Expressões Booleanas

Carga Paralela (DESLOCA = "00") A saída mantém a entrada:

$$S_i = E_i$$
 para $i = 0$ a 7

Deslocamento para a Direita (DESLOCA = "01") Cada bit é deslocado para a direita, e o bit mais significativo (S_7) recebe 0:

$$S_7 = 0$$

$$S_i = E_{i+1}$$
 para $i = 0$ a 6

Deslocamento para a Esquerda (DESLOCA = "10") Cada bit é deslocado para a esquerda, e o bit menos significativo (S_0) recebe 0:

$$S_0 = 0$$

$$S_i = E_{i-1} \quad \text{para } i = 1 \text{ a 7}$$

Entidade do Deslocador

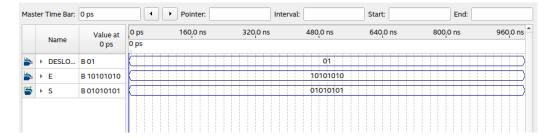
Arquitetura

```
architecture Behavioral of deslocador is
  begin
      process(E, DESLOCA)
      begin
          case DESLOCA is
               when "00" =>
                   S \leq E;
               when "01" =>
                   S <= '0' & E(7 downto 1);
               when "10" =>
                   S <= E(6 downto 0) & '0';
               when others =>
                   S \leq E;
13
          end case;
14
      end process;
16 end Behavioral;
```

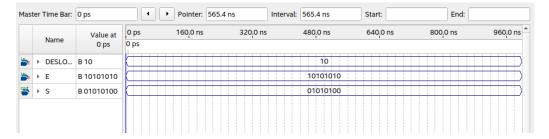
Plano de Simulação e Testes

Para validar o funcionamento do deslocador de 1 bit, foram realizados testes nos seguintes casos:

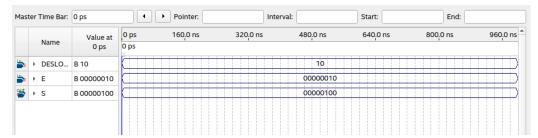
Caso 1: Deslocamento para a direita



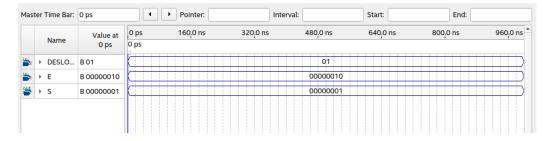
Caso 2: Deslocamento para a direita



Caso 3: Deslocamento para a esquerda



Caso 4: Deslocamento para a esquerda



Conclusão

Com os resultados dos testes, podemos ver que o sistema funciona conforme o esperado.