

UNIVERSIDADE FEDERAL DO PARANÁ

ELOIZA ARANDIA BRUSCHI GRR20212721

MARIA PAULA BASTOS GRR20212762

RELATÓRIO LABORATÓRIO 4: PROJETO DE RELÓGIO DIGITAL DE  
HORAS, MINUTOS E SEGUNDOS

CURITIBA

2024

ELOIZA ARANDA BRUSCHI GRR20212721

MARIA PAULA BASTOS GRR20212762

RELATÓRIO LABORATÓRIO 4: PROJETO DE RELÓGIO DIGITAL DE HORAS,  
MINUTOS E SEGUNDOS

Relatório apresentada à disciplina de  
Microeletrônica, Setor de Tecnologia da  
Universidade Federal do Paraná, como atividade  
avaliativa.

Professora: Dra. Sibilla Batista da Luz França.

CURITIBA

2024

|   |           |
|---|-----------|
| <b>1 INTRODUÇÃO .....</b>               | <b>16</b> |
| <b>2 PROJETO - RELÓGIO DIGITAL.....</b> | <b>17</b> |
| 2.1 SIMULAÇÕES .....                    | 19        |
| 2.2 CÓDIGO COMENTADO .....              | 20        |
| 2.2.1 VHDL Module .....                 | 20        |
| 2.2.2 VHDL Test Bench.....              | 20        |
| 2.3 RECURSOS LÓGICOS .....              | 21        |
| <b>CONCLUSÃO.....</b>                   | <b>22</b> |
| <b>REFERÊNCIAS.....</b>                 | <b>23</b> |

## **1 INTRODUÇÃO**

Este relatório documenta a implementação de um projeto desenvolvido na disciplina de Microeletrônica I, cujo objetivo foi criar um relógio digital. O projeto utilizou recursos previamente empregados em outros projetos de temporizadores e na manipulação de displays de sete segmentos. A execução foi realizada com a FPGA Nexys 2, destacando-se a capacidade de acender todos os displays simultaneamente. O relatório detalha as simulações realizadas com diferentes combinações de entradas, os recursos lógicos utilizados e os resultados obtidos na conclusão do projeto.

## 2 PROJETO - RELÓGIO DIGITAL

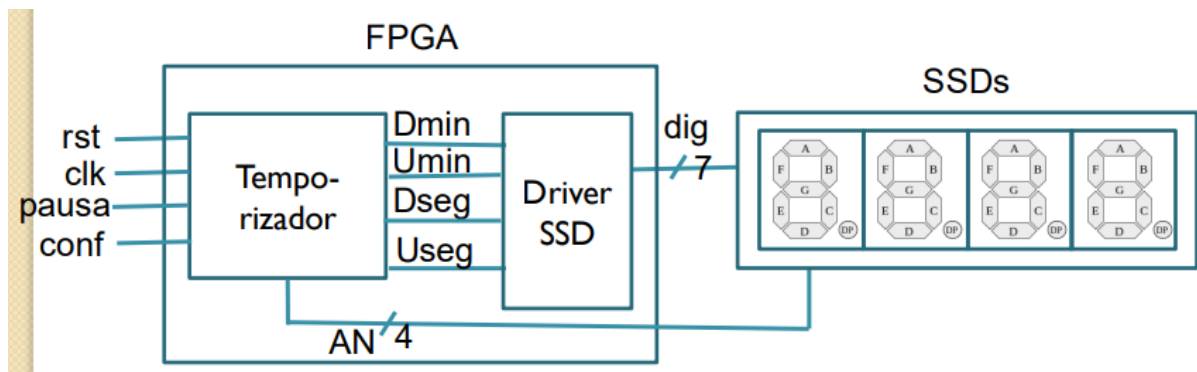
Foi utilizada a ferramenta ISE para implementar o que foi solicitado no projeto 1, que faz uso do display de sete segmentos, similar ao que já havia sido utilizado nas atividades anteriores, do laboratório 2 e 3. O relógio digital realiza a contagem de tempo, com incrementos de segundos, minutos e horas.

Quando a chave de reset (rst) está ativa (nível lógico alto), os displays mostram zero, tendo precedência sobre todas as outras entradas. Quando a pausa está ativa (nível lógico alto), a contagem do relógio é interrompida, sem zerar os valores previamente exibidos.

O relógio pode ser configurado para mostrar horas e minutos ou minutos e segundos. Quando a chave de configuração (conf) está ativa (nível lógico alto), os displays exibem horas e minutos. Se a chave conf estiver em nível lógico baixo, os valores mostrados nos displays representam minutos e segundos.

A Figura 1 abaixo apresenta o esquemático conceitual, em que é possível abstrair que o sinal de 'clock' será utilizado como entrada do sistema.

FIGURA 1 – ESQUEMÁTICO CONCEITUAL DO PROJETO



FONTE: 'LAB 4', Sibilla França (20??).

Para garantir o cálculo correto do tempo, foi necessário considerar que o sinal de clock possui frequência de 50 MHz. A partir dessa referência, o cálculo dos períodos necessários para somar um segundo foi realizado conforme a fórmula apresentada a seguir, resultando em 50 milhões de ciclos. Na lógica do programa, isso foi implementado utilizando um código sequencial, onde uma variável de controle foi incrementada até atingir esse valor. Quando o contador atingia 50 milhões um segundo foi incrementado, e usando a lógica correta de tempo, a cada 60 segundos,

um minuto foi incrementado, e por assim foi realizado até 23:59:59 em que o contador reinicia.

$$Quantidade\ de\ períodos = \frac{1\ segundo}{período\ do\ clock} = \frac{1s}{\frac{1}{50\ MHz}} = 50\ milhões\ de\ períodos$$

Outra fase importante do projeto é a habilidade de mostrar os 4 sete segmentos ligados ao mesmo tempo, como não é possível ativá-los simultaneamente, foi necessário realizar uma lógica que ativa eles em sequência em uma frequência acima de 60Hz, frequência máxima que o olho humano pode processar. De acordo com o manual da placa, é sugerido que a frequência esteja entre 1000 kHz e 60Hz, mas são 4 displays então foi utilizado como base 4000 kHz, conforme a fórmula abaixo, que mostra que a cada 12500 períodos o display ligado muda, para ligar o próximo.

$$Quantidade\ de\ períodos = \frac{frequência\ do\ clock}{frequência\ do\ manual \cdot 4} = \frac{50\ MHz}{1000\ kHz \cdot 4} = 12500\ de\ períodos$$

Por fim, outra parte relevante do projeto é o uso da tabela verdade para o display de sete segmentos com ânodo comum. Essa tabela será fundamental para a análise dos resultados obtidos durante a simulação, permitindo verificar o comportamento correto de cada segmento em relação aos dígitos a serem exibidos. Apresenta abaixo.

FIGURA 2 – TABELA VERDADE PARA DISPLAY DE 7 SEGMENTOS  
Tabela Verdade para Display de 7 Segmentos (Anodo Comum)

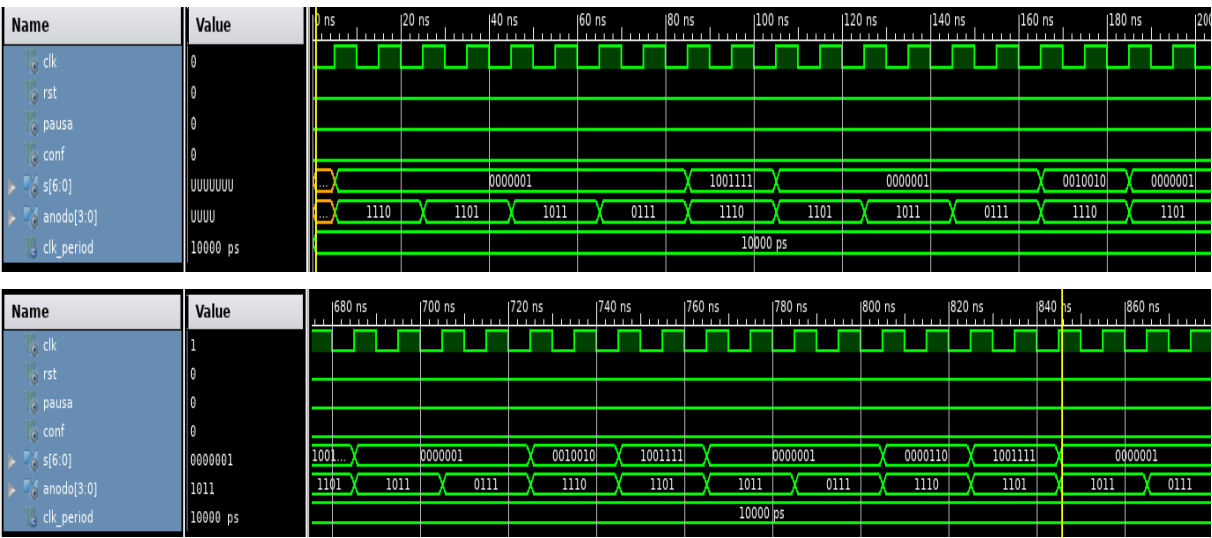
| Dígito | a | b | c | d | e | f | g | Representação binária |
|--------|---|---|---|---|---|---|---|-----------------------|
| 0      | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1111110               |
| 1      | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0110000               |
| 2      | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1101101               |
| 3      | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1111001               |
| 4      | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0110011               |
| 5      | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1011011               |
| 6      | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1011111               |
| 7      | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1110000               |
| 8      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1111111               |
| 9      | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1111011               |

FONTE: Desconhecida.

2.1 SIMULAÇÕES

Para simplificar a simulação, o número de ciclos de clock para a contagem de segundos foi ajustado para 5 períodos, permitindo uma verificação eficaz do funcionamento do relógio digital. A simulação comportamental, apresentada no Anexo 2, foi configurada para exibir em tempo real as alterações nos valores dos segundos e responder ao acionamento das entradas. A entrada "pausa", quando em nível lógico alto, interrompe a atualização do display; a entrada "reset" trava o relógio em 00:00, zerando todos os contadores; e a entrada "config" altera a visualização de segundos e minutos para horas e minutos. Os resultados da simulação, mostrados na figura abaixo, confirmaram que o temporizador funcionou corretamente em todos os intervalos de tempo definidos, evidenciando a eficácia do projeto em responder adequadamente às entradas de controle. Podemos observar que o anodo menos significativo, que representa os segundos em essa configuração ele está avançando os valores conforme a tabela verdade do display de 7 segmentos, assim como a mudança de minutos:

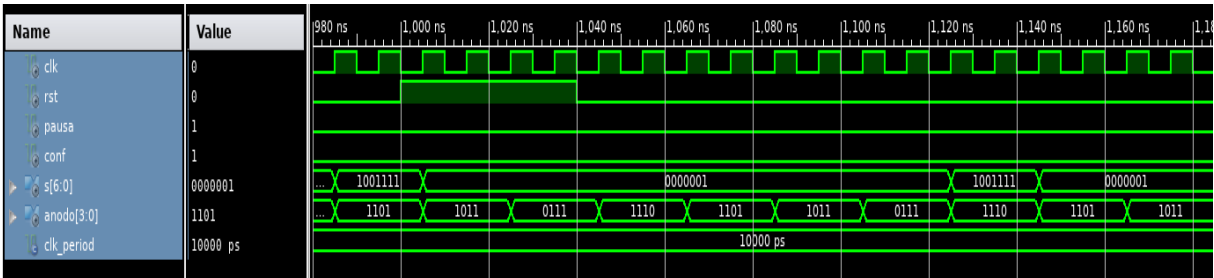
FIGURA 3 – SIMULAÇÃO DO PROJETO



FONTE: As autoras (2024).

Exemplo do funcionamento do reset durante simulação, em que é possível identificar que após o acionamento do reset, o contador é reiniciado, já que o valor da variável S se torna '0000001' após reset for acionado e desativado que pela tabela verdade do display é são os pontos necessários para formar o caractere 0.

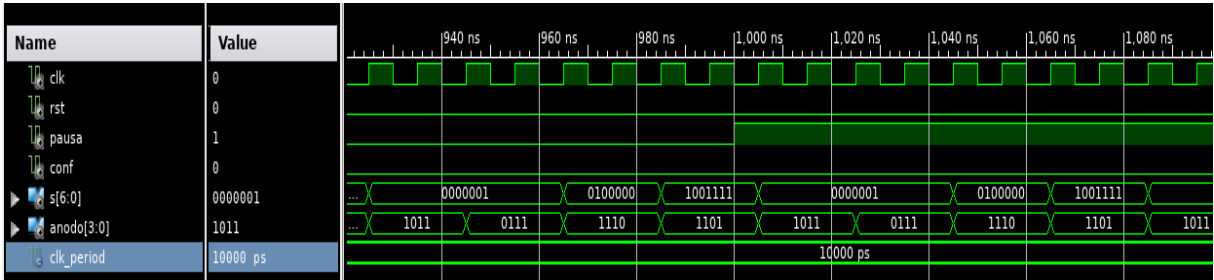
FIGURA 4 – SIMULAÇÃO 2 DO PROJETO



FONTE: As autoras (2024).

Exemplo do funcionamento da pausa durante simulação, em que é possível identificar que após o acionamento da pausa, o contador é ‘travado, já que o valor da variável S se torna constante para os 4 valores de display.

FIGURA 5 – SIMULAÇÃO 2 DO PROJETO



FONTE: As autoras (2024).

2.2 CÓDIGO COMENTADO

O código comentado é dividido em duas partes, no código de fato da placa física e no código para simular, com as mudanças que seriam feitas se fosse possível testar na placa.

2.2.1 VHDL Module

O código VHDL Module, do projeto 1, está apresentado sem alterações no Anexo 1 deste presente trabalho, implementa um

2.2.2 VHDL Test Bench

O código VHDL Test Bench, do projeto 1, está apresentado sem alterações no Anexo 2 deste presente trabalho.



## 2.3 RECURSOS LÓGICOS

Os recursos lógicos resumem a utilização do dispositivo e os recursos do projeto 1 estão apresentados abaixo.

FIGURA 6 – RECURSOS LÓGICOS PROJETO

| Device Utilization Summary                     |      |           |             | [1]     |
|--|------|-----------|-------------|---------|
| Logic Utilization                              | Used | Available | Utilization | Note(s) |
| Number of Slice Flip Flops                     | 16   | 9,312     | 1%          |         |
| Number of 4 input LUTs                         | 15   | 9,312     | 1%          |         |
| Number of occupied Slices                      | 22   | 4,656     | 1%          |         |
| Number of Slices containing only related logic | 22   | 22        | 100%        |         |
| Number of Slices containing unrelated logic    | 0    | 22        | 0%          |         |
| Total Number of 4 input LUTs                   | 41   | 9,312     | 1%          |         |
| Number used as logic                           | 15   |           |             |         |
| Number used as a route-thru                    | 26   |           |             |         |
| Number of bonded <a href="#">IOBs</a>          | 12   | 232       | 5%          |         |
| Number of BUFGMUXs                             | 1    | 24        | 4%          |         |
| Average Fanout of Non-Clock Nets               | 1.82 |           |             |         |

FONTE: As autoras (2024).

## **CONCLUSÃO**

O projeto do relógio digital de horas, minutos e segundos, desenvolvido na disciplina de Microeletrônica I, demonstrou a aplicação prática de conceitos fundamentais de temporização e controle digital. As simulações realizadas confirmaram a eficácia do sistema, evidenciando a implementação adequada das funcionalidades de contagem, reset e pausa, assim como a configuração da exibição o que possibilitou a observação em tempo real e correta dos valores.

A adoção de pacotes e componentes em VHDL foi crucial para aumentar a eficiência do desenvolvimento dos circuitos digitais. Esses recursos promovem não apenas a reutilização e a organização do código, mas também facilitam a modularidade e a manutenção do projeto. Dessa forma, os conceitos de pacotes e componentes se tornam fundamentais para a criação de códigos complexos, permitindo uma implementação mais simples e organizada. Em resumo, o projeto não apenas solidificou a compreensão teórica dos conceitos abordados, mas também proporcionou uma experiência prática valiosa que pode ser aplicada em futuros projetos na disciplina.

## **REFERÊNCIAS**

PEDRONI, V. A. Circuit Design with VHDL. 2 ed. MIT Press, 2010.