

Физичка реализација на логичките кола

Проф. д-р Јосиф Ќосев
Доц. д-р Томислав Карталов

(во соработка со проф. д-р Методија Камиловски)

Електроника, ЗФЕИТ053018

Теми

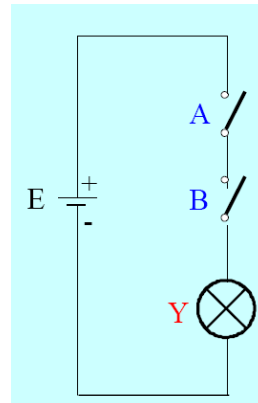
- Физичка реализација на логички кола
 - Електромеханички (релејна логика)
 - Диодно-транзисторски
- Параметри на логичките кола
 - Маргини на шум
 - Фактор на разгранување
 - Временски параметри (доцнење/пропагација, пораст, опаѓање)
 - (+ glitch, clock skew)
- Технологии
 - TTL (НИ)
 - CMOS (pull-up, pull-down) (ИНВЕРТОР, НИ, НИЛИ)
 - + билатерална порта (transmission gate)
 - Трисостојбена логика (отворен дрејн, билатерална порта)
 - RC осцилатор со логички кола

Електроника, ЗФЕИТ053018

3

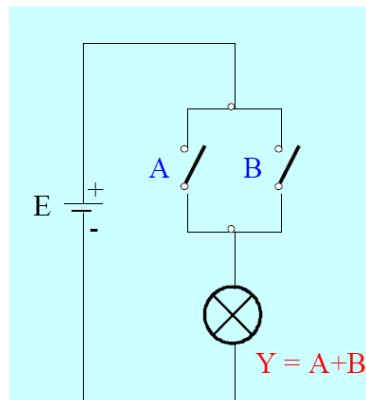
И-коло

- „1“ = тече струја
- „0“ = не тече струја
- Низ Y тече струја кога низ A тече струја **И** низ B тече струја.



ИЛИ-коло

- Низ Y тече струја кога низ A тече струја **ИЛИ** низ B тече струја.



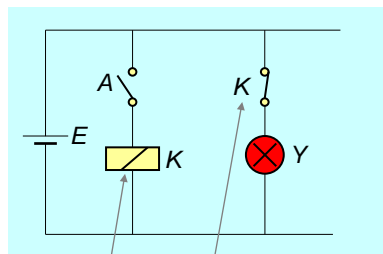
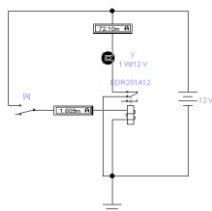
Инвертор?

- Не може само со прекинувачи.

- Решение: реле со **нормално затворен** контакт (затворен кога не тече струја низ намотката на електромагнетот)

- Низ Y тече струја ако низ A **НЕ** тече струја.

- Пример EWB:



Намотка (шпулна) на електромагнетот K

Нормално затворен контакт управуван од електромагнетот K

IT053018

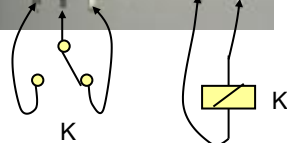
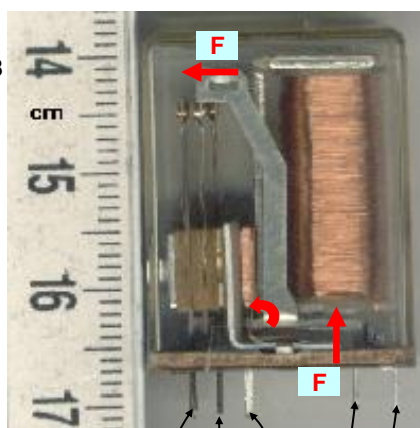
6

Градба на реле (информативно)

- Кога **не тече** струја низ намотката средниот контакт допира **десно**.

- Кога **тече** струја низ намотката електромагнетот ја влече котвата и средниот контакт го префрла **лево**.

- Може да има повеќе групи на контакти.

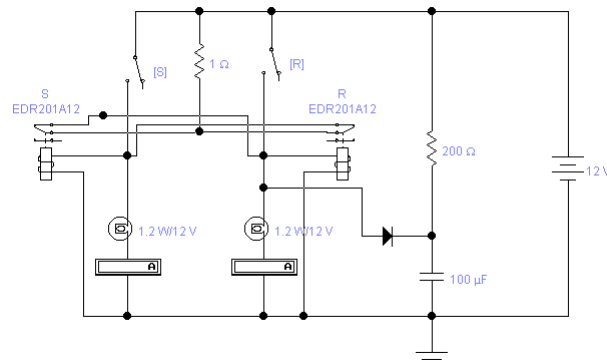


Електроника, 3ФЕИТ053018

7

SR флип-флоп со релеи (информативно)

■ Пример во EWB:



Електроника, 3ФЕИТ053018

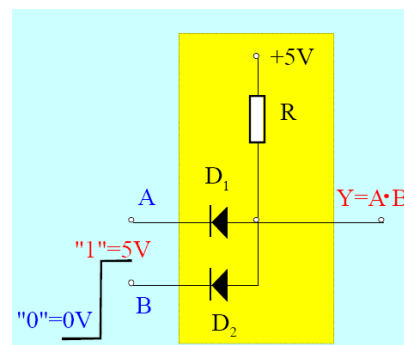
8

R-D-Q изведба: И-коло

■ Договор:

- „1“ $\Leftrightarrow \approx 5V$
- „0“ $\Leftrightarrow \approx 0V$

A	B	V _A	V _B	D ₁ D ₂	V _Y	Y
0	0	0	0	on on	.6 ≈ 0	0
0	1	0	5	on off	.6 ≈ 0	0
1	0	5	0	off on	.6 ≈ 0	0
1	1	5	5	off off	5	1



Електроника, 3ФЕИТ053018

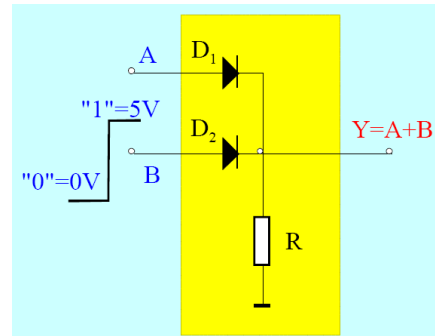
9

R-D-Q изведба: ИЛИ-коло

Договор:

- „1“ $\Leftrightarrow \approx 5V$
- „0“ $\Leftrightarrow \approx 0V$

A	B	V_A	V_B	D_1 D_2	V_Y	Y
0	0	0	0	off off	0	0
0	1	0	5	off on	4.4 ≈ 5	1
1	0	5	0	on off	4.4 ≈ 5	1
1	1	5	5	on on	4.4 ≈ 5	1



Електроника, 3ФЕИТ053018

10

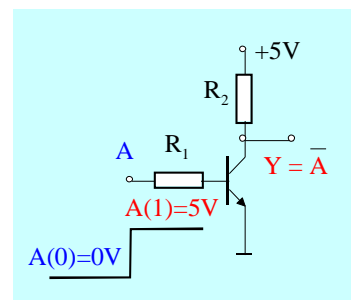
R-D-Q изведба: инвертор, НЕ-коло

Договор:

- „1“ $\Leftrightarrow \approx 5V$
- „0“ $\Leftrightarrow \approx 0V$

A	V_A	Q	V_Y	Y
0	0	off	5V	1
1	5V	sat	≈ 0	0

$$\text{sat: } \beta I_B > I_{C\max} \Rightarrow R_B/R_C < \beta \approx 10$$



Електроника, 3ФЕИТ053018

11

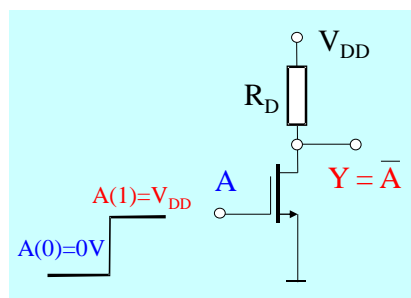
R-D-Q изведба: инвертор, НЕ-коло со n-канален мосфет (информативно)

Договор:

- „1“ $\Leftrightarrow \approx V_{DD}$
- „0“ $\Leftrightarrow \approx 0V$
- $V_{DD} = 3-18V$

A	V_A	Q	V_Y	Y
0	0	off	V_{DD}	1
1	V_{DD}	Ω	≈ 0	0

$$\Omega: R_{Dson} \ll R_D !!$$



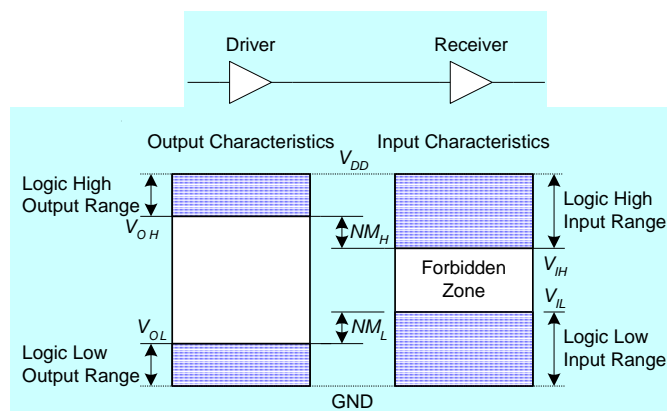
Маргини на шум - дефиниција

Договор:

- „1“ $\Leftrightarrow \approx 5V$
- „0“ $\Leftrightarrow \approx 0V$

Колку е дозволеното отстапување од „договорот“?

- Колку што е разликата меѓу опсезите на напони за „1“ и „0“ на влезот и излезот соодветно



Маргина за „1“ :

$$NM_H = V_{OH} - V_{IH}$$

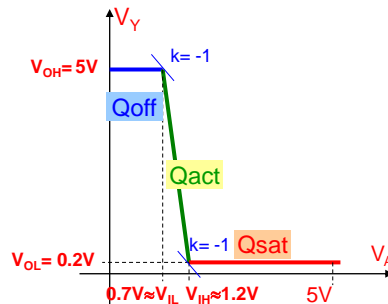
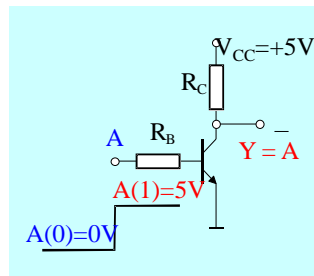
Маргина за „0“ :

$$NM_L = V_{IL} - V_{OL}$$

Маргини на шум – одредување кај транзисторскиот инвертор

- Од преносната карактеристика:

- Тангенти со наклон -1 ги даваат точките (V_{IL}, V_{OH}) и (V_{IH}, V_{OL})



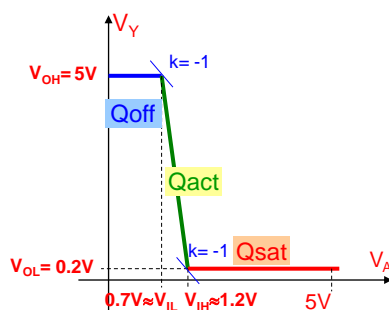
Услов транзисторот да оди во **Sat**: $I_B > I_{Cmax}/\beta \Rightarrow R_B/R_C < \beta \approx 10$
(најлош случај е $\beta \approx 10$)

Електроника, 3ФЕИТ053018

14

Маргини на шум кај транзисторскиот инвертор (приближна пресметка - информативно)

- За типичен случај на $\beta=100$, а $R_B/R_C=10$:



Act-Sat границата го дава V_{IH} :

$$\frac{V_{IH} - 0.7}{R_B} = \frac{1}{\beta} \frac{V_{CC} - 0.2}{R_C} \Rightarrow$$

$$V_{IH} = 0.7 + \frac{R_B}{\beta R_C} (V_{CC} - 0.2) =$$

$$= 0.7 + \frac{10}{100} 4.8 \approx 1.2V$$

$$NM_H = V_{OH} - V_{IH} = 3.8V$$

$$NM_L = V_{IL} - V_{OL} = 0.5V$$

Електроника, 3ФЕИТ053018

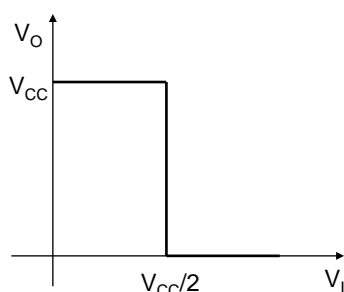
15

Маргини на шум – идеален инвертор

- Пожелно: Еднакви и максимални маргини \Rightarrow

$$NM_H = NML = V_{CC}/2$$

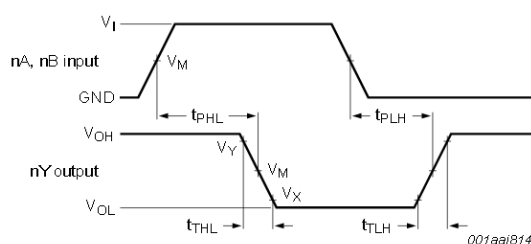
- Значење: маргините означуваат толеранција (отпорност) спрема пречки (шумови) на патот од сигналот
 - За $V_I < V_{IL}$ излезот е сигурно 1
 - За $V_I > V_{IH}$ излезот е сигурно 0



Динамички параметри на л.к.

- Дефиниции (од каталог):

11. Waveforms



t_{PHL} – време на пропација од Н во L (доцнење)

t_{PLH} – време на пропација од L во Н (доцнење)

t_{THL} – време на премин од Н кон L (опаѓање)

t_{TLH} – време на премин од L кон Н (пораст)

Обично $t_{PHL} = t_{PLH}$ и $t_{THL} = t_{TLH}$

V_{OL} and V_{OH} are typical voltage output levels that occur with the output load.

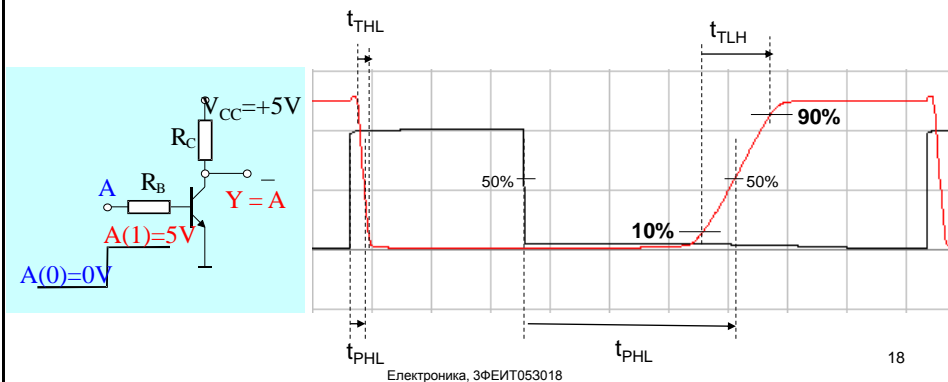
Fig 6. Input to output propagation delays

© NXP B.V. 2011. All rights reserved.

Динамички параметри на л.к.

■ Пр: транзистор како прекинувач = инвертор

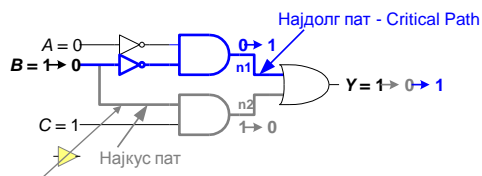
- Доцнењата се мерат во однос на 50% од брановиот облик
- Порастот/опаѓањето се мери меѓу 10% и 90% од брановиот облик



18

Глич (glitch) (информативно)

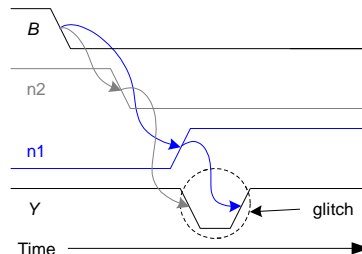
- ### ■ Настанува поради различни патишта на пропагација на сигналите
- Најдолг пат = критичен



■ Решение:

- Додавање порта за изедначување на доцнењата (на пр. бафер)
- Користење синхрона логика (тактирана) со доволна периода на тактот и за критичниот пат (од регистар до регистар)

Додавање порта



Електроника, 3ФЕИТ053018

19

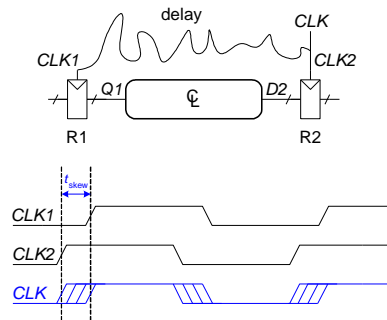
Неизедначеност на тактот (Clock Skew) (информативно)

■ Настанува поради:

- Различни патишта на пропагација на тактот
- Различни оптоварувања

■ Решение?:

- Проверка на најраното и најдоцното пристигање до сите флип-флопови (регистри)



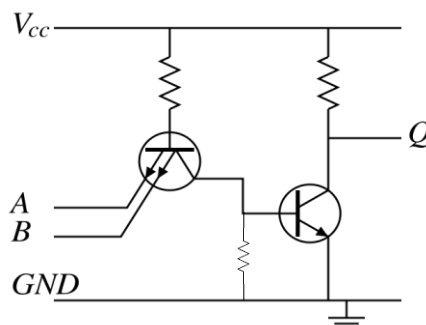
TTL - НИ

■ Од шеесетите години на 20-ти век

- $5V \pm 5\%$ напојување
- 10mW потрошувачка по порта
- 10ns пропагација по порта
- Различни маргини
- Фактор на разгранување 10

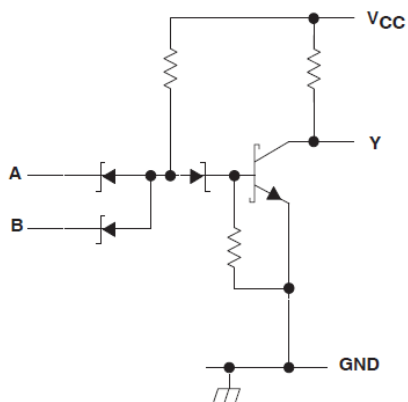
■ Повеќеемитерски транзистор на влез

- Како два транзистори со споени бази и колектори
- Ако **А и В се високо** влезниот транзистор(и) е во инверзно подрачје па излезниот транзистор е вклучен - **ниско ниво на излез**
- Ако **кој било влез стане низок**, влезниот транзистор повлекува струја во насока на емитерот и излезниот транз. се исклучува - **високо ниво на излез**



TTL – НИ (LS изведба) (информативно)

- Користат **Шотки диоди** (спој метал-полупроводник) и Шотки транзистори (имаат Шотки диода меѓу базата и колекторот)

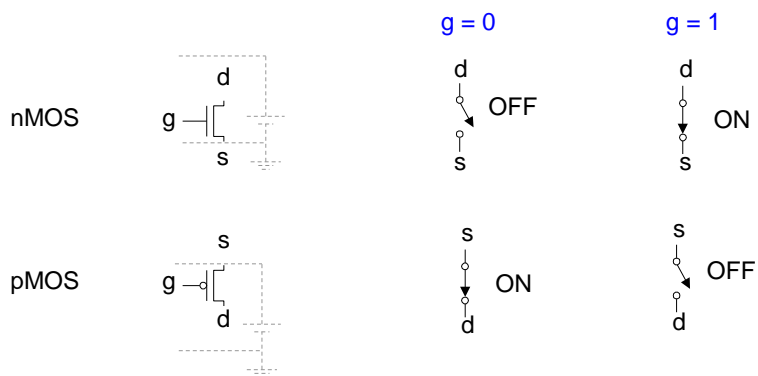


Упростена шема на LS НИ-коло

- Има помала потрошувачка од TTL но иста брзина

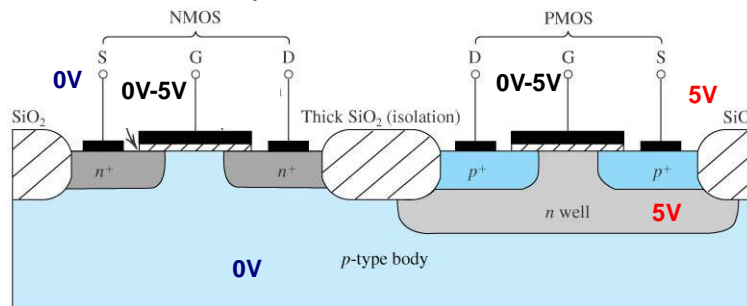
CMOS кола

- Ознаки за транзисторите:



Потсетување за n-канален и p-канален мосфет (CMOS)

- Подлогите за n-мосфетот и p-мосфетот се поврзуваат на 0V и 5V соодветно со што меѓусебно се изолирани со инверзно поларизиран pn-спој
 - Истовремено (со инверзна поларизација) се изолирани и сорсевите и дрејновите од соодветните подлоги
- Со 0V на G се индуцира канал кај pmos (nmos исклучен), а со 5V на G се индуцира канал кај nmos (pmos исклучен)
 - Да забележиме: ако сорсевите не се споени на соодветните подлоги, тогаш S и D можат да си ги заменат улогите.

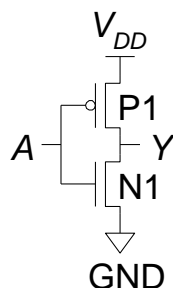


Електроника, 3ФЕИТ053018

24

CMOS – инвертор

- Анализата следува директно од однесувањето на мосфетите како прекинувачи:
 - P-каналниот води при ниско ниво на гејтот (0),
 - N-каналниот води при високо ниво на гејтот (1).



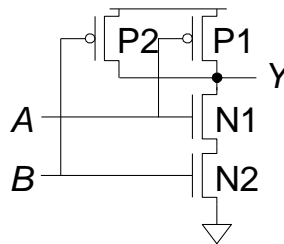
A	P1	N1	Y
0	ON	OFF	1
1	OFF	ON	0

Електроника, 3ФЕИТ053018

25

CMOS – НИ

- Анализата е слична како кај инверторот.
- Забележливо е сериско поврзување кон масата и паралелно поврзување кон V_{DD}
 - При сериско поврзување треба да се **вклучени** обата за да има врска
 - При паралелно поврзување треба да бидат **исклучени** обата за да нема врска



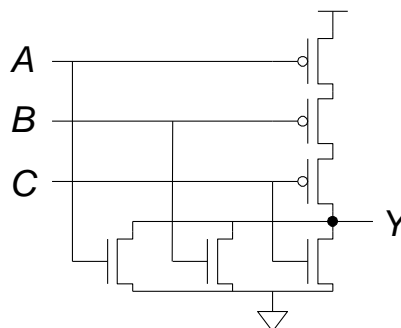
A	B	P1	P2	N1	N2	Y
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	1
1	0	OFF	ON	ON	OFF	1
1	1	OFF	OFF	ON	ON	0

Електроника, 3ФЕИТ053018

26

CMOS – НИЛИ (пр. со три влеза)

- И овде важи анализата од НИ-колото.
- Сега кон масата има паралелна врска, а кон V_{DD} сериска врска.

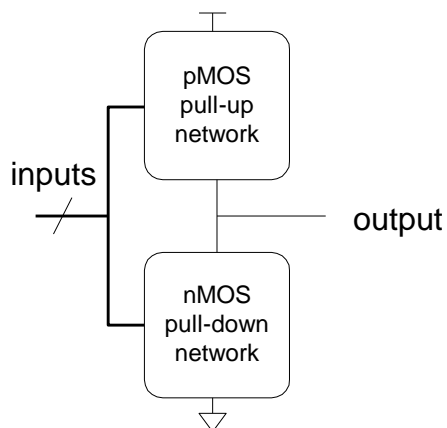


Електроника, 3ФЕИТ053018

27

CMOS – генерална структура (информативно)

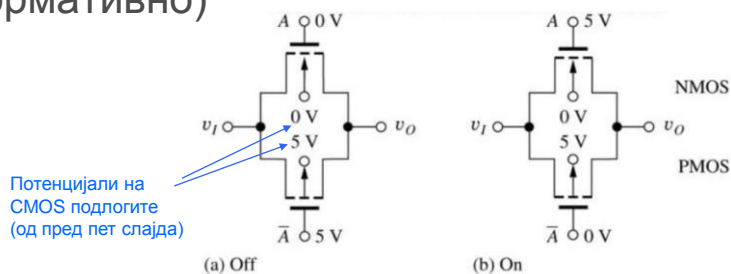
- Можат да се реализираат различни функции со соодветни поврзувања на мосфетите.
- Никако не смее да се случи двете мрежи да водат истовремено!



Електроника, 3ФЕИТ053018

28

Билатерална порта (transmission gate) (информативно)



- Сорсевите на мосфетите не се поврзани со подлогите
- Кога двата мосфети се вклучени, тие претставуваат **еквивалентен отпорник** ⇒
 - Низ оваа порта минуваат и **аналогни сигнали**

Симболи:

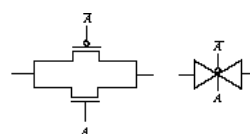


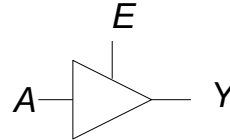
Figure B.18 CMOS transmission gate.

Електроника, 3ФЕИТ053018

29

Трисостојбен излез (бафер) (информативно)

- Кога влезот E (enable) е 0
тогаш излезот е исклучен = во
состојба на висока импеданса
Z

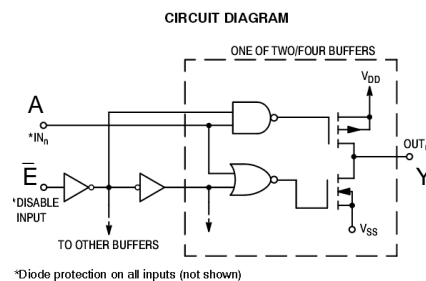


- Ако влезот E е 1, тогаш
излезот станува еднаков на A.

<i>E</i>	<i>A</i>	<i>Y</i>
0	0	Z
0	1	Z
1	0	0
1	1	1

Реализација на трисостојбен излез (информативно)

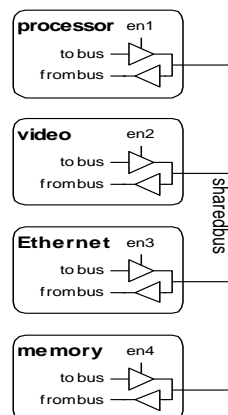
- Со билатерална порта
 - висока импеданса е кога портата е исклучена
- Со посебно управување на p-mos и n-mos транзисторот во излезниот инвертор (бафер)
 - Пример (од каталог) кај колото MC14503 (=CD4503)



Примена на трисостојбен излез (информативно)

- Се користи при **магистрално поврзување** на деловите од дигиталниот систем

- Сите делат ист **сноп жици (магистрала)**
- **Само еден** блок може во даден момент да ги користи **за испраќање** дигитални податоци



RC осцилатор со ЛК (информативно)

- Се применува кај микроконтролерите како евтин генератор на такт
- Изведба со само една порта со Шмитова карактеристика (и RC коло)
- Работи на ист принцип како генераторот на правоаголен облик со ОЗ
- Нивоата V_{T+} и V_{T-} од Шмитовата карактеристика се дадени во каталог (а исто и V_{OH} и V_{OL})
- При пораст **влезот** станува **логичка „1“** при качување **над V_{T+}** , а при опаѓање станува **логичка „0“** при спуштање **под V_{T-}** .

