

Progetto 2.

Progettare un circuito digitale che, ricevuti in ingresso tre operandi A, B e C ad n-bit in complemento a due, calcoli $Ris = A + B - C$.

- 1) Non è consentito impiegare gli operatori ad alto livello.
- 2) Si richiede di utilizzare il pipeline.
- 3) I registri dovranno essere sensibili ai fronti di discesa del clock;
- 4) Si richiede di caratterizzare il circuito in termini di risorse occupate, frequenza di funzionamento e dissipazione di potenza per $n=8, 16$ e 32 ;
- 5) La simulazione dev'essere eseguita per almeno 256 combinazioni degli ingressi (assicurando che entrambi assumano valori diversi).

Entro il 10 Dicembre va inviata una relazione in formato pdf, in cui si richiede di riportare:

- 1) Lo schema a blocchi del circuito progettato, il suo codice VHDL, il testbench ed eventuali files di supporto;
- 2) uno screenshot delle simulazioni eseguite;
- 3) una descrizione con cui si giustificano le scelte effettuate.