

EXPERIÊNCIA 1

Painel Digital e *Protoboard*

1 Objetivos

Familiarizar-se com o *Painel Digital* e com o *protoboard*. Obter maior rendimento nos demais experimentos em decorrência da maior familiarização com o painel e o *protoboard*.

2 Painel Digital

O Painel Digital possui diversos elementos que auxiliam no ensaio experimental de circuitos digitais. Os painéis utilizados foram construídos na própria Mauá e existem dois modelos: o antigo e o novo. A figura 1 apresenta o modelo antigo e a figura 2, o novo.

Em ambos os modelos, dentre diversos elementos, notem-se os principais:

- *Protoboard* ao centro;
- fontes de tensão com pontos de +5 V, +12 V, -12 V e GND;
- chaves reversoras;
- botões com filtro de ruído;
- conjunto de LEDs;
- *displays*.

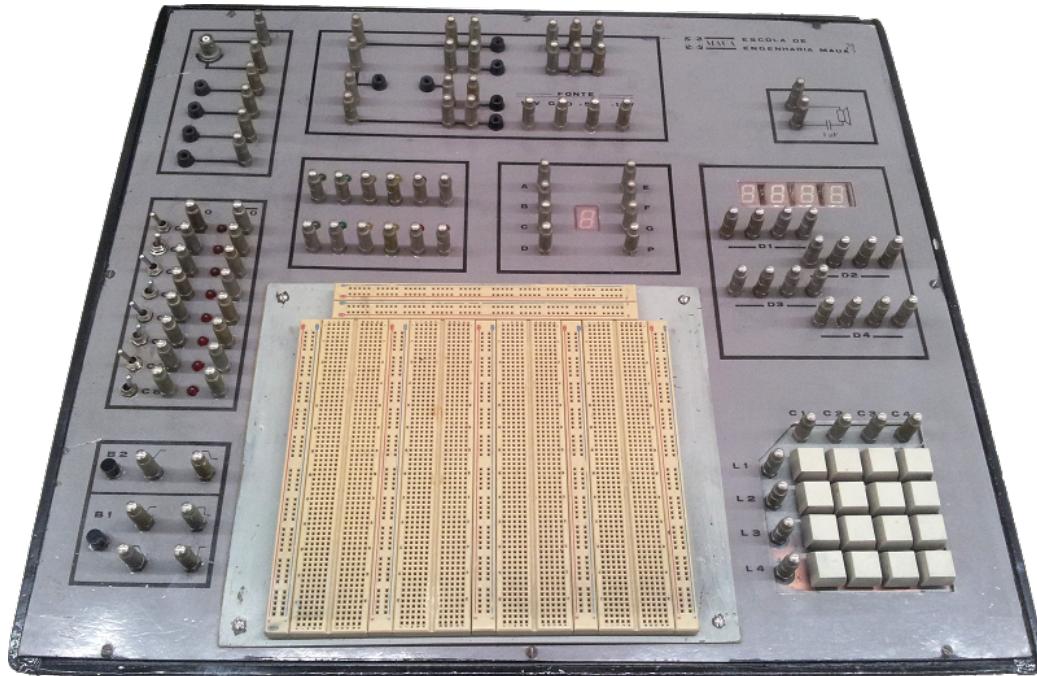


Figura 1: Painel Digital – modelo antigo.

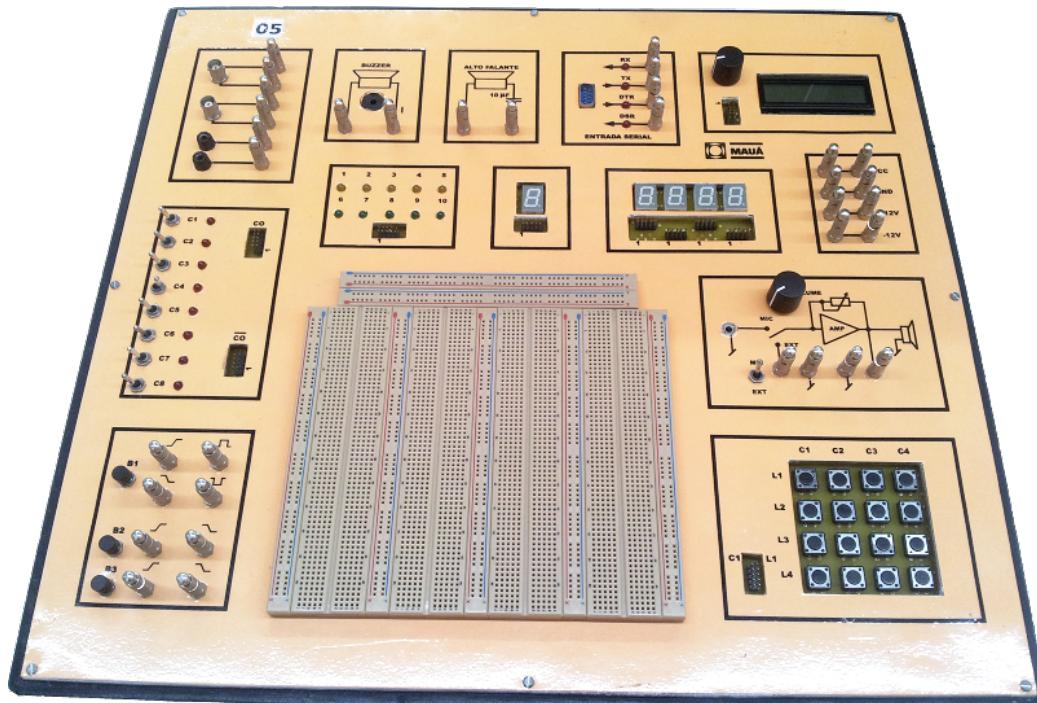
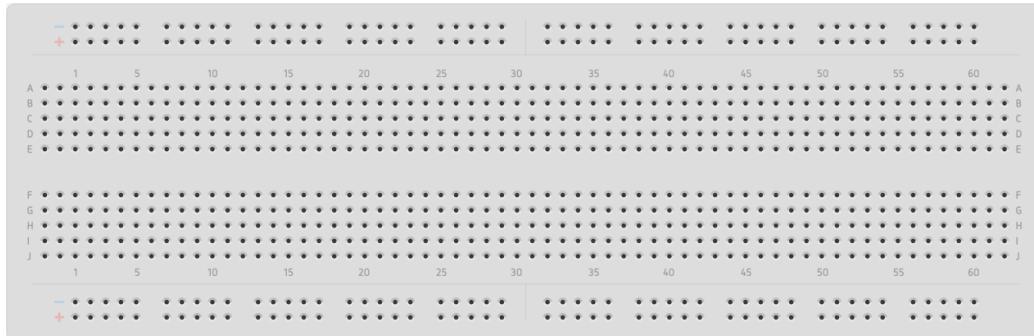
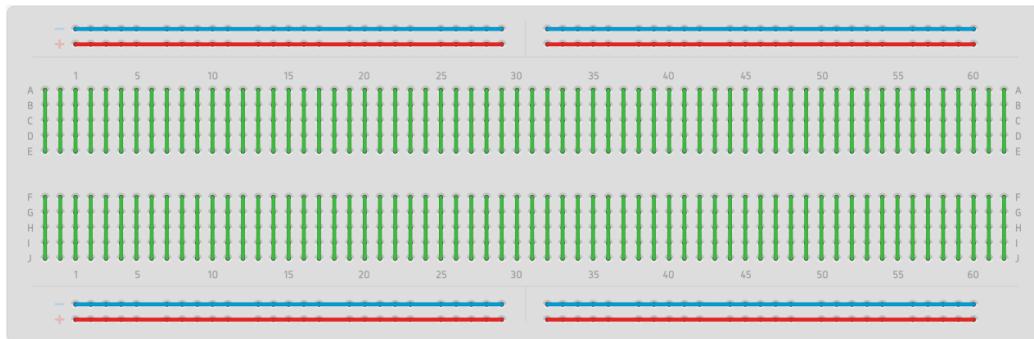


Figura 2: Painel Digital – modelo novo.



(a) Exemplo de *protoboard*.



(b) Conexões internas.

Figura 3: *Protoboard*.

3 *Protoboard*

O *protoboard* constitui-se de uma base com diversos orifícios conectados internamente segundo um padrão.

Conforme observa-se na figura 3a, notam-se dois padrões:

- *Barramento em linha*, acima e abaixo da figura; e
- *barramento em coluna*, na região central.

A conexão interna dos orifícios de cada padrão apresenta-se conforme a figura 3b.

4 Uso do Painel Digital e do *Protoboard*

Monta-se o circuito no *protoboard* e os demais elementos do painel digital oferecem facilitadores para interação com tal circuito. Do *protoboard*,

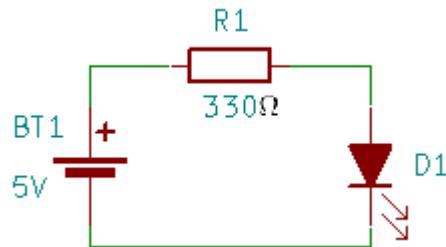


Figura 4: Esquema elétrico de circuito para acender um LED.

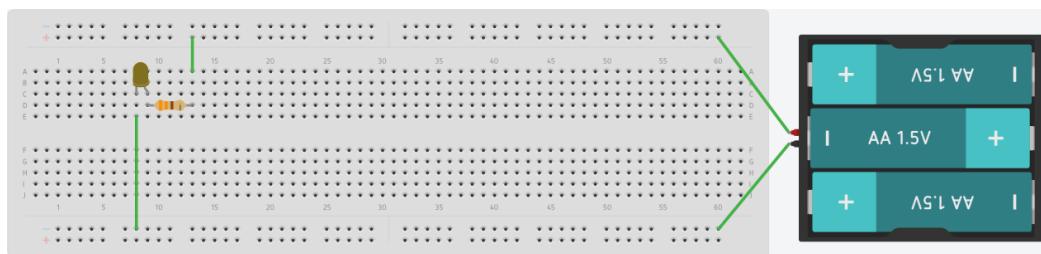


Figura 5: Circuito para acender um LED conforme o esquema elétrico da figura 4. Com o uso do Painel Digital, ao invés de se ligar o conjunto de pilhas, a tensão de alimentação pode ser obtida da fonte do próprio painel.

essencialmente, utilizam-se os conectores tipo “barramento em linha” para sinais que são distribuídos ao longo do circuito montado, como será o caso da tensão de alimentação, e os conectores tipo “barramento em coluna” para as interconexões entre os diversos terminais dos componentes eletrônicos.

Como exemplo, considere-se o circuito da figura 4, o qual irá acender um LED por meio de uma tensão de alimentação.

A equivalente montagem no *protoboard* será feita conforme o apresentado na figura 5.

Maiores detalhes serão explanados pelos professores durante o experimento.

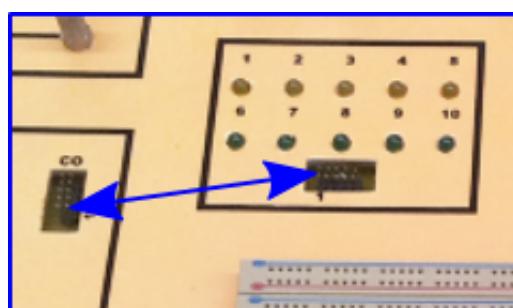
5 Parte Experimental

Para a parte experimental, é aconselhado que os itens abaixo sejam realizados por todos os integrantes da equipe.

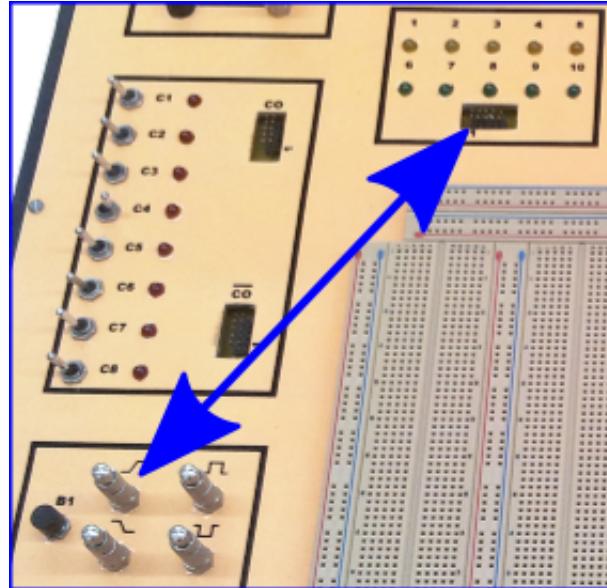
Note-se que as figuras apresentam ilustrações com base no modelo novo do Painel Digital, mas a proposta é semelhante e facilmente dedutível para o modelo antigo.

5.1 Reconhecimento de Elementos do Painel Digital

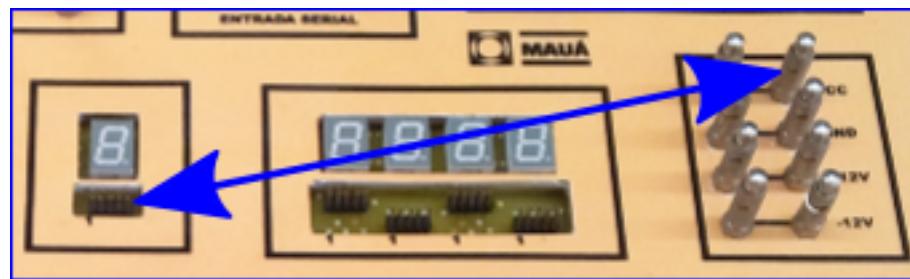
1. Ligar duas chaves reversoras diretamente a dois LEDs, conforme sugerido pela figura. Comutar as chaves e observar os efeitos nos LEDs.



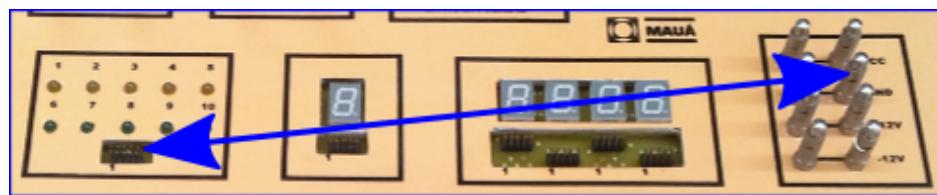
2. Ligar um dos botões, por meio de suas torres de acesso, a um dos LEDs e observar os efeitos para cada tipo de saída do botão (em cada torre).



3. Conectar o ponto de $+5\text{ V}$ (V_{CC}) aos diversos segmentos do *display*, um por vez.



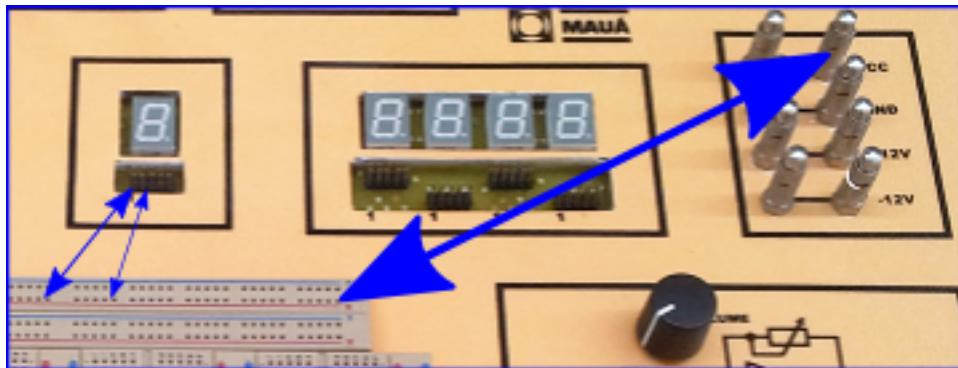
4. Conectar o ponto GND (0 V) aos diversos LEDs, um por vez.



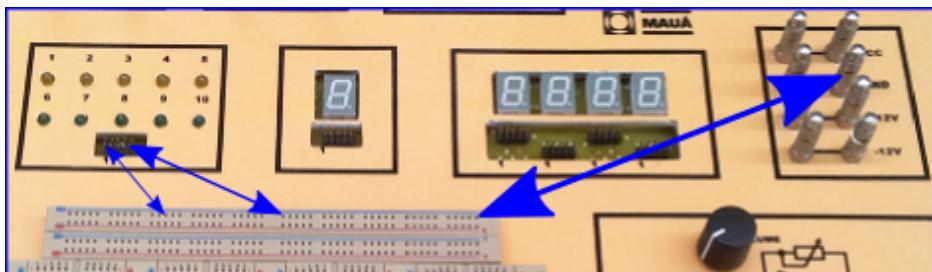
5.2 Reconhecimento dos Blocos do *Protoboard*

1. Por meio do barramento em linha do *protoboard*, ligar o $+5\text{ V}$ (V_{CC}) a um segmento do *display*, conforme apontado pela figura. Note-se que o

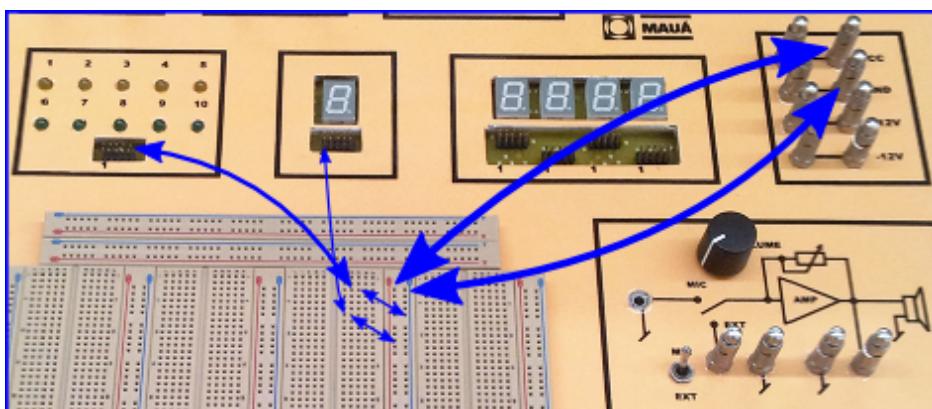
ensaio considerará dois pontos distintos do *protoboard*. De acordo com a padronização, usar, preferencialmente, a **linha vermelha**.



2. Repetir o procedimento anterior, mas para levar o GND (0 V) a um dos LEDs. De acordo com a padronização, usar, preferencialmente, a **linha azul**.

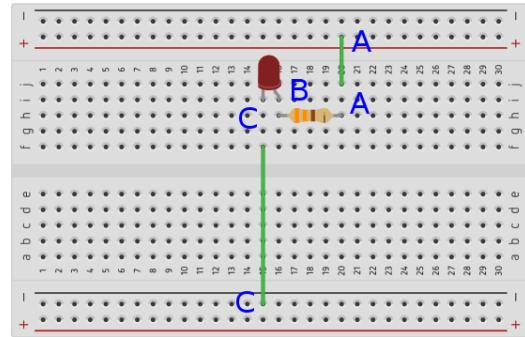
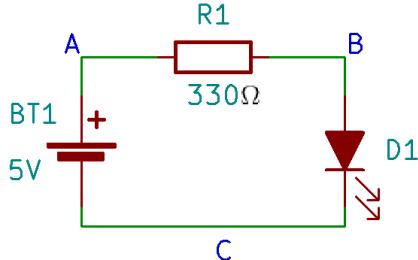


3. Utilizando os barramentos linha e coluna do *protoboard*, conforme apontado pela figura, acender um segmento do *display* e apagar um LED.

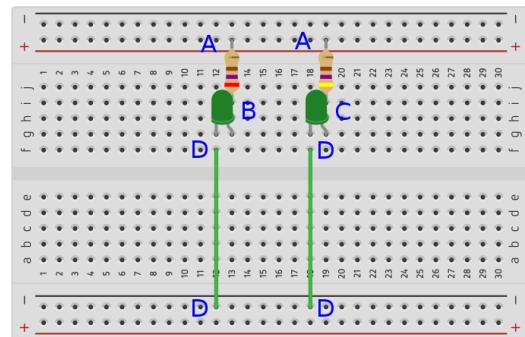
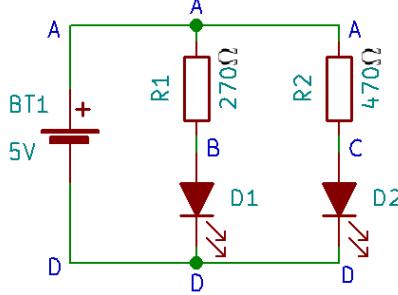


5.3 Montagem de Circuitos

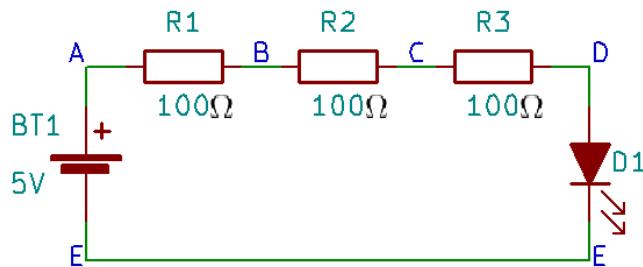
- Na figura seguinte, há o esquema elétrico para acionar um LED e a correspondente montagem no *protoboard*. Seguindo as orientações do professor, realize a montagem. A tensão de alimentação é de +5 V em relação ao GND (0 V).



- Seguindo a mesma proposta, monte o circuito abaixo.



- Por fim, montar o circuito do esquema elétrico abaixo.



Listagem de Materiais

- Painel Digital Novo
- Fios macho-fêmea para *protoboard*
- Fios simples para *protoboard*
- Alicate de bico
- Alicate de corte
- Resistores de 1/8 W: 3 x 100 Ω , 1 x 270 Ω , 1 x 470 Ω , 1 x 330 Ω
- 2 LEDs

EXPERIÊNCIA 2

Técnicas de Soldagem

1 Tópicos envolvidos

- Placas para circuitos eletrônicos:
 - placas padrão (diversas configurações);
 - placas de circuito impresso (por corrosão ou fresagem, esta, mecânica ou a *laser*).
- O elemento de solda (estanho)
 - liga;
 - fluxo.
- O ferro de solda:
 - esponja umedecida;
 - aquecimento;
 - limpeza da ponta;
 - potências de ferro.
- O processo de soldagem:
 - aquecimento da ilha e terminal;
 - sequência do processo: aquecer, estanhar, retirar o ferro;
 - como reconhecer uma boa solda;

- o que é solda fria.
- Cuidados durante a soldagem:
 - superaquecimento (descolamento da ilha, queima do componente eletrônico);
 - curtos;
 - quanto ao corte do excesso dos terminais.
- Elementos de ligação:
 - por solda (em placas padrão apenas);
 - por fios na parte superior (“*jumpers*”);
 - por fios na parte inferior;
 - por trilhas (em placas de circuito impresso).
- Preparação dos fios:
 - uso de ferramentas adequadas;
 - alicates de bico e de corte: formas de manuseio;
 - quanto ao corte: cuidados consigo e com os outros;
 - desencapamento: procedimento e cuidados; uso do alicate de bico como auxílio;
 - identificação e como evitar o cisalhamento.
- O sugador:
 - função;
 - como operar;
 - cuidados de armazenamento.

2 Imagens de Exemplo

Placas Padrão

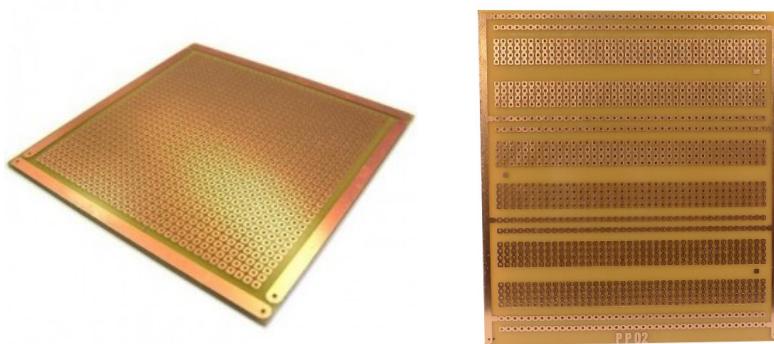


Figura 1: Placas padrão.

Placas de Circuito Impresso

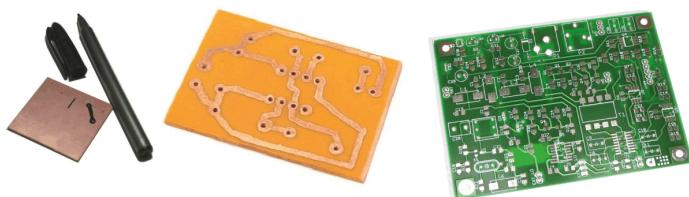


Figura 2: Placas de circuito impresso (PCI).

Ferro de Solda



Figura 3: Ferro de solda e suporte com esponja.

Elemento de Solda



Figura 4: Elemento de solda (“estanho”).

3 Parte Experimental

Para a parte experimental, é aconselhado que os itens abaixo sejam realizados por todos os integrantes da equipe.

3.1 Montagem de Circuito

O circuito da figura 5 aciona um LED. Seguindo as orientações do professor, realize sua montagem.

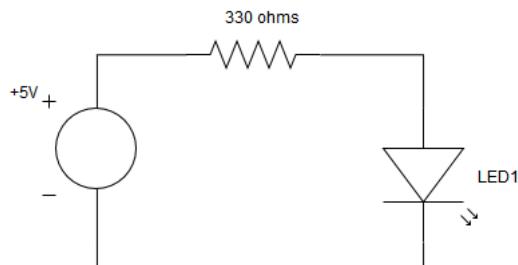


Figura 5: Circuito a montar: acionamento de LED.

3.2 Treinos Adicionais

Para treinar um pouco mais os conceitos e práticas envolvidas com as técnicas de soldagem, realizar, livremente, os itens a seguir:

1. Corte e desencapamento de fios.
2. Pontos de solda nas ilhas.
3. Solda de fios transpassados pela parte superior da placa.
4. Solda de fios transpassados pela parte inferior da placa.
5. Solda de componentes (resistores).

3.3 Desafio

Montar três conjuntos iguais ao da figura 5 de forma a ocupar a menor área possível da placa padrão, além de ser esteticamente agradável.

Listas de Materiais

- Placa padrão 10 x 5 cm
- Caixa com fios
- Alicate de bico
- Alicate de corte
- Ferro de solda, com suporte e esponja
- Copinho com um pouco de água
- Estanho
- Sugador
- 3x Resistores de 330Ω / $1/8$ W (a serem descartados)
- 3x LEDs (a serem descartados)
- 2x Cabos banana-jacaré

EXPERIÊNCIA 3

Portas Lógicas

1 Objetivos

- Comprovar, experimentalmente, as operações das portas lógicas *AND*, *NAND*, *OR* e *NOR*.
- Conhecer as características físicas e elétricas dos Circuitos Integrados 7400, 7402, 7408 e 7432.

2 Conceitos

A tabela 1 ilustra as portas lógicas utilizadas no experimento e suas respectivas funções digitais.

3 Metodologia

Para a análise funcional das portas lógicas *AND* (E), *NAND* (NE), *OR* (OU) e *NOR* (NOU) serão realizados ensaios lógicos a cada uma delas. Os ensaios consistirão na obtenção de suas Tabelas Verdade, testes de algumas equivalências entre portas e análise com entrada flutuante.

Função Lógica	Símbolo Funcional	Expressão Booleana	Tabela Verdade		
			Entrada		Saída
AND		$A \cdot B = Y$	B	A	Y
			0	0	0
			0	1	0
			1	0	0
			1	1	1
OR		$A + B = Y$	Entrada		Saída
			B	A	Y
			0	0	0
			0	1	1
			1	0	1
			1	1	1
NAND		$\overline{A} \cdot \overline{B} = Y$	Entrada		Saída
			B	A	Y
			0	0	1
			0	1	1
			1	0	1
			1	1	0
NOR		$\overline{A} + \overline{B} = Y$	Entrada		Saída
			B	A	Y
			0	0	1
			0	1	0
			1	0	0
			1	1	0

Tabela 1: Portas lógicas com respectivas expressões booleanas e Tabelas Verdade.

4 Parte Experimental

4.1 Operações Lógicas do CI 7408 (*AND*)

- Fixe o Circuito Integrado (CI) 7408 (*AND*) adequadamente na matriz de contatos (*proto-board*) do Painel Digital de estudo. O circuito lógico interno deste CI está ilustrado na figura 1.

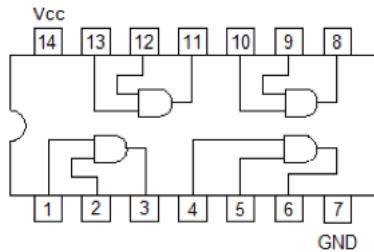


Figura 1: CI 7408.

- Alimente o circuito integrado: +5V no terminal 14 e 0V (GND – *ground* – terra) no terminal 7. **ATENÇÃO! NÃO utilize**, para essa finalidade, as tensões de +12V ou -12V disponibilizadas no painel de estudos, pois, nessas condições, **o circuito integrado será danificado (QUEIMADO)!**
- Escolha uma das 4 portas *AND* do CI 7408 para iniciar o estudo; por exemplo, a porta acessível pelos terminais 1 e 2 como entrada e 3 como saída.
- Acople uma chave reversora em cada uma das duas entradas da porta escolhida, de modo a gerar níveis lógicos (0 ou 1) independentes nesses terminais.
- Na saída da porta, acople um dos LEDs sinalizadores, de modo que possa ser visualizado o nível resultante: 0 corresponde a *apagado* e 1, a *aceso*. *Nota: para este procedimento, também poderia ser utilizado o voltímetro CC, o qual apresentaria o valor da tensão analógica do nível lógico correspondente.*

6. Efetue todas as combinações das entradas (00 , 01 , 10 e 11) e verifique as respostas binárias na saída, anotando-as na tabela 2.

Função AND		
Entradas		Saida
A	B	S
0	0	
0	1	
1	0	
1	1	

Tabela 2: Função *AND*.

4.2 Operações Lógicas do CI 7400 (*NAND*)

Repita todos os procedimentos realizados anteriormente, agora com o CI 7400. Observe que, neste caso, torna-se possível a simples substituição do CI, visto que o posicionamento dos terminais das entradas e saídas das portas é o mesmo. O circuito lógico interno deste CI está ilustrado na figura 2. Anote os resultados na tabela 3.

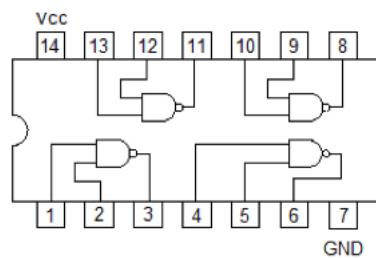


Figura 2: CI 7400.

Função NAND		
Entradas		Saída
A	B	S
0	0	
0	1	
1	0	
1	1	

Tabela 3: Função *NAND*.

4.3 Operações Lógicas do CI 7432 (*OR*)

Seguindo o mesmo padrão experimental anterior, efetue o ensaio para o CI 7432. O circuito lógico interno deste CI está ilustrado na figura 3. Anote os resultados na tabela 4.

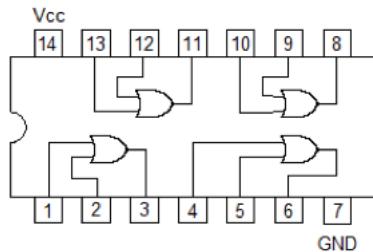


Figura 3: CI 7432.

Função OR		
Entradas		Saída
A	B	S
0	0	
0	1	
1	0	
1	1	

Tabela 4: Função *OR*.

4.4 Operações Lógicas do CI 7402 (*NOR*)

Repita o item anterior para o CI 7402. **ATENÇÃO!** Observe que agora há alteração nos posicionamentos dos terminais: logo deverá ser montado um novo circuito. O circuito lógico interno deste CI está ilustrado na figura 4. Anote os resultados na tabela 5.

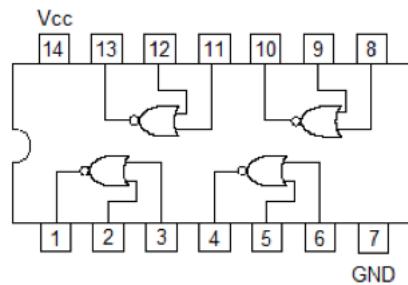


Figura 4: CI 7402.

Função NOR		
Entradas		Saída
A	B	S
0	0	
0	1	
1	0	
1	1	

Tabela 5: Função *NOR*.

4.5 Equivalência entre Portas Lógicas – Obtenção de Porta Lógica Inversora

1. Desconecte as chaves das entradas da porta *NOR* e interligue os dois terminais de entrada, como ilustrado na figura 5. Com essa ligação, obtém-se o equivalente a uma porta inversora (*NOT*).



Figura 5: Porta NOT a partir de uma porta NOR.

2. Conecte uma chave na entrada A e obtenha a respectiva resposta na saída S, anotando os resultados na tabela 6.

Função NOT	
Entradas	Saída
$A = B$	S
0	
1	

Tabela 6: Função NOT a partir de NOR.

4.6 Análise de Porta Lógica TTL com Entrada Flutuante

Verifique o estado lógico da saída de uma porta NOR nas seguintes condições, anotando os resultados na tabela 7:

1. as duas entradas flutuantes (em *aberto*, sem qualquer tipo de conexão)
2. com apenas uma das entradas ligadas ao GND e a outra flutuante
3. com apenas uma das entradas ligadas ao Vcc e a outra flutuante.

Função NOR		
Entradas	Saída	
A	B	S
Aberta	Aberta	
Aberta	0	
Aberta	1	
0	0	

Tabela 7: Função NOR, em CI da família TTL, com entrada flutuante.

O que se conclui, pela tabela acima, em relação à função NOR, ao se deixar alguma das entradas em aberto?

4.7 Desafios

1. Quais os valores analógicos dos dois níveis lógicos (*nível lógico alto* e *nível lógico baixo*) gerados pelas chaves reversoras? E os obtidos nas saídas dos CIs? *Dica: utilizar o multímetro na função de voltímetro CC.*
2. É também possível obter uma função *NOT* a partir de uma porta *NAND*?
3. Elaborar um comparador de igualdade de 4 bits que quando as entradas forem iguais ($A=B$) a saída será 1 ($Y=1$).

Listagem de Materiais

- Painel Digital Novo didático para desenvolvimento
- CIs: 1x 7400, 1x 7402, 1x 7408 e 1x 7432
- Alicate de bico
- Alicate de corte
- Espátula para remoção de CI

- Multímetro digital
- Fios rígidos para *proto-board*

EXPERIÊNCIA 4

Decodificador BCD–7 Segmentos

1 Objetivos

Desenvolver as habilidades necessárias para o projeto e implementação de circuitos combinacionais.

2 Considerações Iniciais

Esta experiência tem por finalidade exercitar o projeto, implementação e testes de um circuito destinado a converter números binários para ativar os terminais de um *display* de sete segmentos.

Cada segmento do *display* é constituído por um LED (*Light Emitter Diode* – Diodo Emissor de Luz). Por convenção, os segmentos de um *display* genérico são representados pelos caracteres *a*, *b*, *c*, *d*, *e*, *f* e *g*, conforme a associação padronizada apresentada pela figura 1.

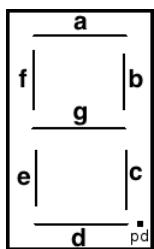


Figura 1: Associação de caracteres *a* a *g* com os segmentos do *display* de sete segmentos. Note-se também a presença do ponto decimal (*pd*).

Convém registrar que podem existir *displays* do tipo **anodo comum** ou **catodo comum**. O *display* tipo *anodo comum* possui apenas um terminal

de anodo disponibilizado no dispositivo e este é comum a todos os segmentos luminosos. De forma análoga, tem-se o *catodo comum*, no qual há apenas um terminal catodo em comum com todos os segmentos luminosos.

Uma importante informação referente ao acionamento dos dígitos do *display* consiste nas técnicas de conexão dos terminais às portas lógicas. Note-se que a ativação dos segmentos ocorre quando a saída lógica está em nível 0, para *displays anodo comum*, e 1, para *displays catodo comum*.

Quando um segmento for acionado, deve-se incluir um resistor em série com cada segmento, a fim de limitar a corrente que circula pelos correspondentes LEDs e, assim, evitar que ele se queime. Esta situação é ilustrada para o caso do *display anodo comum* na figura 2.

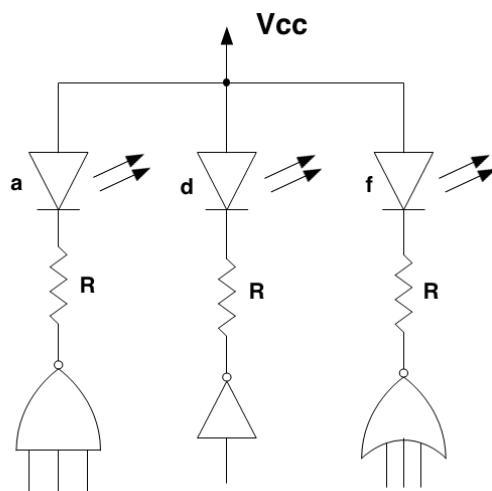


Figura 2: Resistores colocados em série com os segmentos de *display anodo comum* para limitar a corrente do LED correspondente.

3 Parte Experimental

Efetuadas as principais considerações referentes ao *display* em si, os próximos passos consistem em:

1. Elaborar as tabelas da verdade e os mapas de Karnaugh associados com o objetivo de determinar as funções lógicas correspondentes a cada segmento (de *a* a *g*). Para tanto, considerar a representação apenas

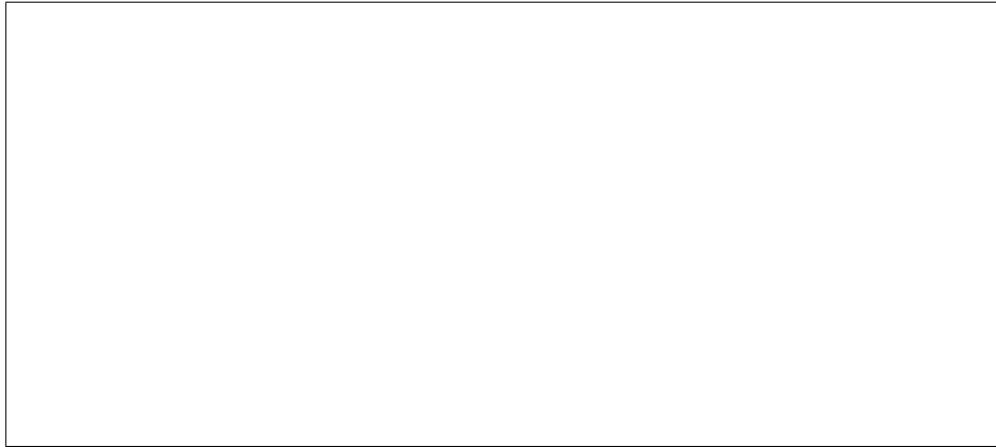
dos dígitos decimais de **0** a **3**, vinculados, respectivamente, às entradas binárias de **00** a **11**.

A	B	a	b	c	d	e	f	g
0	0							
0	1							
1	0							
1	1							

2. Deduzir as funções lógicas (reduzidas) a partir da tabela verdade ou dos mapas de Karnaugh.

3. Transformar as funções obtidas no item (2) com o objetivo de descrever os circuitos com a utilização apenas de portas NAND ou NOR.

4. Elaborar o circuito elétrico correspondente ao item (3).



5. Montar o circuito em *protoboard*. Conferir cuidadosamente todas as conexões. *Note-se que o display fornecido no Painel Digital não necessita de resistores, pois tal detalhe já é tratado pelo circuito interno do painel.*
6. Testar todas as funções lógicas.

Uma interessante sugestão, antes de iniciar o item (5), consiste em montar e testar os circuitos associados ao acionamento de um segmento por vez. Assim agindo, os eventuais problemas relacionados às conexões correspondentes à lógica de ativação de um dado segmento podem ser corrigidos, garantindo-se a correta operação de uma etapa antes de migrar para o acionamento do segmento seguinte.

4 Desafio

1. Projetar um decodificador BCD–7 Segmentos para dígitos decimais de 0 a 7, utilizando-se apenas portas NAND.
2. Considere os seguintes fatores:
 - (a) Uma porta NAND TTL do CI 74LS00 pode fornecer até 0,4 mA ou drenar até 8 mA;
 - (b) Um *display* necessita de 15 mA em cada segmento para apresentar um brilho adequado;

- (c) Num certo *Painel Digital Didático*, há um *display* anodo comum. O que existe no interior do painel de forma que, quando uma determinada saída da porta NAND for ligada a uma correspondente entrada de segmento do *display*, o segmento acende com um brilho adequado no nível lógico 1?

Listar de Materiais

- 1 Painel Digital Novo didático para desenvolvimento
- CIs: 2x 7400, 2x 7402
- 1 Alicate de bico
- 1 Alicate de corte
- 1 Espátula para remoção de CI
- Fios rígidos para *protoboard*

EXPERIÊNCIA 5

Alarme de Invasão

1 Contexto

Considerar uma casa com uma porta e uma janela.

Na porta e na janela, há um sensor que indica quando estão fechadas ou abertas.

O objetivo é projetar um alarme de tal forma que, quando for detectada uma tentativa de entrar na casa, uma sirene soará. O alarme poderá ser ativado ou desativado.

A figura 1 ilustra a situação.

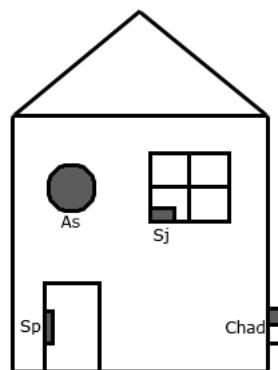


Figura 1: Contexto para o "*Alarme de Invasão*".

O significado dos símbolos presentes na figura 1, com informações adicionais, encontra-se descrito na **Tabela de Associação**, representada na tabela 1.

Tabela 1: Tabela de Associação para os símbolos da figura 1.

	Sinal	Descrição	Condição para Nível Lógico "1"
Entradas	Sp	sensor da porta	porta aberta
	Sj	sensor da janela	janela aberta
	Chad	chave de ativar/desativar	alarme ativado
Saída	As	atuador da sirene	sirene ativada

2 Solução

A solução compreende as seguintes etapas:

1. Elaboração do “*Manual do Usuário*”.
2. Elaboração do “*Diagrama em Blocos*”.
3. Elaboração dos circuitos de cada bloco do “*Diagrama em Blocos*”.
4. Implementação e testes.

2.1 Manual do Usuário

Para ativar o alarme, o seguinte procedimento deverá ser executado:

“Com a chave Chad na posição Desativado, fechar a porta e a janela. Em seguida, comutar Chad para a posição Ativado”.

Para desativar o alarme:

“Comutar a chave Chad para a posição Desativado”.

2.2 Diagrama em Blocos

A figura 2 apresenta o diagrama em blocos para o projeto proposto.

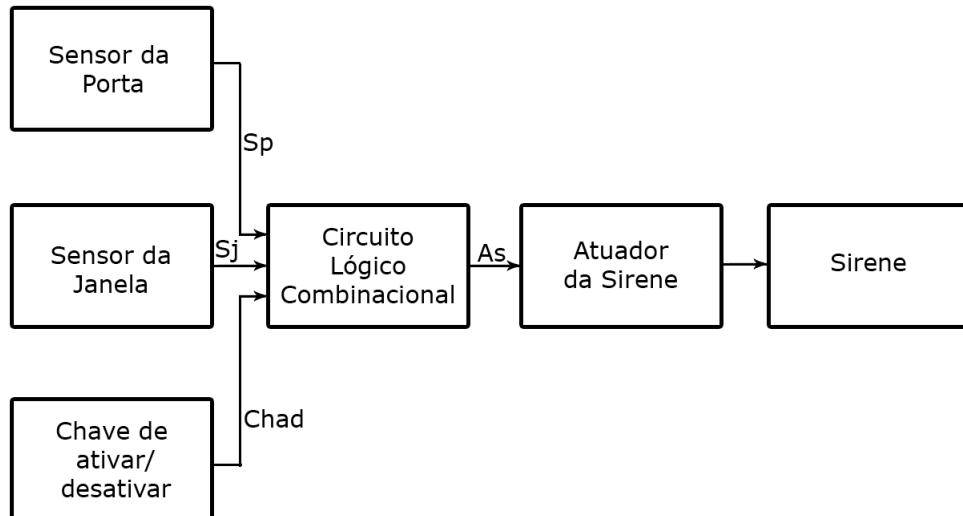


Figura 2: Diagrama em blocos para o projeto proposto. Notem-se as variáveis de entrada e de saída do Circuito Lógico Combinacional.

2.3 Circuitos

Circuitos de Entrada

A figura 3 apresenta os circuitos de entrada.

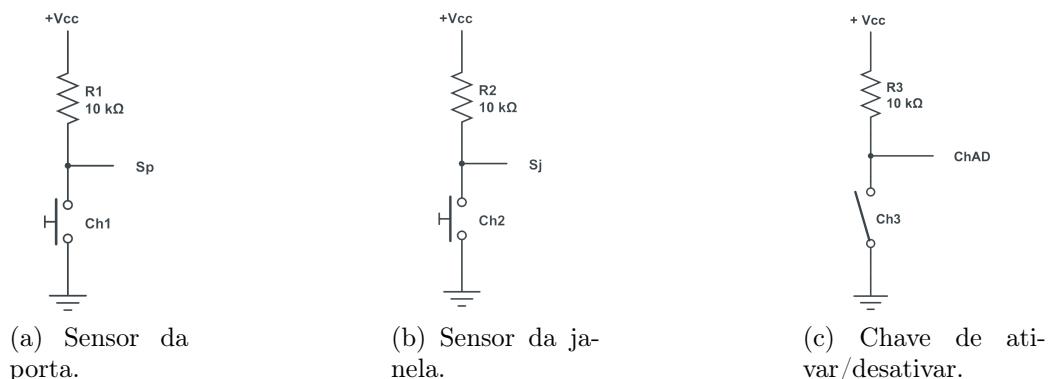


Figura 3: Circuitos de entrada.



(a) *Microswitch*. (b) *Reed switch*.

Figura 4: Exemplos de chaves.

As chaves apresentadas no esquema elétrico podem ser implementadas com, por exemplo, *microswitch* ou *reed switch*, apresentadas na figura 4. Note-se, no caso da *microswitch*, a presença dos terminais C–NA–NF (na figura, em inglês, COM–NO–NC, ou seja, *common*, *normally open*, *normally closed*); ainda, de acordo com as definições na **Tabela de Associação**, deve-se utilizar no projeto os terminais C e NA. (O que aconteceria se fosse utilizado C e NF?)

Círculo de Saída

O circuito de saída é apresentado na figura 5.

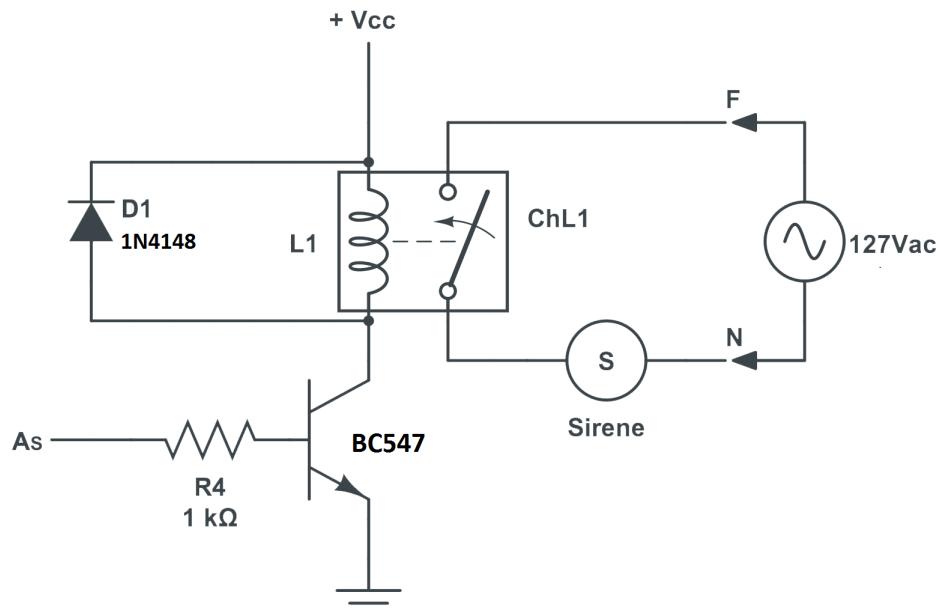


Figura 5: Circuito de saída.

2.4 Circuito Lógico Combinacional

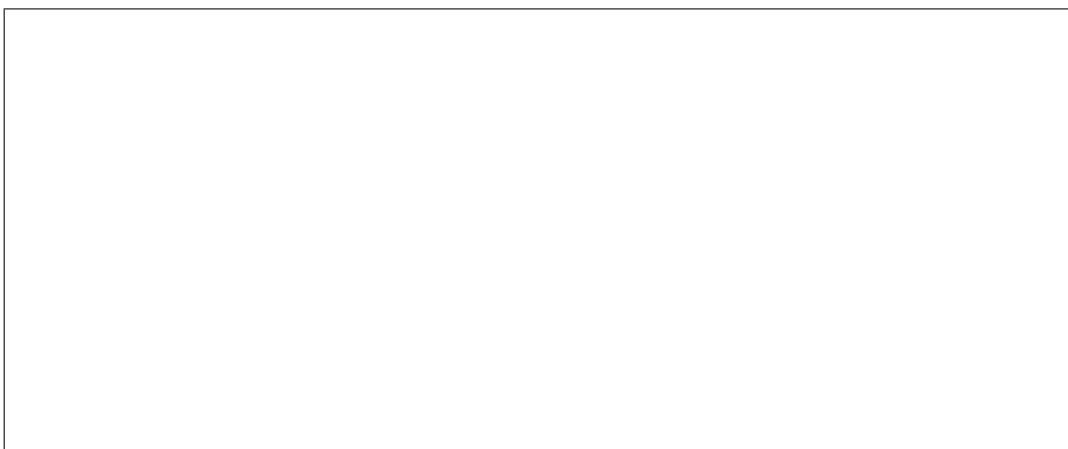
O Circuito Lógico Combinacional é o circuito responsável pelo comportamento do alarme e está apresentado na figura 6.



Figura 6: Circuito lógico combinacional.

2.5 Implementações e Teste

Descritivos com as observações e correções realizadas durante a implementação dos circuitos e seus testes:



3 Parte Experimental

Projetar e implementar o Circuito Lógico Combinacional para as seguintes situações:

1. Atender aos requisitos do projeto descritos na seção “Contexto”.

2. Alterar este circuito a fim de manter a sirene acionada mesmo que a porta e a janela voltem a ficar fechadas no instante seguinte ao disparo do alarme.

4 Desafio

Como fazer para soar o *buzzer*, disponível no Painel Digital do laboratório, quando o sinal **A_s** for ativado?

Lista de Materiais

- Painel Digital Novo didático para desenvolvimento
- CIs: 7404, 7408, 7432
- 1 Alicate de bico
- 1 Alicate de corte
- 1 Espátula para remoção de CI
- Fios rígidos para *protoboard*

EXPERIÊNCIA 6

Introdução ao Osciloscópio

1 Objetivos

- Familiarização com o Osciloscópio.
- Observação de formas de onda, medidas de amplitude, intervalos de tempo, período e frequência.

2 O Osciloscópio

O osciloscópio é um instrumento que permite visualizar grandezas elétricas em forma gráfica, numa tela. Por isso, ele apresenta muita utilidade na análise de qualquer grandeza física sempre que estas puderem ser convertidas em grandezas elétricas.

Os primeiros osciloscópios construídos foram os análogicos, mas atualmente é muito comum o uso dos osciloscópios digitais. A figura 1 ilustra um exemplo de cada tipo.

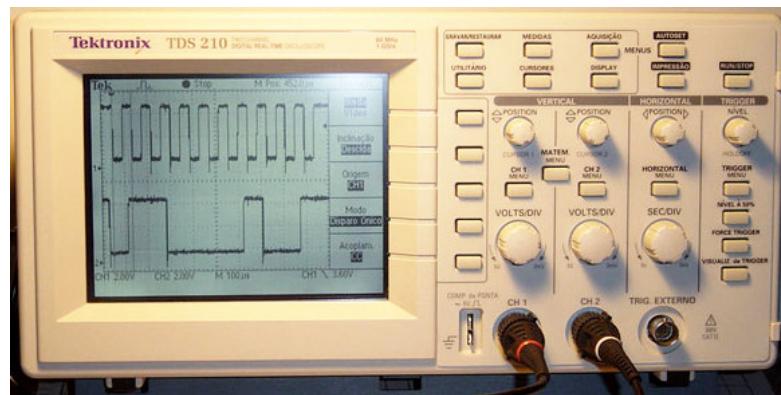
Neste material, a abordagem será focada no **osciloscópio analógico**, mas todos os conceitos são também válidos para o **osciloscópio digital**, com exceção da forma como a imagem é desenhada na tela.

3 O Osciloscópio Analógico

A operação do osciloscópio analógico é baseada no deslocamento de um feixe de elétrons, o qual provoca um ponto luminoso numa tela frontal com uma escala. Como a massa de um elétron é extremamente pequena ($m_{eo} =$



(a) Osciloscópio analógico.



(b) Osciloscópio digital.

Figura 1: Exemplos de osciloscópio.

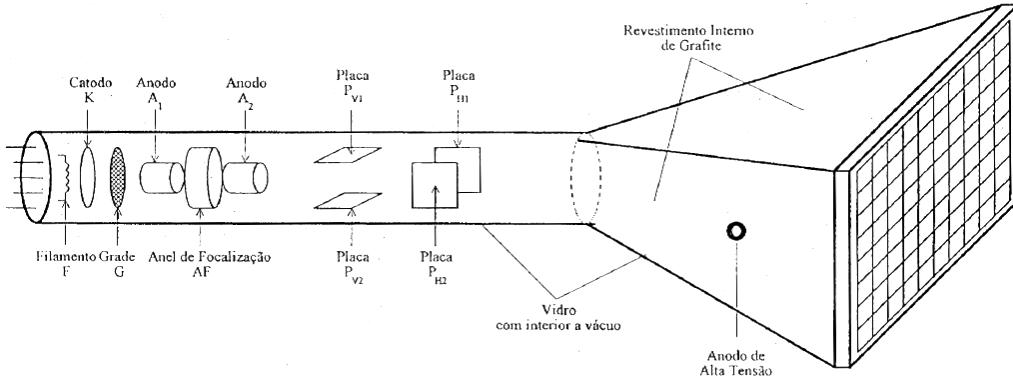


Figura 2: Tubo de Raios Catódicos empregado num osciloscópio.

$9,1 \times 10^{-31}$ kg), pode-se deslocar este ponto com altíssima velocidade, possibilitando analisar-se sinais com variação extremamente rápida.

3.1 O Tubo de Raios Catódicos

O elemento básico de um osciloscópio é o **Tubo de Raios Catódicos**, o qual encontra-se ilustrado na figura 2.

Neste tubo, em cujo interior cria-se vácuo, um feixe de elétrons é emitido do **Catodo K** devido ao aquecimento pelo **Filamento F** (efeito termiônico), acelerado pelos **Anodos de Aceleração A₁** e **A₂** e focalizado pelo **Anel de Focalização AF**.

A intensidade deste feixe é controlada pela **Grade de Controle G** situada entre o **Catodo K** e o primeiro **Anodo de Aceleração A₁**.

Após o segundo **Anodo de Aceleração A₂**, o feixe de elétrons passa por dois pares de **Placas Defletoras** que têm por finalidade desviar o feixe verticalmente – **P_{v1}** e **P_{v2}** – e horizontalmente – **P_{h1}** e **P_{h2}**.

Próximo à tela, existe um revestimento de grafite depositado no vidro, que tem por função promover uma pós-aceleração no feixe, correspondendo ao terminal **Anodo de Alta Tensão** (diversas vezes, referenciado como MAT – Muita Alta Tensão).

Quando o feixe de elétrons incide na tela, provoca o aparecimento de um ponto luminoso, pois esta é revestida com material fosforescente (composto com fósforo).

Um ponto fundamental a ser observado é que, dentro de certos limites, o

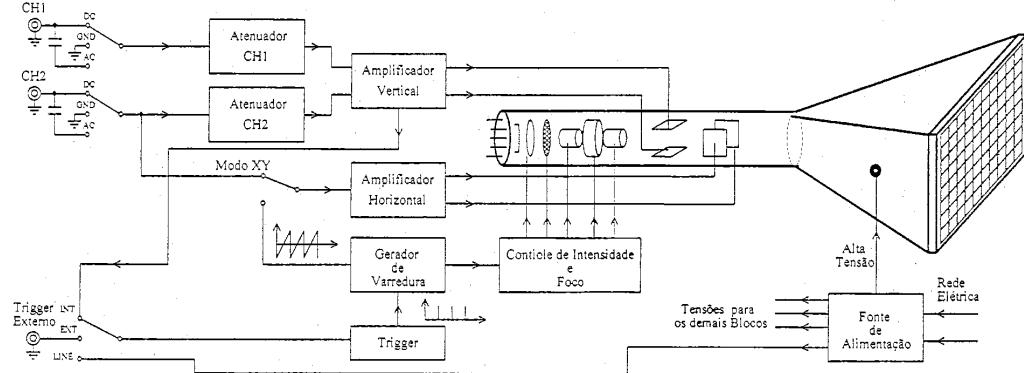


Figura 3: Diagrama em Blocos de um osciloscópio básico.

desvio do ponto luminoso na tela do tubo é proporcional à tensão aplicada entre as placas. Isto quer dizer que se y representar o desvio vertical do ponto luminoso na tela do tubo e V_y for a tensão aplicada entre as placas P_{v1} e P_{v2} , então vale a relação:

$$y = K_y \cdot V_y$$

em que K_y é uma constante de proporcionalidade.

Analogamente, se x for a deflexão no sentido horizontal e V_x for a tensão aplicada entre as placas P_{h1} e P_{h2} , tem-se:

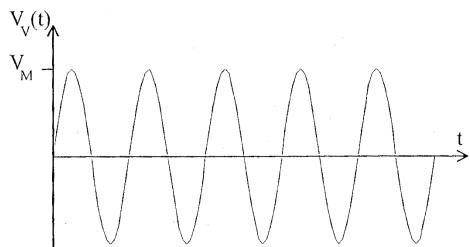
$$x = K_x \cdot V_x$$

em que K_x é uma constante de proporcionalidade.

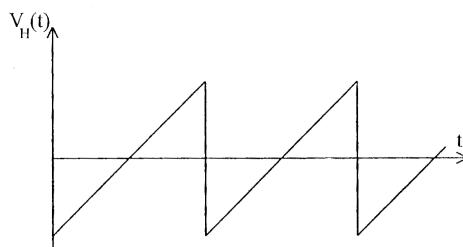
3.2 Diagrama em Blocos de um Osciloscópio Básico e Princípio de Funcionamento

O Diagrama em Blocos de um osciloscópio está ilustrado na figura 3.

Suponha-se a aplicação, na Entrada Vertical, de um sinal $v_v(t)$ variável com o tempo e um sinal nulo na Entrada Horizontal. O sinal vertical passa pelo bloco Atenuadores Verticais, sendo então amplificado pelo Amplificador Vertical e aplicado às Placas de Deflexão Vertical P_{v1} e P_{v2} . Se este sinal vertical possuir como forma de onda uma senóide $v_v(t) = V_m \sin(2\pi f \cdot t)$,



(a) Forma de onda senoidal.



(b) Forma de onda dente de serra.

Figura 4: Formas de onda tipo senoidal e tipo dente de serra.

como ilustrado na figura 4a, o feixe eletrônico será defletido para cima e para baixo. Para uma frequência f baixa (da ordem de Hz), observa-se o ponto luminoso deslocando-se para cima e para baixo. Mas, para o caso de frequência alta (da ordem de kHz), devido à rapidez do movimento e à persistência da luminosidade na tela, aparecerá uma linha vertical contínua.

Contudo, se for aplicado à Entrada Horizontal uma tensão tipo Dente de Serra, como a ilustrada na figura 4b, o movimento resultante do feixe será uma deflexão senoidal na vertical composta com o deslocamento a velocidade constante na horizontal, devido à presença da tensão tipo dente de serra. Esta composição é ilustrada na figura 5.

A tensão dente de serra pode ser gerada internamente no osciloscópio pelo bloco Gerador de Varredura e aplicada ao Amplificador Horizontal.

A composição dos movimentos resultará na figura de uma senóide na tela do Tubo de Raios Catódicos, possibilitando a visualização da forma de onda do sinal aplicado na Entrada Vertical (no caso, um sinal senoidal).

Para obter-se uma figura estacionária na tela, deve-se ter **sincronismo** entre o sinal a ser analisado (o aplicado na entrada vertical) e o dente de serra. Uma maneira de se efetuar este sincronismo seria variar-se a frequência do dente de serra de modo a torná-la submúltipla da frequência do sinal analisado, até a figura parar na tela. Porém, ao variar-se a frequência do dente de serra, seria perdida a calibração no tempo para o eixo horizontal.

Com o objetivo de manter a figura estacionária na tela e também manter calibrada a varredura horizontal, que está relacionada com a variação do dente de serra com o tempo, os osciloscópios dispõem de um Circuito de Disparo, ou Circuito de *Trigger*, que dispara o dente de serra, automaticamente,

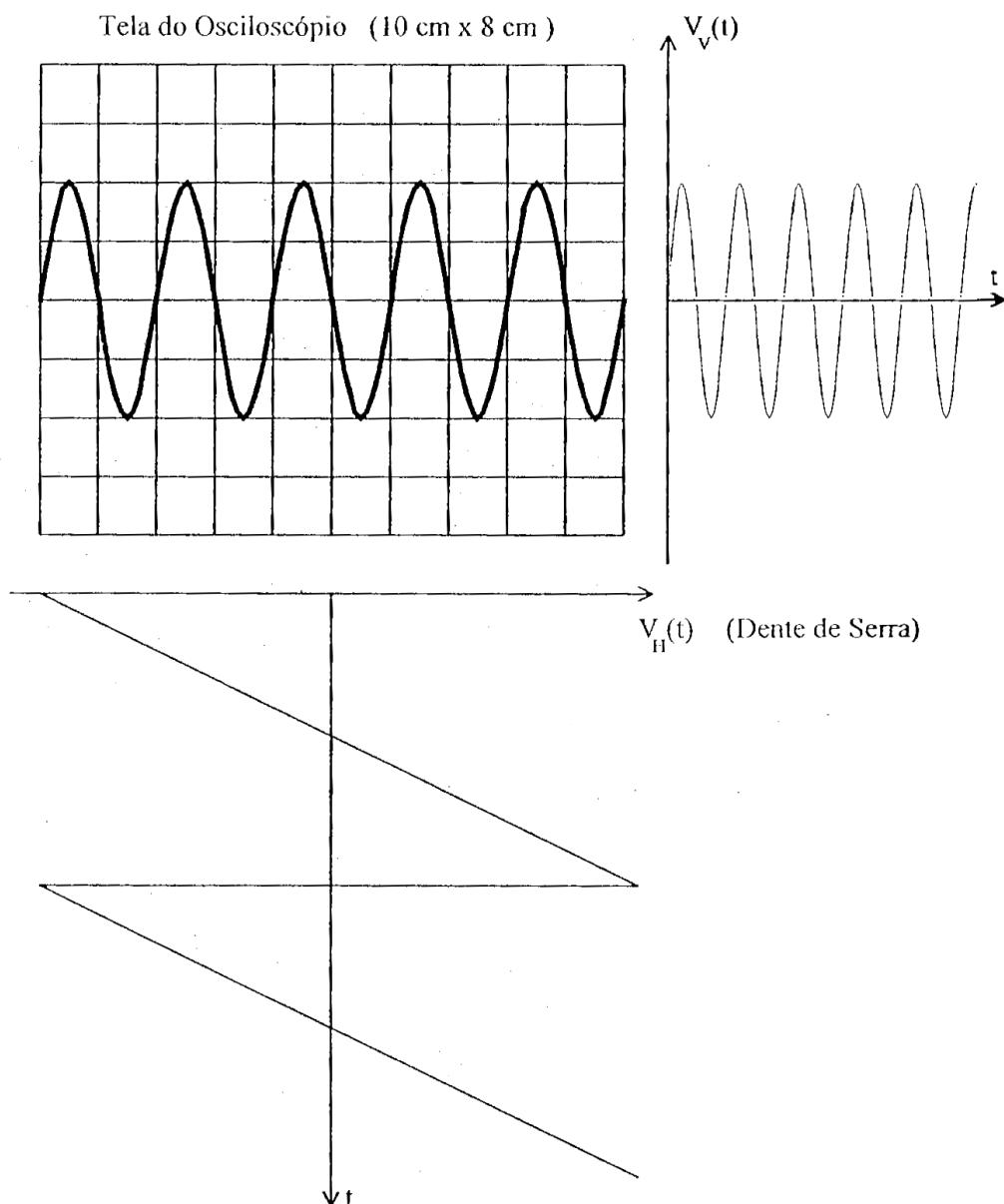


Figura 5: Composição entre o sinal senoidal, aplicado na Entrada Vertical, e o dente de serra, aplicado na Entrada Horizontal.

sempre que o sinal analisado cruzar um determinado nível, como ilustrado na figura 6.

Com o objetivo de evitar um risco na tela, quando do retorno do feixe para a extremidade esquerda da tela, aguardando um novo pulso de disparo da tensão tipo Dente de Serra, o feixe é “apagado” neste intervalo de tempo.

Nos osciloscópios, é comum ter-se a possibilidade de disparar o sincronismo a partir:

- do sinal em análise
- de um sinal de sincronismo externo
- da rede elétrica

Para os dois primeiros casos, pode-se ainda ajustar o Nível de Trigger, por meio de um potenciômetro (LEVEL).

A figura 7 ilustra o painel de um osciloscópio com tubo de raios catódicos de 2 canais.

Dentre os diversos controles presentes neste painel, convém observar os seguintes ajustes e entradas:

1. Liga-Desliga (POWER ON)
2. Luminosidade (INTENSITY)
3. Foco (FOCUS)
4. Entrada CH1 – Canal 1
5. Entrada CH2 – Canal 2
6. Escalas Verticais (V / DIV)
7. Varredura Horizontal (SWEEP TIME / DIV)

Estes e outros controles serão explanados durante a aula, recomendando-se que o aluno anote em local apropriado o que julgar relevante.

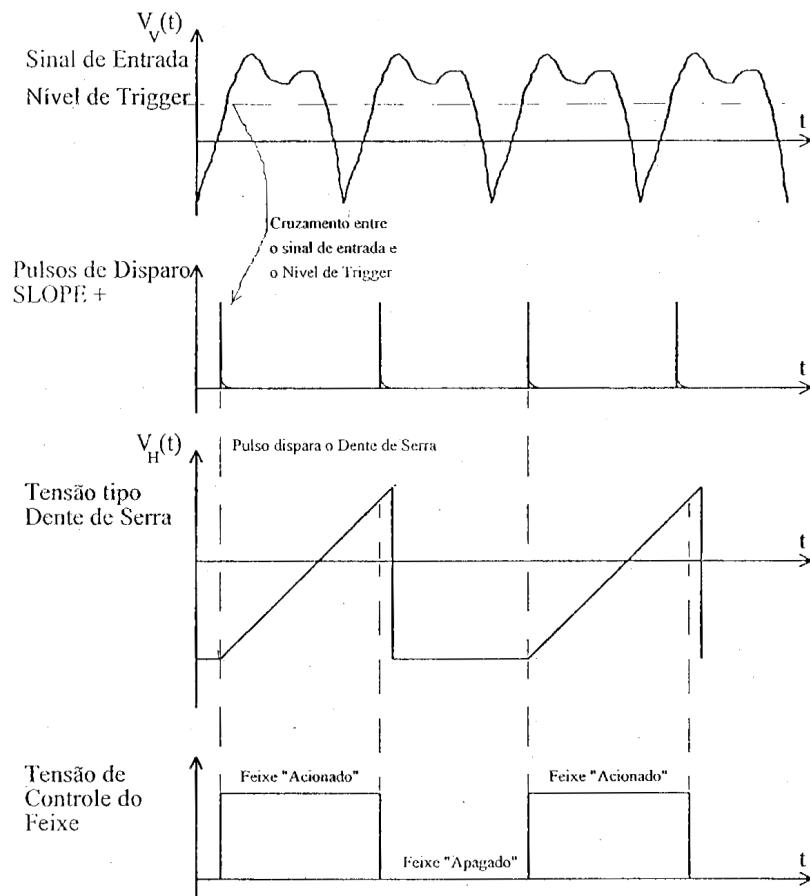


Imagen obtida na Tela do Osciloscópio

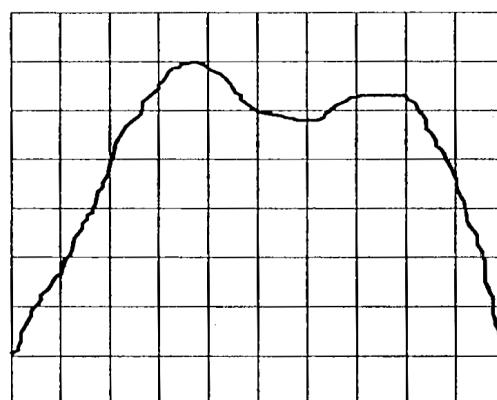


Figura 6: Exemplo de disparo de varredura por meio do Circuito de *Trigger* e imagem do sinal na tela do osciloscópio.

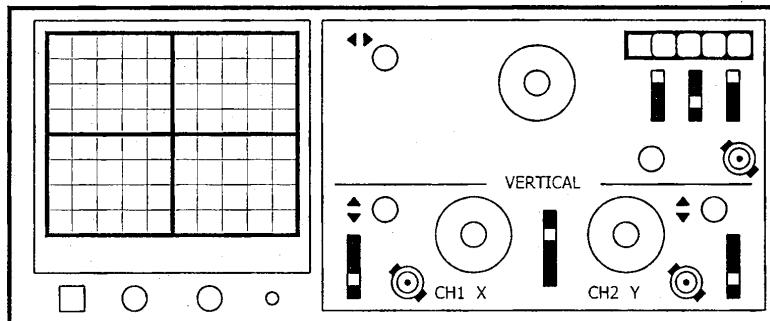


Figura 7: Painel elementar de um osciloscópio.

3.3 Medidas de Amplitude

A escala vertical geralmente é calibrada em volts por divisão (V/div) e pode ser usada para medir a tensão correspondente à amplitude do sinal aplicado ao osciloscópio.

As posições vertical e horizontal da forma de onda podem ser ajustadas sem afetar o valor da amplitude. **Porém, é importante que o ajuste fino (vernier) do controle de sensibilidade (V/div) esteja na posição calibrada (CAL).**

Para esta medida, o Valor de Pico da forma de onda é medido em relação à linha central da tela, sendo necessário que o feixe tenha sido previamente centrado para que este valor corresponda ao centro da forma de onda. Caso contrário, será mais confiável fazer a medida do Valor Pico a Pico. Observar a figura 8.

Ainda, note-se a existência de subdivisões nos eixos centrais da tela, as quais têm a função de melhorar e facilitar as medidas.

3.4 Medidas de Intervalos de Tempo

Usando o valor das bases de tempo do dente de serra do Gerador de Varredura do osciloscópio e a escala horizontal da tela, pode-se efetuar a medida direta de intervalos de tempo, **desde que o ajuste fino da chave de tempo esteja na posição calibrada (CAL)**. Observar a figura 9.

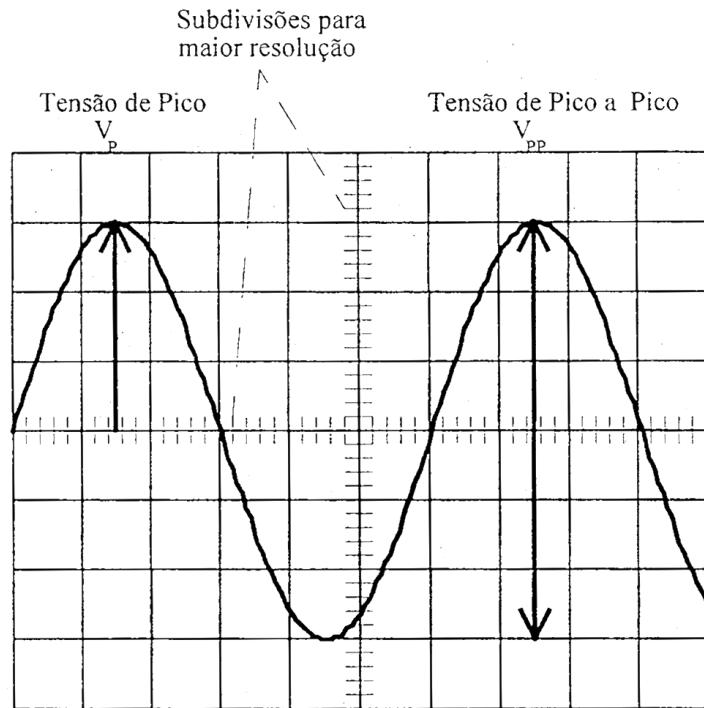


Figura 8: Medidas de tensão de pico e de tensão pico a pico.

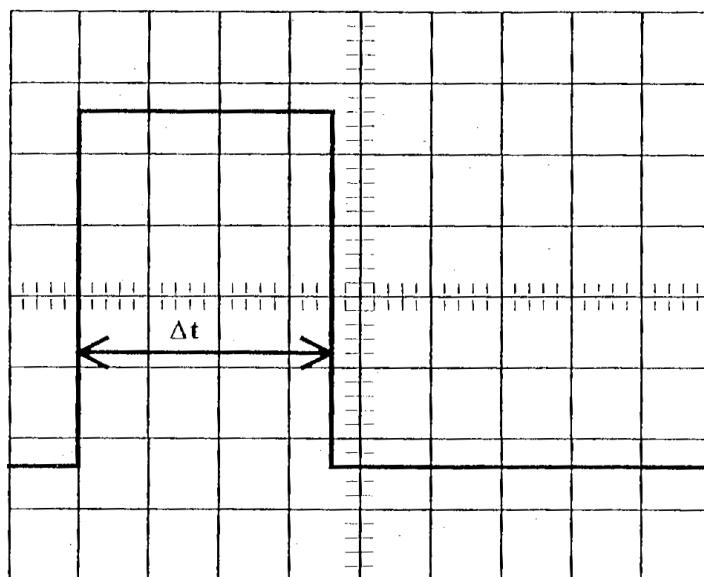


Figura 9: Medida de intervalo de tempo. No caso ilustrado, da duração Δt de um pulso.

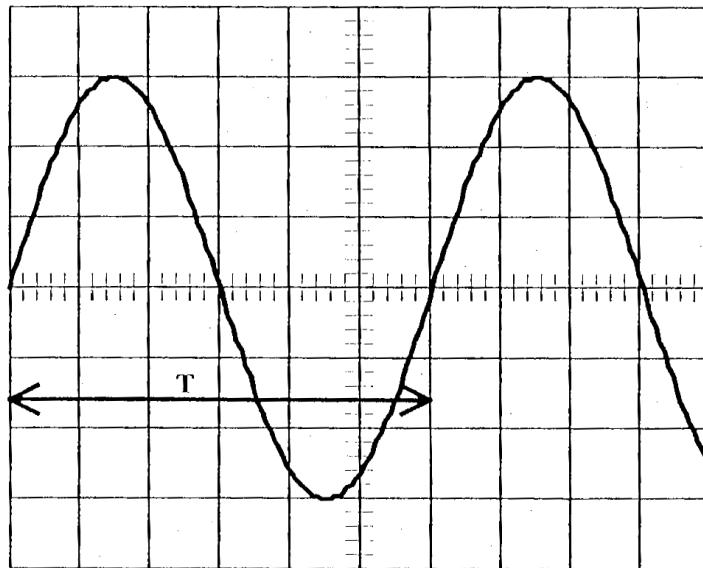


Figura 10: Medida de período e de frequência.

3.4.1 Medidas de Frequência

Usando as escalas calibradas de tempo do osciloscópio também é possível calcular a frequência para o caso de sinais periódicos. Para tanto, é necessário usar a escala de varredura horizontal calibrada (*vernier na posição CAL*), de modo a medir o tempo gasto para completar um ciclo do sinal observado (um período) e então calcular a frequência pela relação $f = \frac{1}{T}$. Observar a figura 10.

4 Parte Experimental

4.1 Identificação de Controles

1. Com o acompanhamento do professor, ligar o Osciloscópio no modo X-Y. Após o aquecimento do filamento, deverá aparecer um ponto luminoso na tela.
2. Verificar a função dos controles de luminosidade (*Intensity*), foco (*Focus*), posição horizontal e vertical. Procurar associar as funções aos elementos do diagrama em blocos.

3. Posicionar então o ponto luminoso no centro da tela.

Obs.: Não deixar o ponto luminoso com brilho excessivo, pois poderá danificar a camada de composto de fósforo no interior do tubo!

4.2 Deslocamento do Feixe na Horizontal

1. Localizar a Entrada Horizontal e aplicar a esta um sinal senoidal de 1 Hz proveniente de um Gerador Senoidal (que pode ser um Gerador de Áudio ou de Funções).
2. Posicionar a chave de entrada (indicada por DC-GND-AC) em DC.

Em GND, o sinal de entrada não é aplicado à entrada, sendo aplicado a esta 0V e, em AC, será colocado um capacitor de desacoplamento DC em série com sinal de entrada, o que acarretaria numa distorção do mesmo.

3. Variar a escala deste canal por meio da chave seletora V/div correspondente, observando o efeito deste controle.
4. Tentar entender o que está ocorrendo através do Diagrama em Blocos.
5. Ajustar a tensão de pico da senóide em 1 V, por meio do osciloscópio!

4.3 Deslocamento do Feixe na Vertical

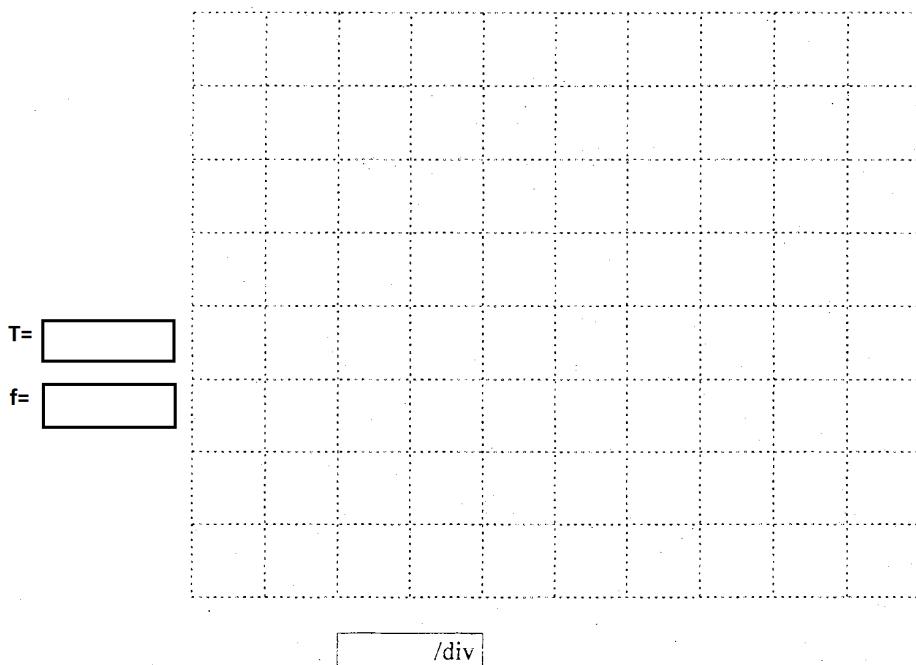
1. Repetir os procedimentos da secção §4.2 para o Canal Vertical.

4.4 Gerador de Varredura

1. Mantendo ainda o gerador de funções com a frequência de 1 Hz ligado ao vertical, desativar o Modo X-Y e colocar a Chave Seletora de Varredura TIME/DIV em uma das posições ms/div, utilizando sincronismo interno (TRIGGER SOURCE → CH1).

Agora, é aplicada a tensão dente de serra proveniente do Gerador de Varredura interno ao osciloscópio.

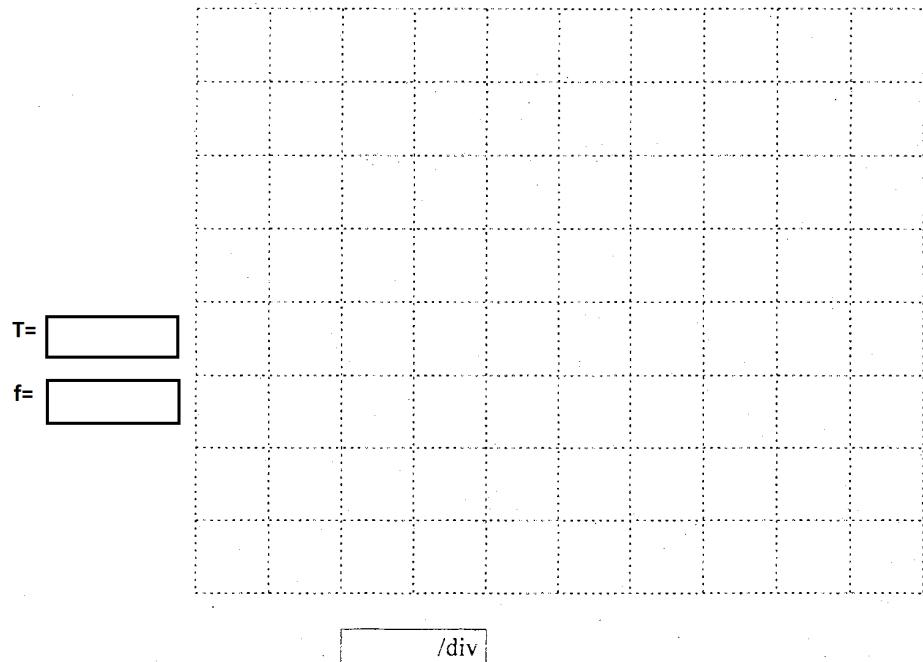
2. Aumentar gradualmente a frequência do Gerador Senoidal até 100 Hz e observar o que ocorre com o ponto luminoso.
3. Anotar a forma de onda na tela a seguir. Medir a tensão pico a pico do sinal senoidal, utilizando-se a escala da tela e o valor VOLTS/DIV da escala do seletor do canal CH1, assim como o valor dos seletores da escala do vertical (VOLTs/DIV) e da escala do horizontal (em TIME/DIV), e calcular a frequência.



4.5 Observação de Sinal

1. Ajustar a frequência do gerador senoidal para 1 kHz.
2. Ajustar a chave Seletora de Varredura TIME/DIV e o Nível de Trigger (LEVEL) de modo a obter uma senóide parada na tela.
3. Observar o que ocorre quando comuta-se a chave SLOPE +/− e quando varia-se o Nível de Trigger (LEVEL).

4. Anotar a forma de onda na tela a seguir.



4.6 Efeito do *Trigger*

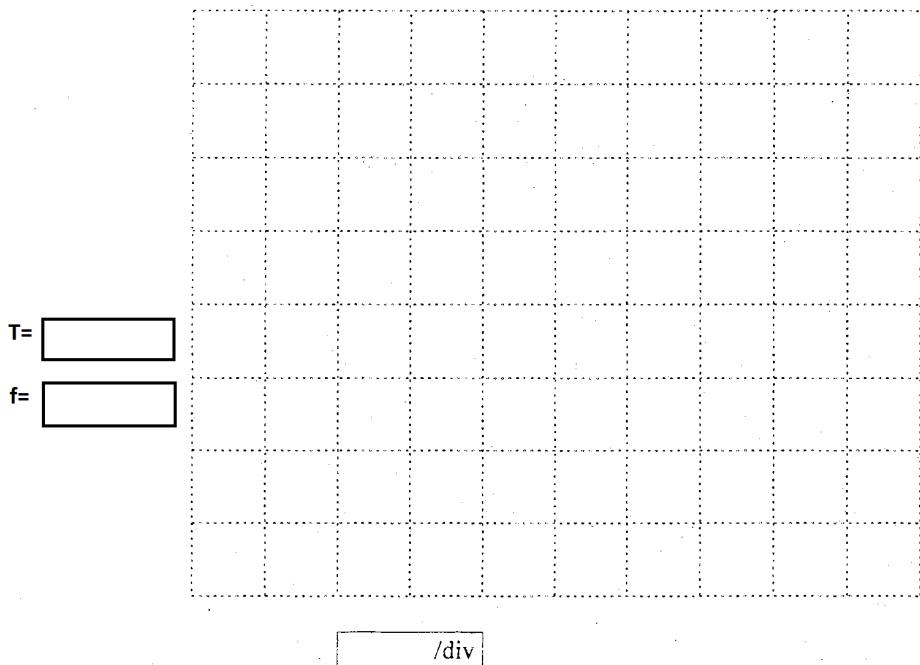
1. Mudar a fonte de sincronismo (*Trigger*) para Rede (LINE) e ajustar a frequência do gerador senoidal para 60 Hz.
2. Explicar por que não se consegue parar a figura na tela.

4.7 (Extra) Observação da Tensão da Rede Elétrica

1. Desligar a entrada vertical do osciloscópio do gerador senoidal e ligar ao secundário de um transformador fornecido, conectando o primário deste à rede elétrica.

A tensão apresentada pelo secundário deste transformador corresponde à da rede elétrica reduzida por um fator de transformação.

2. Anotar a forma de onda da tensão do secundário deste transformador, que corresponde, aproximadamente, à forma de onda da rede elétrica.



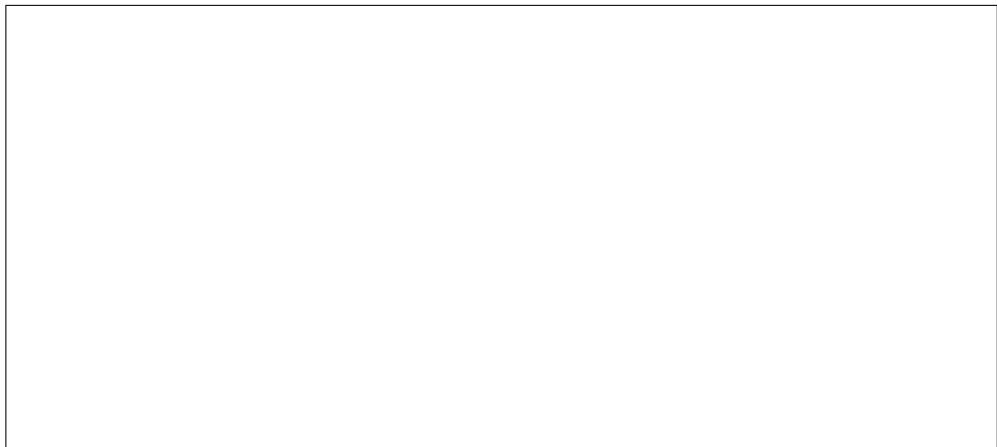
3. Medir o período da tensão exibida e calcular a frequência da rede, cujo valor nominal é 60 Hz.

4. Aproveitar para medir os valores de pico e de pico a pico da tensão do secundário deste transformador.

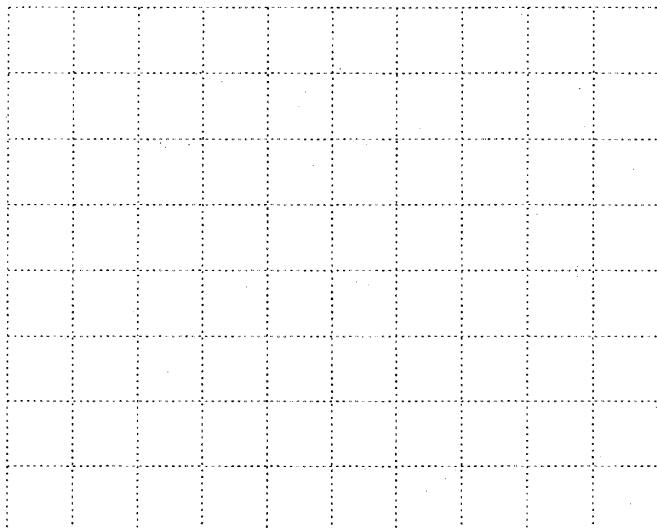


5 Questões

1. O osciloscópio pode ser empregado para medir tensões constantes? Como?



2. Como seria a figura vista na tela se não houvesse o apagamento de retorno? Exemplifique com a figura de uma tela para o caso de um sinal senoidal.



3. Se desejar-se observar uma forma de onda de frequência baixa, ajusta-se a varredura para um tempo de varredura reduzido também. Nota-se que a figura na tela cintila. Qual a explicação para este fenômeno?

Listagem de Materiais

- Osciloscópio
- Gerador de funções
- 3x Cabos BNC-banana
- 1x Cabo BNC-BNC
- 1x Trafo 127V/9V (caixa)

EXPERIÊNCIA 7

Portas Lógicas *Schmitt Trigger*

1 Objetivo

Compreender o comportamento de portas lógicas com entradas *schmitt trigger*.

2 Motivações

1. O que é uma porta lógica com entradas *schmitt trigger*?
2. Qual a vantagem desta em relação às convencionais?
3. Quando seu uso torna-se interessante?
4. Quais os exemplos de aplicação?

3 Referências para Consulta

Os seguintes manuais podem ser consultados para buscar respostas às perguntas anteriores:

- http://pdf.datasheetcatalog.com/datasheets/90/109357_DS.pdf
<http://pdf.datasheetcatalog.com/datasheet/motorola/MC14093BD.pdf>
http://pdf.datasheetcatalog.com/datasheets/270/109356_DS.pdf

4 Parte Experimental

4.1 Ponto de Comutação

1. Montar o circuito da figura 1.

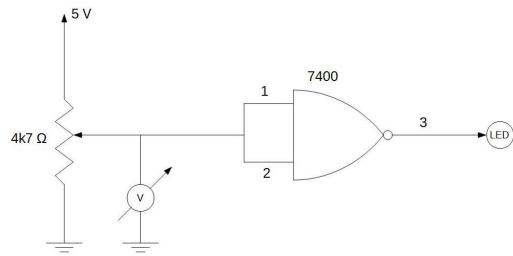


Figura 1: Esquema elétrico com 7400.

2. Variar o potenciômetro lentamente e observar o comportamento do LED. Dar especial atenção à faixa de tensão entre 0,8 V e 2,0 V. Anotar um valor de tensão no qual ocorre a indefinição. $V_{ind} =$
Descreva o que ocorreu:

3. Substituir o CI 7400 pelo 4093, de forma a obter o circuito da figura 2.

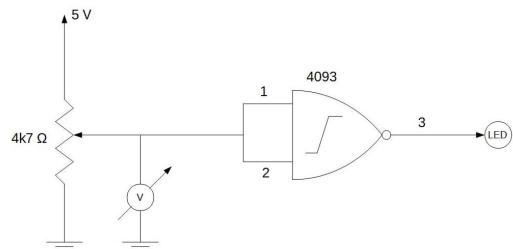


Figura 2: Esquema elétrico com 4093.

4. Repetir a variação do potenciômetro, lentamente. Em relação ao outro circuito, o que ocorreu? Anotar o valor de V^+ e V^- . Descreva abaixo:

$$V^+ =$$

$$V^- =$$

4.2 Comportamento das Bordas

1. Montar o circuito da figura 3.

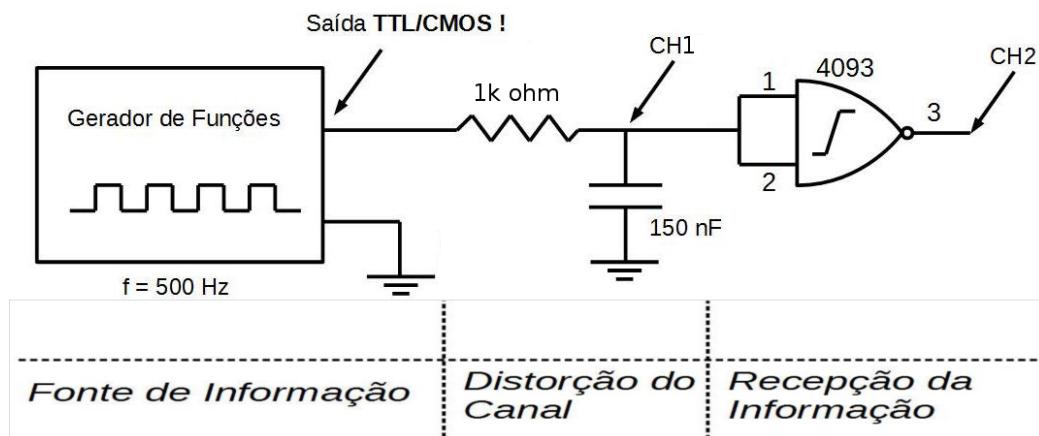


Figura 3: Esquema elétrico para exemplo de aplicação.

2. No esquema elétrico, note-se:

- Fonte de informação: simula a geração de uma informação digital qualquer a ser transmitida por um determinado canal (010101...).
- Distorção no Canal: simula a distorção que ocorre na informação digital transmitida pelo canal.

- Recepção da Informação: usa o comportamento *schmitt trigger* para recuperar a informação transmitida e que foi distorcida pelo canal; no contexto, a informação digital é: 010101...
3. Com o auxílio de um osciloscópio, observe o sinal nos pontos entitulados “CH1” e “CH2” na figura 3, observando os detalhes da figura 4.

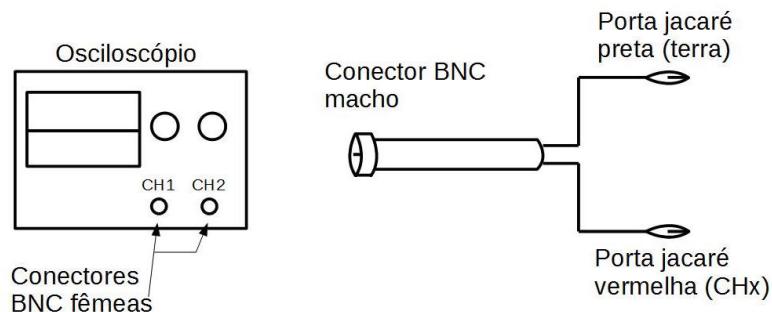


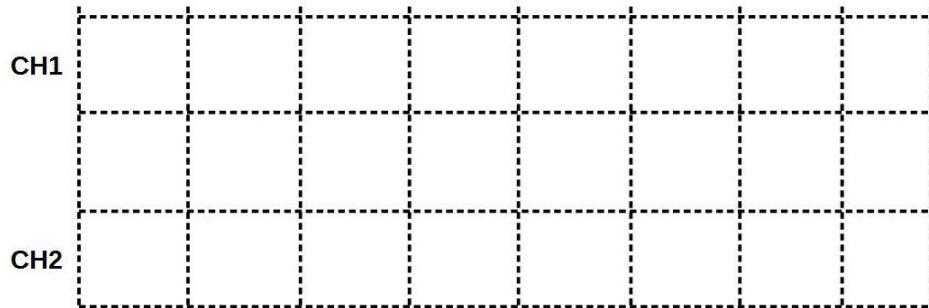
Figura 4: Osciloscópio e conectores.

Nota: caso possua dificuldades na operação do osciloscópio, solicite a ajuda do professor para os coretos ajustes.

Ajustes básicos sugeridos:

- Base de tempo: 1ms/DIV
- Escala de tensão: 5V/DIV
- Sincronismo: CH1
- Exibição: DUAL
- Acoplamento: DC

4. Reproduza abaixo os sinais observados:



5. Substituir, agora, o 4093 pelo 7400 e anotar, novamente, as formas de onda.



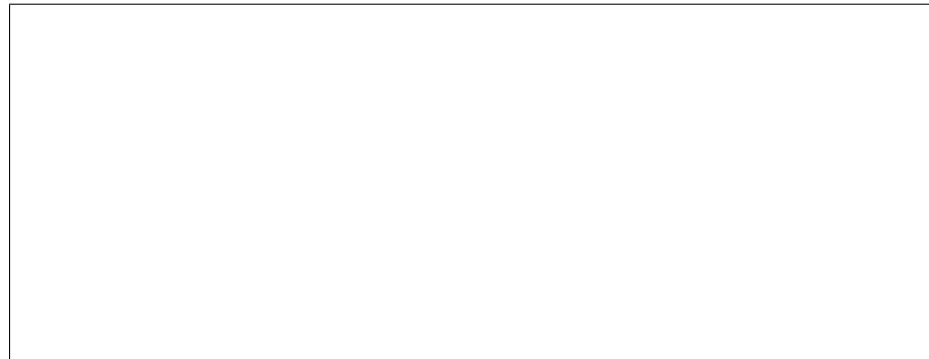
6. Quanto aos sinais observados, pregunta-se:

- (a) Ao considerar o sinal “transmitido” e o “recebido”, pode-se dizer que são coerentes? Por quê?



A large, empty rectangular box with a thin black border, intended for the student's handwritten answer to question 6(a).

- (b) Comparando-se os sinais “recebidos” pelo 4093 e 7400, há alguma diferença? Onde?



Listar de Materiais

- Multímetro digital
- Osciloscópio
- Gerador de funções
- Painel Digital Novo
- 2x cabos banana-banana pequenos
- 2x cabos BNC-jacaré
- 1x cabo BNC-BNC
- Caixa com fios
- Alicate de corte
- Alicate de bico
- Espátula
- CIs: 1x 7400; 1x 4093
- Capacitor: 1x 150 nF
- Resistor: 1x 1 kΩ
- Potenciômetro: 1x 4k7 Ω (lin.)

MC14093B

Quad 2-Input "NAND" Schmitt Trigger

The MC14093B Schmitt trigger is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These devices find primary use where low power dissipation and/or high noise immunity is desired. The MC14093B may be used in place of the MC14011B quad 2-input NAND gate for enhanced noise immunity or to "square up" slowly changing waveforms.

- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-Power TTL Loads or One Low-Power Schottky TTL Load Over the Rated Temperature Range
- Triple Diode Protection on All Inputs
- Pin-for-Pin Compatible with CD4093
- Can be Used to Replace MC14011B
- Independent Schmitt-Trigger at each Input

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	- 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	- 0.5 to $V_{DD} + 0.5$	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	- 65 to + 150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

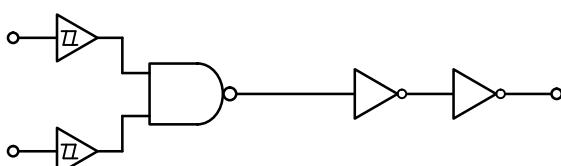
* Maximum Ratings are those values beyond which damage to the device may occur.

†Temperature Derating:

Plastic "P and D/DW" Packages: - 7.0 mW/°C From 65°C To 125°C

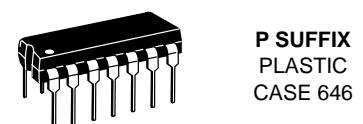
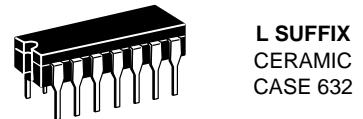
Ceramic "L" Packages: - 12 mW/°C From 100°C To 125°C

EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

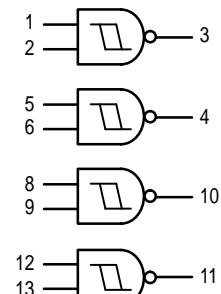


ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBD	SOIC

$T_A = - 55^{\circ}$ to 125°C for all packages.

LOGIC DIAGRAM



$V_{DD} = \text{PIN 14}$
 $V_{SS} = \text{PIN 7}$



DECEMBER 1983—REVISED MARCH 1988

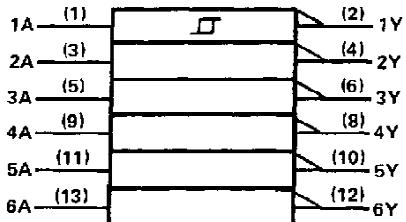
- Operation from Very Slow Edges
- Improved Line-Receiving Characteristics
- High Noise Immunity

description

Each circuit functions as an inverter, but because of the Schmitt action, it has different input threshold levels for positive (V_{T+}) and for negative going (V_{T-}) signals.

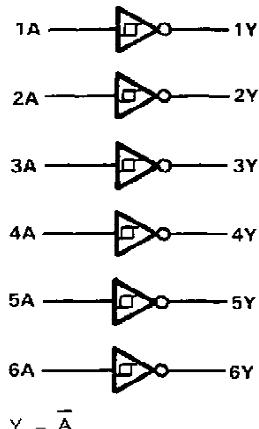
These circuits are temperature-compensated and can be triggered from the slowest of input ramps and still give clean, jitter-free output signals.

The SN5414 and SN54LS14 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN7414 and the SN74LS14 are characterized for operation from 0°C to 70°C .

logic symbol[†]

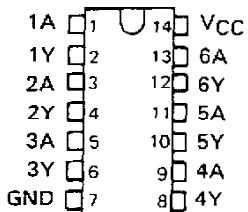
[†]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

Pin numbers shown are for D, J, N, and W packages.

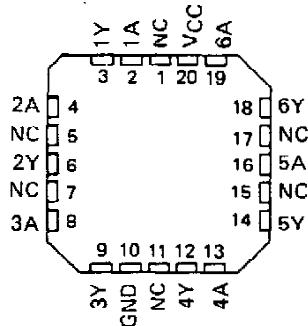
logic diagram (positive logic)

**SN5414, SN54LS14 . . . J OR W PACKAGE
SN7414 . . . N PACKAGE
SN74LS14 . . . D OR N PACKAGE**

(TOP VIEW)



**SN54LS14 . . . FK PACKAGE
(TOP VIEW)**



NC—No internal connection

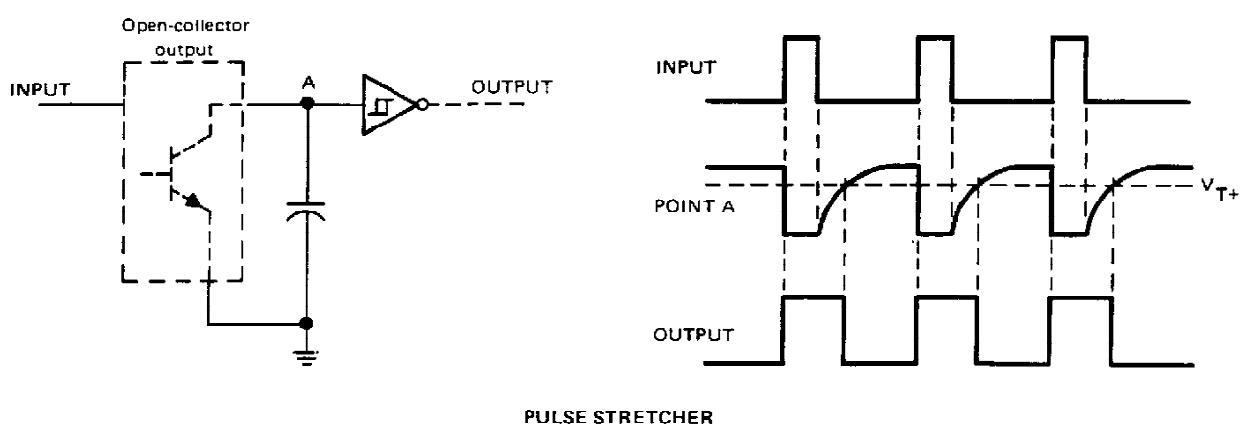
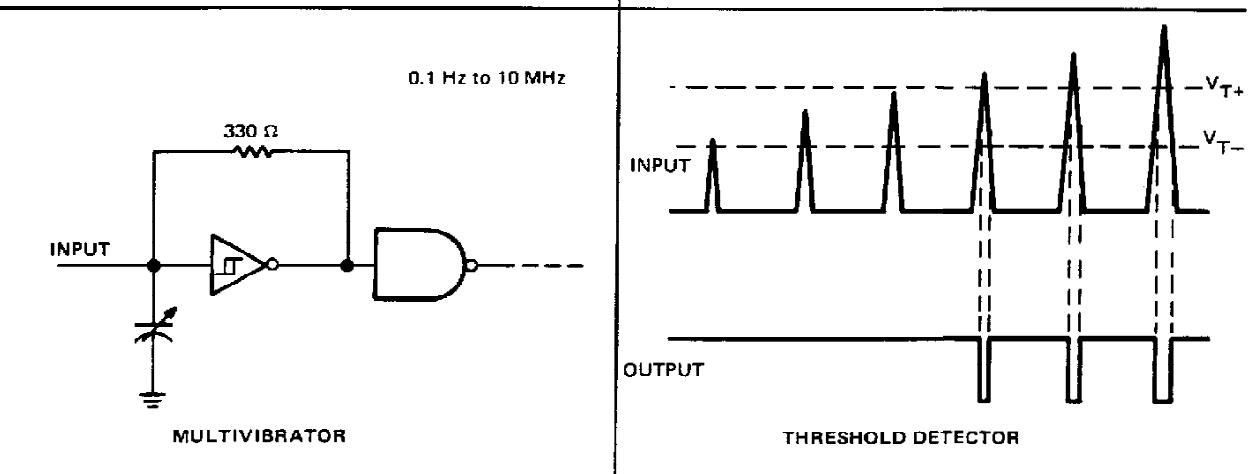
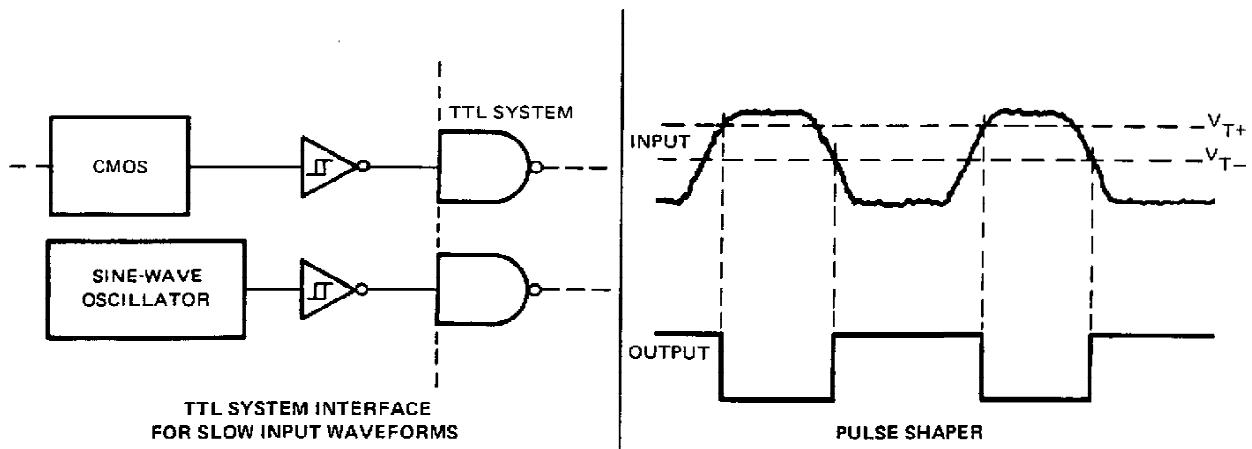
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 656012 • DALLAS, TEXAS 75265

**SN5414, SN54LS14,
SN7414, SN74LS14
HEX SCHMITT-TRIGGER INVERTERS**

TYPICAL APPLICATION DATA



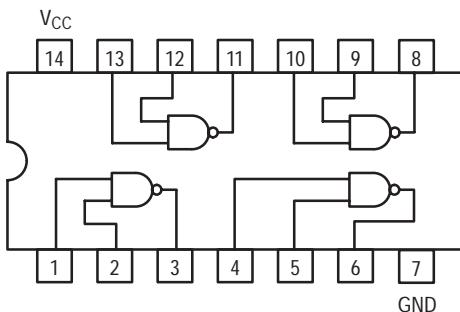
**TEXAS
INSTRUMENTS**

POST OFFICE BOX 656012 • DALLAS, TEXAS 75265

SN74LS00

Quad 2-Input NAND Gate

- ESD > 3500 Volts



ON Semiconductor

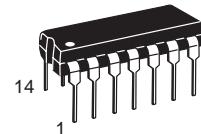
Formerly a Division of Motorola

<http://onsemi.com>

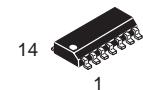
LOW
POWER
SCHOTTKY

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			-0.4	mA
I_{OL}	Output Current – Low			8.0	mA



PLASTIC
N SUFFIX
CASE 646



SOIC
D SUFFIX
CASE 751A

ORDERING INFORMATION

Device	Package	Shipping
SN74LS00N	14 Pin DIP	2000 Units/Box
SN74LS00D	14 Pin	2500/Tape & Reel

EXPERIÊNCIA 8

Flip-Flops RS

1 Objetivos

- Construir flip-flops RS com portas lógicas *NAND*.
- Comprovar experimentalmente as operações lógicas do flip-flop RS nas configurações assíncrona e síncrona.

2 Conceitos

2.1 Flip-Flop RS

O *Flip-Flop RS* é a configuração mais simples de um circuito sequencial *registrador de 1 bit*. Este tipo de circuito possui duas entradas denominadas *R* (Reset — levar a 0) e *S* (Set — levar a 1) e duas saídas, a primeira chamada *Q* e a outra, que a rigor deveria ser seu inverso, chamada \bar{Q} .

Sua realização elétrica pode ser feita utilizando-se basicamente portas *NOR* (*NOU*) ou portas *NAND* (*NE*). A figura 1 ilustra um flip-flop RS construído com portas lógicas *NOR* e sua simbologia genérica. A tabela 1 apresenta a Tabela Verdade de seu funcionamento. Já na figura 2, há um flip-flop RS com portas *NAND* e na 2 sua tabela verdade.

Tabela 1: Tabela Verdade do funcionamento do flip-flop RS com portas *NOR*.

R	S	Q	\bar{Q}	<i>Descrição</i>
0	0	Q_a	\bar{Q}_a	Situação de repouso: mantém o estado anterior
0	1	1	0	Situação de <i>set</i> ($Q_a = 1$)
1	0	0	1	Situação de <i>reset</i> ($Q_a = 0$)
1	1	0	0	Estado instável (“erro lógico”)

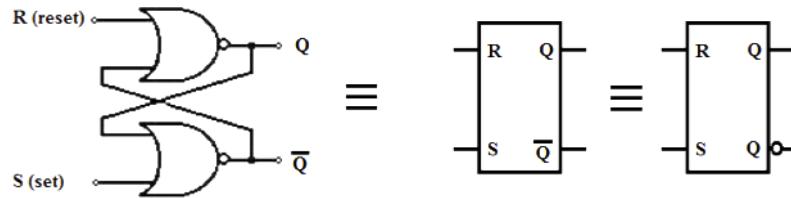


Figura 1: Flip-flop RS com portas *NOR*.

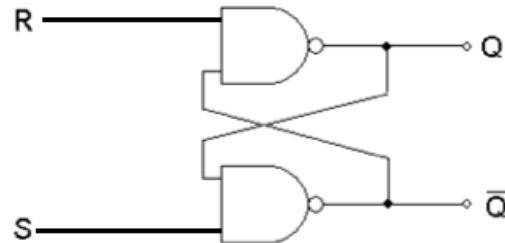


Figura 2: Flip-flop RS com portas *NAND*.

Tabela 2: Tabela Verdade do funcionamento do flip-flop RS com portas *NAND*.

R	S	Q	\bar{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q_a	\bar{Q}_a

Na tabela 1, referente ao flip-flop com portas NOR, note-se o estado identificado como “*erro lógico*”. Diz-se “*erro lógico*” pelo fato de Q não ser

igual a \bar{Q} . Adicionalmente, se este estado for utilizado ($R = 1$ e $S = 1$), deve-se tomar cuidado para não saltar para o estado com $R = 0$ e $S = 0$, pois poderá gerar uma saída imprevisível. Entretanto, não há qualquer problema se deste estado ($R = 1$ e $S = 1$) se saltar para qualquer um dos outros dois. A mesma argumentação, de forma análoga, é válida para o flip-flop com portas NAND (ver a tabela 2).

Como já citado, outra forma de construção do flip-flop RS é com portas lógicas *NAND*, cujo circuito é mostrado na figura 3, sendo sua simbologia bem como sua tabela verdade, idênticos às apresentadas ao flip-flop anterior. Note que, neste caso, houve uma inversão do posicionamento da entrada *S* com *R* (*S* na parte superior).

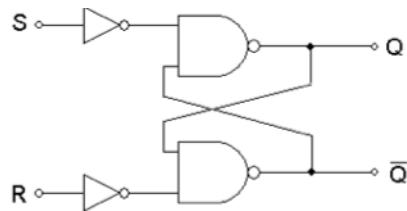


Figura 3: Flip-flop RS com portas *NAND*. Da forma apresentada, ele também é conhecido como flip-flop SR.

2.2 Flip-Flop RS Síncrono

Outra configuração do flip-flop RS é chamada de *Flip-Flop RS Síncrono*. Neste caso existe uma terceira entrada que faz a vez de um controle de passagem, denominado *clock* (*ck*).¹ A figura 4 ilustra sua construção com portas *NAND* e sua simbologia, enquanto que a tabela 3 apresenta sua Tabela Verdade. Note, pela Tabela Verdade, que o funcionamento é muito semelhante ao flip-flop RS anterior, diferenciando-se apenas pela condição de *ck* = 0.

3 Metodologia Experimental

- Será implementado um flip-flop RS assíncrono e um síncrono utilizando-se portas lógicas *NAND*.

¹Em certas bibliografias, este controle também é chamado de *enable* (*EN*).

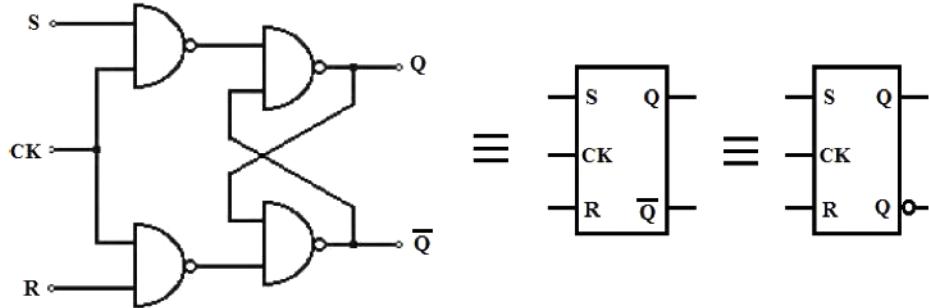


Figura 4: Flip-Flop SR Síncrono.

Tabela 3: Tabela Verdade do funcionamento do flip-flop RS síncrono com portas *NAND*.

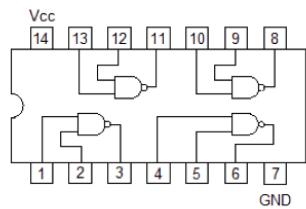
ck	S	R	Q	<i>Descrição</i>
0	X	X	Q_a	Entradas desabilitadas: mantém o estado anterior
1	0	0	Q_a	Situação de repouso: mantém o estado anterior
	0	1	1	Situação de <i>set</i> ($Q_a = 1$)
	1	0	0	Situação de <i>reset</i> ($Q_a = 0$)
	1	1	*	Erro lógico

- Serão verificados experimentalmente os estados lógicos das saídas Q e \bar{Q} , por intermédio de LEDs sinalizadores, segundo as variações de todas as combinações das entradas R e S .
- Será elaborada a Tabela Verdade e realizada a comparação com o conteúdo abordado na teoria.

4 Parte Experimental

4.1 Flip-Flop RS Assíncrono

1. Utilizando **apenas um** CI 7400, apresente o esquema elétrico de um flip-flop RS assíncrono com portas *NAND*, **indicando a numeração dos pinos de entrada e saída**.

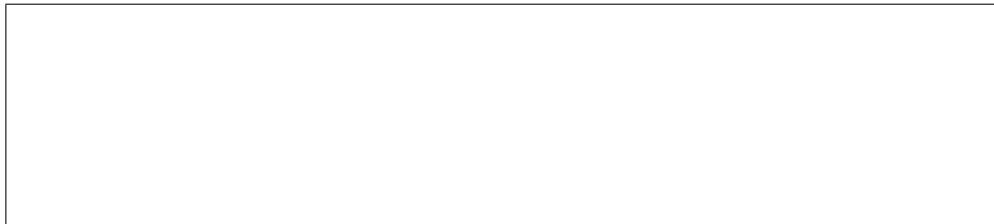
**CI 7400**

2. Monte, no Painel de Digital, o circuito e obtenha a Tabela Verdade experimentalmente.

<i>Sequência</i>	<i>R</i>	<i>S</i>	<i>Q</i>	\bar{Q}
1	0	1		
2	0	0		
3	1	0		
4	0	0		
5	0	1		
6	1	1		
7	1	0		
8	1	1		
9	0	1		
10	0	0		
11	1	0		

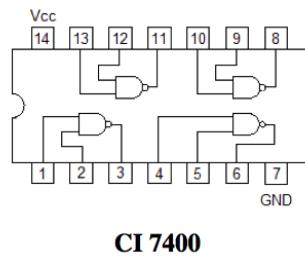
3. O que é a “situação de repouso”? Ela foi observada no experimento em quais “sequências” da tabela acima?

4. O comportamento do flip-flop RS apresentado na teoria foi observado no experimento, conforme registrado na tabela anterior?



4.2 Flip-Flop RS Síncrono

1. Desenhar o esquema elétrico do flip-flop SR síncrono com portas *NAND*, utilizando-se apenas um CI 7400 e indicando a numeração dos pinos de entrada e saída.



2. Obter os valores das saídas para cada combinação da sequência apresentada na tabela abaixo.

<i>Sequência</i>	<i>ck</i>	<i>S</i>	<i>R</i>	<i>Q</i>	\bar{Q}
1	1	0	1		
2	0	0	0		
3	0	1	0		
4	0	1	1		
5	0	0	1		
6	1	0	0		
7	1	1	0		
8	0	0	0		
9	0	0	1		
10	0	1	1		
11	0	1	0		
12	1	1	1		
13	0	1	1		
14	1	0	0		
15	1	1	0		

3. Analisando-se a tabela obtida e comparando-a com a tabela do flip-flop SR síncrono, todas as combinações expostas na teoria foram ensaiadas?

4. Fazendo-se uma análise do funcionamento do sinal de *clock (enable)*, chega-se à conclusão que:

Listagem de Materiais

- Painel Digital Novo

- Alicate de bico
- Alicate de corte
- Espátula para remoção de CI
- Fios rígidos para proto-board
- CI: 1x 7400

EXPERIÊNCIA 9

Contadores Assíncronos e Divisores de Frequência

1 Objetivos

- Estudar os contadores assíncronos sob a ótica de divisor de frequência.
- Implementar um divisor de frequência.

2 Contadores Assíncronos

Os contadores assíncronos são construídos pela ligação em “cascata” de vários *flip-flops* do tipo JK, D ou T. Ligar em “cascata” significa que o *clock* do *flip-flop* seguinte é obtido pela saída do *flip-flop* anterior. O desenho da figura 1 ilustra um exemplo.

Note-se que o gerador de sinal de *clock* é conectado no primeiro *flip-flop*,

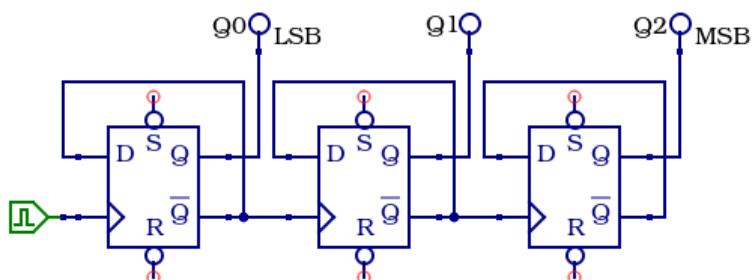


Figura 1: Contador assíncrono de 0 a 7 (em binário, de 000_2 a 111_2).

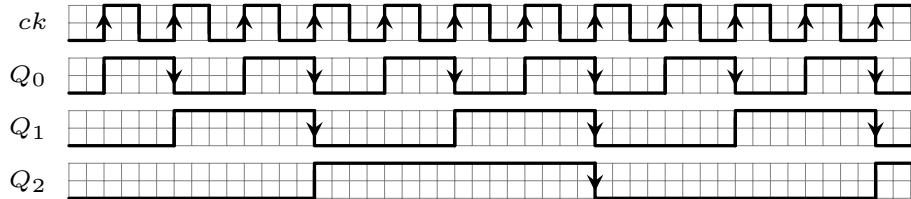


Figura 2: Carta de tempos para o contador da figura 1.

cuja saída é o *bit* menos significativo (**LSB** – *Least Significant Bit*). A saída do último *flip-flop* é o *bit* mais significativo (**MSB** – *Most Significant Bit*).

3 Divisores de Frequência

Todo contador, independentemente de ser assíncrono ou síncrono, é, por natureza, um divisor de frequência.

A divisão se observa ao comparar uma das saídas do contador com o sinal de *clock* da entrada. Assim, conforme o interesse da divisão a ser realizada, projeta-se o contador.

Considerando-se o exemplo da figura 1, tem-se a carta de tempos da figura 2.

Na carta de tempos, percebe-se que Q_0 possui metade da frequência do *clock*, Q_1 possui metade da frequência de Q_0 e Q_2 metade da de Q_1 . Ainda, Q_1 possui $1/4$ da frequência do *clock* e Q_2 , $1/8$. Portanto, de acordo com a saída escolhida, tem-se disponível uma determinada divisão: $1/2$, $1/4$ ou $1/8$.

Num caso mais genérico, pode-se ter um contador não múltiplo da potência de 2, como o da figura 3, cuja carta de tempos está na figura 4.

Comparando-se Q_2 e *clock*, na carta de tempos, nitidamente observa-se a necessidade de 5 pulsos de *clock* para Q_2 dar um pulso. Em outras palavras, há 5 períodos de *clock* para 1 período de Q_2 . Portanto, o contador de 0 a 4 ilustrado é um divisor de frequência por 5.

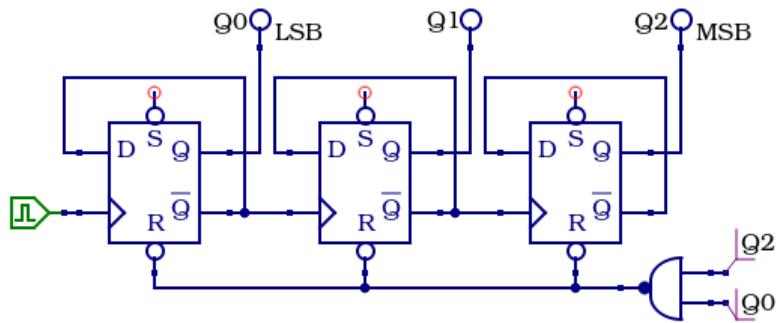


Figura 3: Contador de 0 a 4 (em binário, de 000_2 a 100_2). Note-se que, ao ocorrer o avanço para o estado 5, rapidamente o contador retorna a 0.

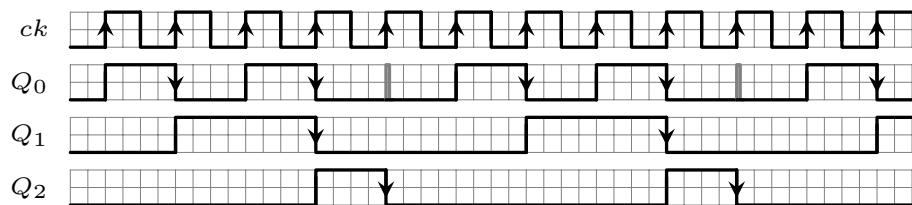
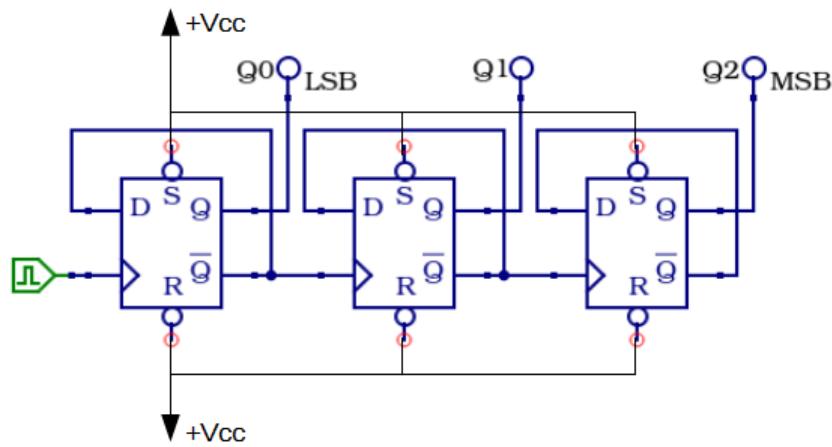


Figura 4: Carta de tempos para o contador da figura 3. Perceba-se que Q_0 apresenta um pulso com duração de alguns nanosegundos antes de ser zerado, no quinto pulso de *clock*.

4 Parte Experimental

1. Montar o contador assíncrono de 0 a 7 do circuito a seguir:

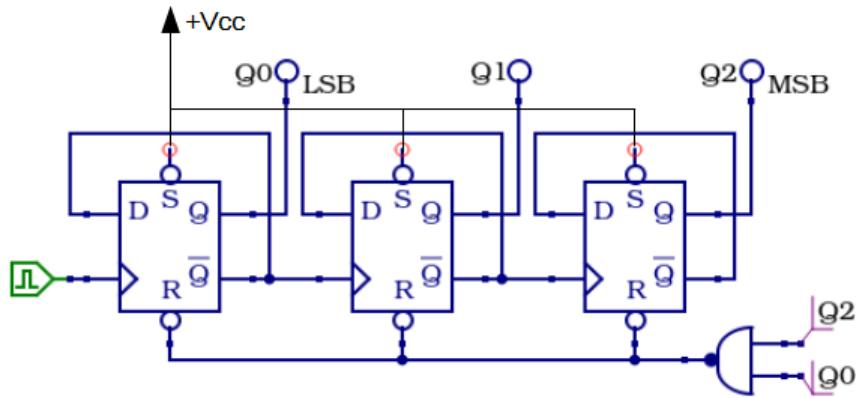


2. Ajustar a frequência do gerador de pulsos para 1 Hz e observar a contagem no decodificador BCD-7 Segmentos do Painel Digital.
3. Ajustar a frequência do gerador de pulsos para 1 kHz. No osciloscópio, observar, em CH1, os pulsos do gerador e, em CH2, cada uma das saídas do contador, preenchendo os campos abaixo.

$$f_{ck} = \underline{\quad} \quad f_{Q_0} = \underline{\quad} \quad f_{Q_1} = \underline{\quad} \quad f_{Q_2} = \underline{\quad}$$

$$\frac{f_{Q_0}}{f_{ck}} = \underline{\quad} \quad \frac{f_{Q_1}}{f_{ck}} = \underline{\quad} \quad \frac{f_{Q_2}}{f_{ck}} = \underline{\quad}$$

4. Montar o contador assíncrono de 0 a 4 do circuito a seguir.



5. Ajustar a frequência do gerador de pulsos para 1 kHz. Traçar a carta de tempos envolvendo ck e Q_2 . Qual o valor da razão $\frac{f_{Q_2}}{f_{ck}}$?

ck

Q₂

5 Desafio

Na carta de tempos da figura 4, a saída Q_2 possui um ciclo de trabalho¹ $\tau < 50\%$. Ou seja, o tempo em nível alto é menor que o tempo em nível baixo. Pede-se projetar um divisor de frequência de $1/10$ de forma que a saída possua ciclo de trabalho $\tau = 50\%$.

Lista de Materiais

- Painel Digital Novo

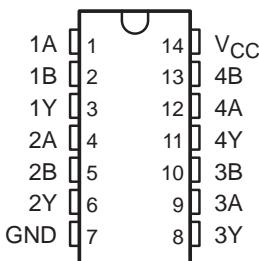
¹O ciclo de trabalho é definido como $\tau = \frac{\Delta t_H}{T}$, em que Δt_H é o tempo em nível alto e T é o período da forma de onda.

- Ociloscópio
- Gerador de funções
- 2x cabos BNC-jacaré
- 1x cabo BNC-BNC
- Caixa com fios
- Alicate de corte
- Alicate de bico
- Espátula
- CIs: 1x 7400; 2x 7474

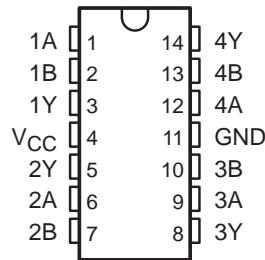
**SN5400, SN54LS00, SN54S00
SN7400, SN74LS00, SN74S00**
QUADRUPLE 2-INPUT POSITIVE-NAND GATES
SDLS025B – DECEMBER 1983 – REVISED OCTOBER 2003

- Package Options Include Plastic Small-Outline (D, NS, PS), Shrink Small-Outline (DB), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) DIPs

SN5400 . . . J PACKAGE
SN54LS00, SN54S00 . . . J OR W PACKAGE
SN7400, SN74S00 . . . D, N, OR NS PACKAGE
SN74LS00 . . . D, DB, N, OR NS PACKAGE
(TOP VIEW)

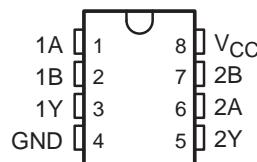


SN5400 . . . W PACKAGE
(TOP VIEW)

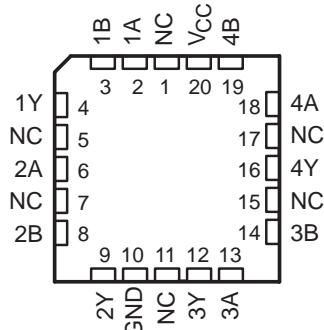


- Also Available as Dual 2-Input Positive-NAND Gate in Small-Outline (PS) Package

SN74LS00, SN74S00 . . . PS PACKAGE
(TOP VIEW)



SN54LS00, SN54S00 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

These devices contain four independent 2-input NAND gates. The devices perform the Boolean function $Y = \bar{A} \bullet \bar{B}$ or $Y = \bar{A} + \bar{B}$ in positive logic.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS INSTRUMENTS**
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

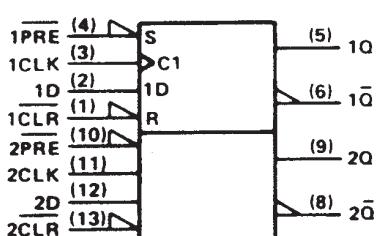
These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

The SN54' family is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74' family is characterized for operation from 0°C to 70°C .

FUNCTION TABLE

INPUTS			OUTPUTS		
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	t	H	H	L
H	H	t	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

[†] The output levels in this configuration are not guaranteed to meet the minimum levels in V_{OH} if the lows at preset and clear are near V_{IL} maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

logic symbol[‡]

[‡]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

Pin numbers shown are for D, J, N, and W packages.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

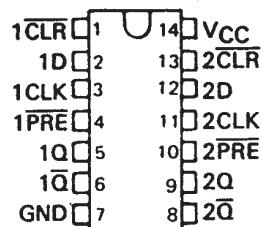
SN5474 . . . J PACKAGE

SN54LS74A, SN54S74 . . . J OR W PACKAGE

SN7474 . . . N PACKAGE

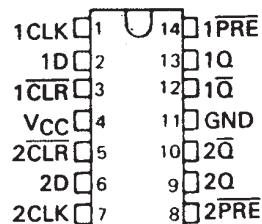
SN74LS74A, SN74S74 . . . D OR N PACKAGE

(TOP VIEW)



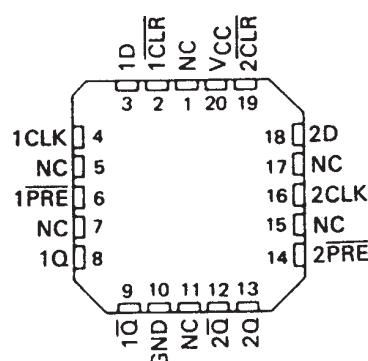
SN5474 . . . W PACKAGE

(TOP VIEW)



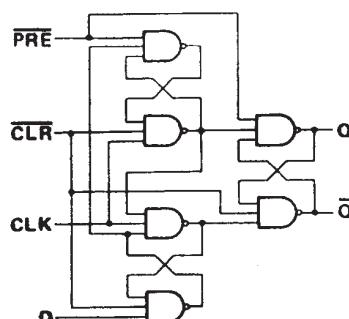
SN54LS74A, SN54S74 . . . FK PACKAGE

(TOP VIEW)



NC - No internal connection

logic diagram (positive logic)



Copyright © 1988, Texas Instruments Incorporated

 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

EXPERIÊNCIA 10

Contadores Síncronos e Registradores de Deslocamento

1 Objetivos

- Estudar os contadores síncronos sob a ótica dos registradores de deslocamento.
- Implementar um circuito de *Power-On Reset*.

2 Contadores Síncronos

Os contadores síncronos diferem-se dos assíncronos pelo fato do pulso de *clock* ser simultâneo a todos os *flip-flops* do contador e, assim, as saídas destes *flip-flops* são atualizadas praticamente ao mesmo tempo.

A figura 1 apresenta a topologia do pulso de *clock* simultâneo.

Certamente, o circuito da figura 1 não irá realizar qualquer contagem, pois nada foi estipulado para as entradas dos *flip-flops*. Torna-se evidente, portanto, que há a necessidade de um circuito lógico para alimentá-las, mas de forma que o próximo valor da contagem seja determinado com base no atual. Ainda, como trata-se de um circuito que será projetado, pode-se, para cada valor atual, definir um futuro sem a obrigatoriedade de ser um número consecutivo. Ou seja, tem-se a liberdade de criar uma contagem com qualquer sequência numérica.

A figura 2a apresenta um *Diagrama de Estados*, o qual mapeia a sequência numérica de contagem de um determinado contador síncrono, e a figura 2b contém o circuito que o implementa.

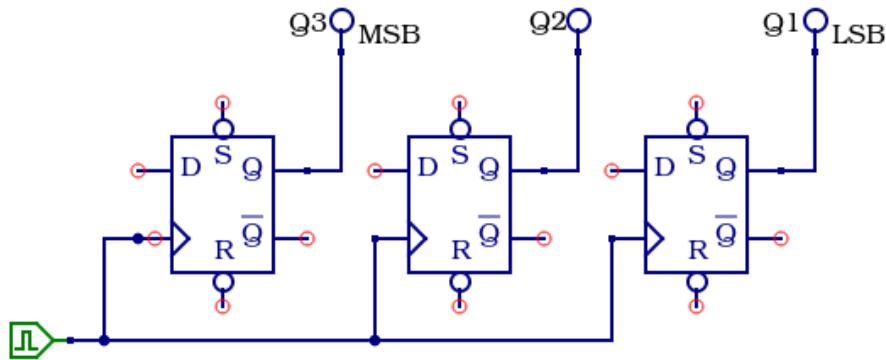


Figura 1: *Flip-flops* recebendo pulso de *clock* simultaneamente, o que caracteriza o contendor síncrono.

O projeto do circuito lógico deve tomar o *estado atual* como entrada e o *estado futuro* será a saída. Estado atual é o valor atual da contagem e estado futuro é o próximo valor.

3 Registradores de Deslocamento

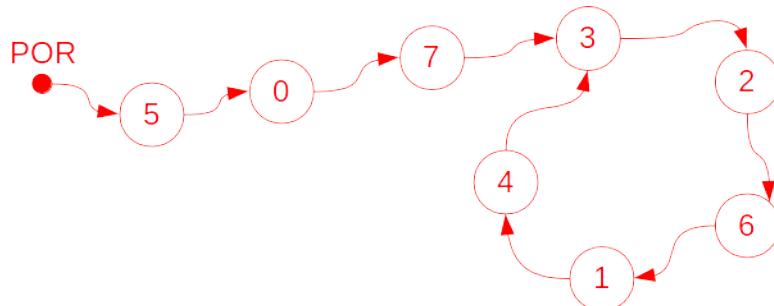
Os registradores de deslocamento, na realidade, são um caso particular de contador síncrono. Nesses, a entrada de cada *flip-flop* é a saída do *flip-flop* anterior. Quando os pulsos de *clock* são aplicados, tem-se o efeito de um *bit*, presente na entrada do primeiro *flip-flop*, ser deslocado para os demais.

A figura 3a apresenta um registrador de deslocamento de 3 *bits* e a figura 3b demonstra um exemplo de deslocamento de *bit* por meio da carta de tempos.

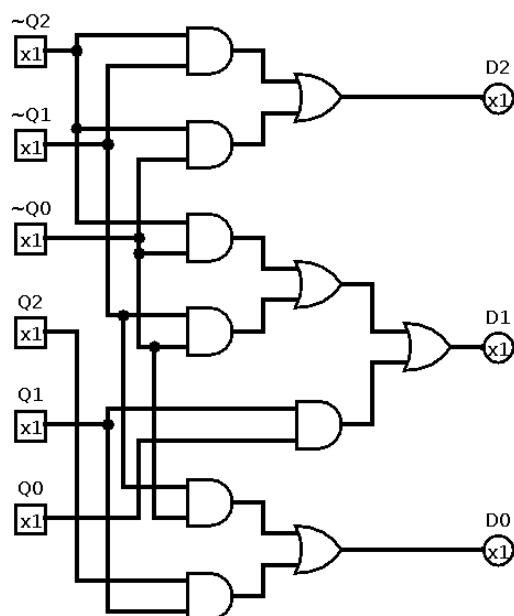
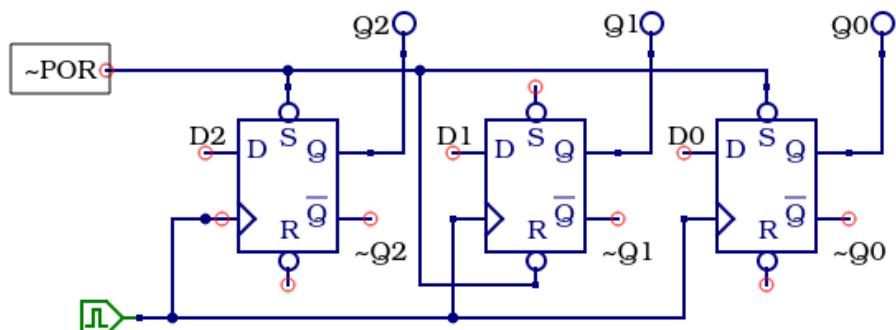
4 Power-On Reset

Muitas vezes, ao se energizar um circuito, é conveniente definir o *estado inicial* dos contadores, sejam síncronos ou assíncronos. Este processo é conhecido como *Power-On Reset* (POR), ou seja, “*redefinir ao energizar*”.

Existem diversas variantes de circuitos para implementação do POR, sendo uma esquematizada na figura 4. Nesta figura, nota-se um circuito RC, cuja curva de carga do capacitor é apresentada na figura 5, e uma porta

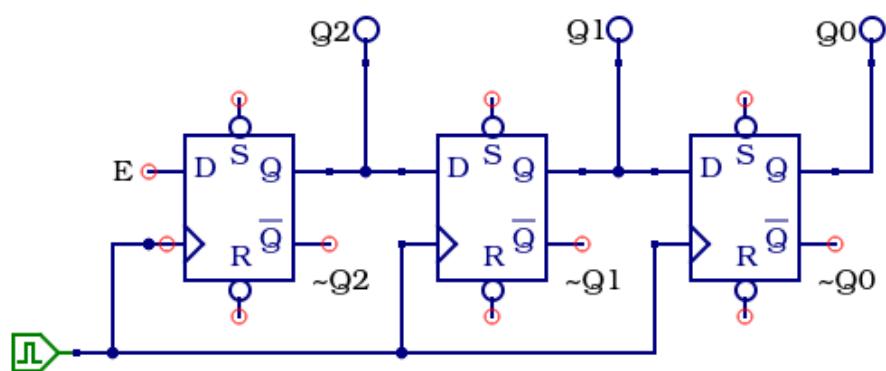


(a) Diagrama de Estados.

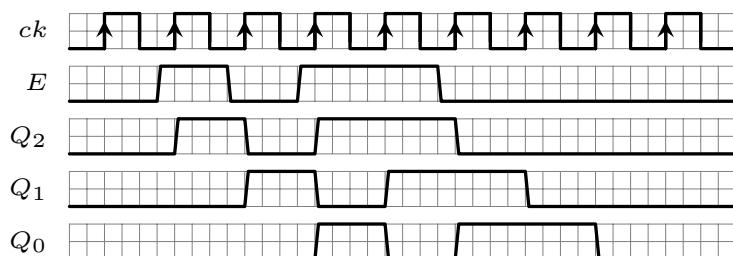


(b) Esquema elétrico do circuito. Note-se que os pulsos de *clock* são simultâneos a todos o *flip-flops* e que as entradas destes são provenientes de um circuito lógico. O estado inicial é definido pelo circuito de POR, descrito mais adiante.

Figura 2: Exemplo de contador síncrono completo.



(a) Esquema elétrico do circuito.



(b) Carta de tempos com demonstração do deslocamento de um *bit* aplicado à entrada do primeiro *flip-flop*.

Figura 3: Exemplo de registrador de deslocamento de 3 *bits*.

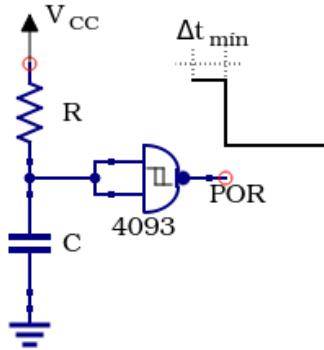


Figura 4: Exemplo de circuito de *Power-On Reset*, com *reset* em nível lógico “1”.

schmitt-trigger, cuja função é conformar a tensão sobre o capacitor para níveis lógicos bem definidos.¹

Quando um circuito é energizado, ele necessita de um determinado tempo mínimo ($\Delta t_{mín}$) para atingir o estado quiescente de todas as saídas de todas as portas lógicas e *flip-flops*. Considerando-se a equação de carga do capacitor e as características da porta *schimmit-trigger*, pode-se realizar a seguinte dedução para se calcular o produto RC :

$$v_c(t) = V_{CC} (1 - e^{-t/RC})$$

após $\Delta t_{mín}$, pode-se:

$$\begin{aligned} v_c(\Delta t_{mín}) &= V_{T+(mín)} \\ V_{T+(mín)} &= V_{CC} (1 - e^{-\Delta t_{mín}/RC}) \end{aligned}$$

e, portanto:

$$RC = \frac{\Delta t_{mín}}{\ln \left(\frac{V_{CC}}{V_{CC} - V_{T+(mín)}} \right)}$$

¹A corrente drenada pela entrada da porta *schmitt-trigger* é muito pequena, quando comparada com a corrente que passa pelo circuito RC, e, portanto, o circuito RC praticamente não sofre nenhuma influência da porta.

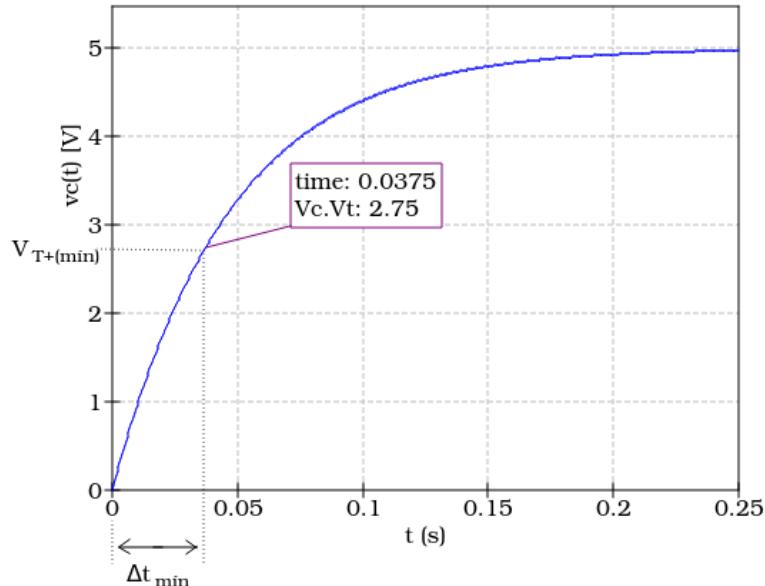


Figura 5: Curva de carga do capacitor, com anotações de cotas de interesse.

em que:

$V_{T+(min)}$: tensão de entrada mínima de limiar positivo, a partir da qual a porta *schmitt-trigger* irá interpretar nível lógico “1” na entrada.

V_{CC} : tensão de alimentação do circuito RC e da porta *schmitt-trigger*.

Por exemplo, considerando-se $\Delta t_{min} = 30, $V_{CC} = 5\text{ V}$ e $V_{T+(min)} = 2,75\text{ V}$, tem-se $RC = 37,6\text{ ms}$. E, adotando-se $R = 10\text{ k}\Omega^2$, chega-se a $C = 3,76\text{ }\mu\text{F}$, levando a um valor comercial de $C = 4,7\text{ }\mu\text{F}$ (e um Δt_{min} final de 37,5 ms). A curva, da já citada figura 5, salienta o par tensão-tempo conforme estes cálculos.$

O circuito mostrado na figura 4 produz um sinal POR que permanece em nível lógico “1” por Δt_{min} segundos e depois estabiliza-se em “0” indefinidamente. Caso seja desejado um sinal POR com comportamento inverso, ou

²Este valor, da ordem de dezenas de quilo ohms, tem o objetivo de diminuir a corrente máxima drenada pelo circuito no instante da energização.

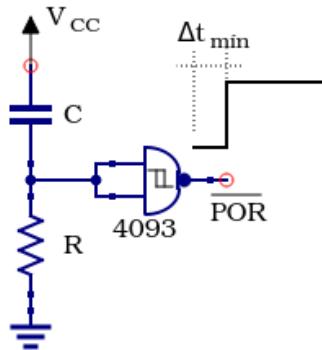


Figura 6: Exemplo de circuito de *Power-On Reset*, com *reset* em nível lógico “0”.

seja, um $\overline{\text{POR}}$, tem-se duas alternativas: inverter o sinal de POR, ou utilizar o circuito da figura 6, cujo valor de RC poderá ser calculado por³:

$$RC = \frac{\Delta t_{min}}{\ln\left(\frac{V_{CC}}{V_{T-(máx)}}\right)}$$

em que:

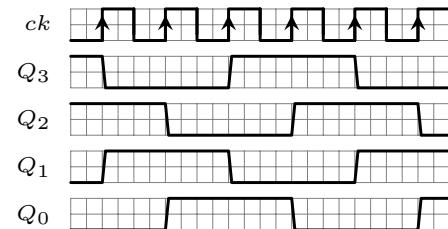
$V_{T-(máx)}$: tensão de entrada máxima de limiar negativo, abaixo da qual a porta *schmitt-trigger* irá interpretar nível lógico “0” na entrada.

5 Parte Experimental

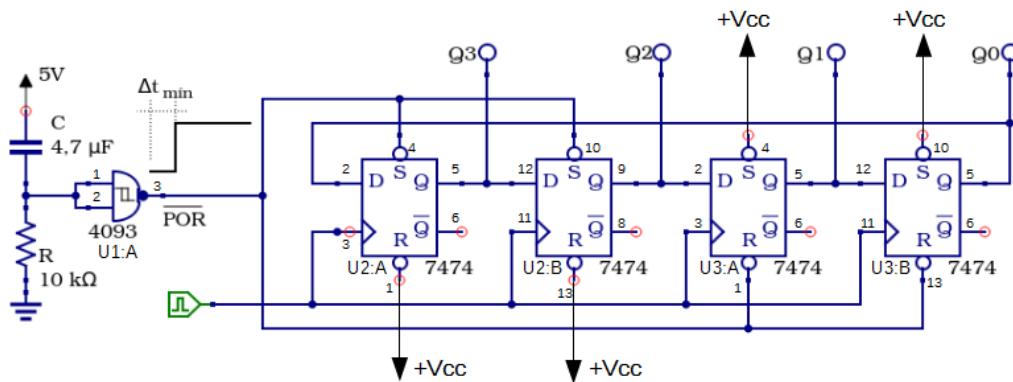
1. Deseja-se implementar um registrador de deslocamento para fornecer a sequência apresentada pela tabela e correspondente carta de tempos abaixo.

³Sugestão: procure deduzir esta equação.

Q_3	Q_2	Q_1	Q_0
1	1	0	0
0	1	1	0
0	0	1	1
1	0	0	1



2. O circuito a ser utilizado é o que segue.

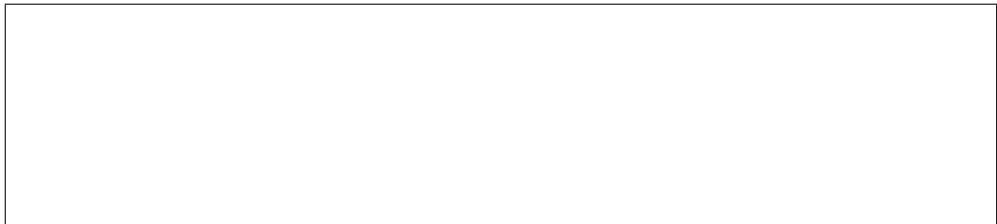


3. No circuito apresentado, perceba-se que o $\overline{\text{POR}}$ irá garantir que Q_3 e Q_2 iniciam-se em “1”, enquanto Q_1 e Q_0 , em “0”.

4. Por meio de botão do Painel Digital, aplicar pulsos consecutivos de *clock* e observar o deslocamento cíclico dos *bits*.

5. Quantos pulsos de *clock* são necessários para haver repetição da sequência?

6. Desligar e ligar o circuito e verificar o estado inicial novamente.
7. Remover o circuito de POR conectando todos os S e R em “1”. Desligar e ligar várias vezes o circuito e verificar os estados iniciais. Descrever o observado e justificar.



6 Desafios

1. Quais as vantagens do contador síncrono em relação ao assíncrono?
2. Quais as desvantagens do contador síncrono em relação ao assíncrono?
3. Os *flip-flops* reais possuem um tempo de atraso na propagação do *clock*, ou seja, tem-se um tempo entre a aplicação do *clock* e a alteração da saída *Q*. Caso os *flip-flops* fossem ideais, ou seja, caso este tempo de atraso fosse nulo, o registrador de deslocamento iria operar conforme descrito?
4. Citar 3 aplicações distintas para o registrador de deslocamento.

Listá de Materiais

- Painel Digital Novo
- Caixa com fios
- Alicate de corte
- Alicate de bico
- Espátula
- CLs: 1x 4093; 2x 7474
- Capacitor: $4,7\mu\text{F}$
- Resistor: $10\text{ k}\Omega$

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74
SDLS119 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

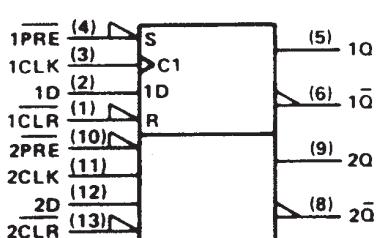
The SN54' family is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74' family is characterized for operation from 0°C to 70°C .

FUNCTION TABLE

INPUTS			OUTPUTS		
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	t	H	H	L
H	H	t	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

[†] The output levels in this configuration are not guaranteed to meet the minimum levels in V_{OH} if the lows at preset and clear are near V_{IL} maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

logic symbol[‡]



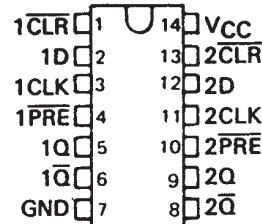
[‡]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, N, and W packages.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

SN5474 . . . J PACKAGE

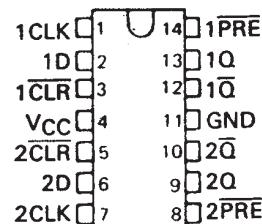
SN54LS74A, SN54S74 . . . J OR W PACKAGE
SN7474 . . . N PACKAGE
SN74LS74A, SN74S74 . . . D OR N PACKAGE

(TOP VIEW)



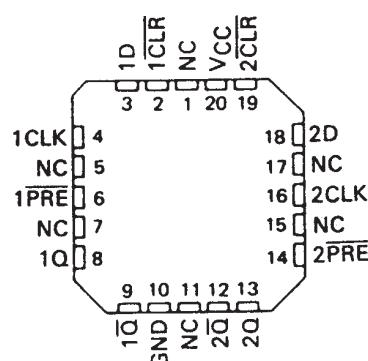
SN5474 . . . W PACKAGE

(TOP VIEW)



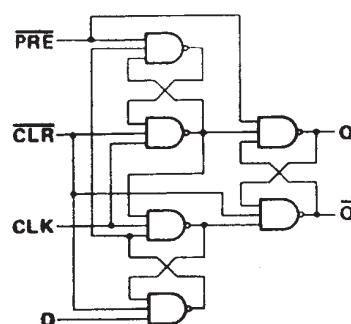
SN54LS74A, SN54S74 . . . FK PACKAGE

(TOP VIEW)



NC - No internal connection

logic diagram (positive logic)



Copyright © 1988, Texas Instruments Incorporated

 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

CD4093BC

Quad 2-Input NAND Schmitt Trigger

General Description

The CD4093B consists of four Schmitt-trigger circuits. Each circuit functions as a 2-input NAND gate with Schmitt-trigger action on both inputs. The gate switches at different points for positive and negative-going signals. The difference between the positive (V_T^+) and the negative voltage (V_T^-) is defined as hysteresis voltage (V_H).

All outputs have equal source and sink currents and conform to standard B-series output drive (see Static Electrical Characteristics).

Features

- Wide supply voltage range: 3.0V to 15V
- Schmitt-trigger on each input with no external components
- Noise immunity greater than 50%

- Equal source and sink currents
- No limit on input rise and fall time
- Standard B-series output drive
- Hysteresis voltage (any input) $T_A = 25^\circ\text{C}$

Typical	$V_{DD} = 5.0\text{V}$	$V_H = 1.5\text{V}$
	$V_{DD} = 10\text{V}$	$V_H = 2.2\text{V}$
	$V_{DD} = 15\text{V}$	$V_H = 2.7\text{V}$

Guaranteed $V_H = 0.1 V_{DD}$

Applications

- Wave and pulse shapers
- High-noise-environment systems
- Monostable multivibrators
- Astable multivibrators
- NAND logic

Ordering Code:

Order Number	Package Number	Package Description
CD4093BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body
CD4093BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

