

EXPERIÊNCIA 8

Flip-Flip SR e Tipo D

1. Objetivo

Compreender o comportamento do Flip-Flop SR (ou RS) e a partir dele chegar ao Flip-Flop Tipo D.

2. Motivações

- O Flip-Flop será nosso elemento de memória para circuitos sequências;
- Qual diferença entre Flip-Flops com sinal de habilitação (Clock/Enable) e sem?
- Projetar circuitos sequenciais simples utilizando a implementação direta;

3. Referências para Consulta

O seguinte *datasheet* pode ser consultado para detalhes:

- <https://www.onsemi.com/pub/Collateral/MM74HC74A-D.pdf>

4. Flip-Flop SR

O Flip-Flop é a mais simples configuração de um circuito sequencial. Diferente dos circuitos combinacionais, onde a saída é função exclusivamente dos valores presentes nas entradas no momento da análise, os circuitos sequenciais possuem o conceito de memória e a saída (ou saídas) será função não somente das entradas no momento da análise, mas também do que antecedeu o momento.

O Flip-Flop considerando básico é chamado de Flip-Flop SR (ou RS), onde S representa *Setar* ("1") e R representa *Resetar* ("0").

A figura 1 apresenta o Flip-Flop SR implantado com portas NAND:

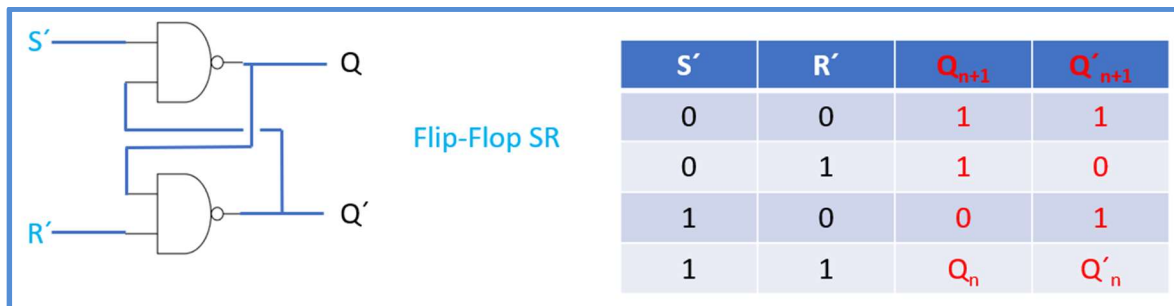


Figura 1 – Flip-Flop SR e Tabela Verdade

A figura 1 também informa a tabela verdade do FF SR, observe que o Set e Reset para este FF são ativos em “0”.

O passo seguinte é incluir o comando de *Enable* para que se controle quando as entradas S e R irão atuar nas saídas. A figura 2 ilustra o circuito.

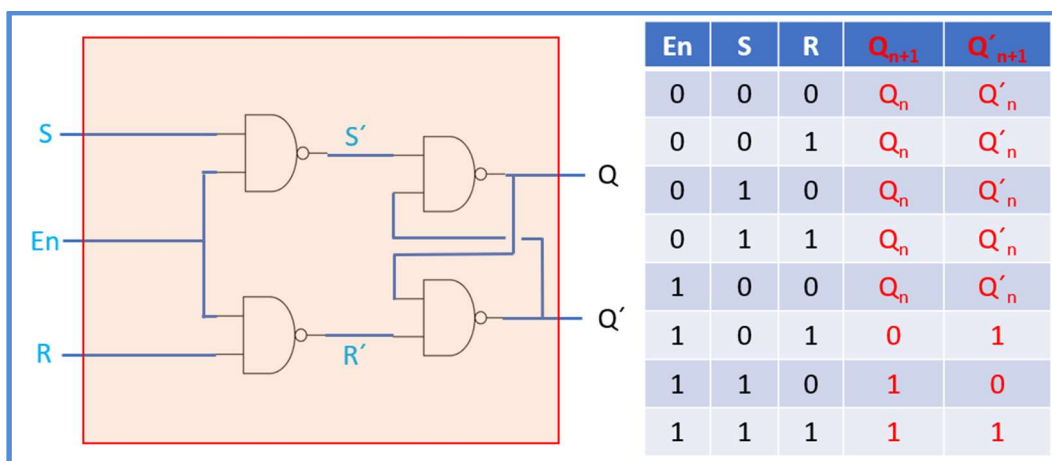


Figura 2 – Flip-Flop SR com Enable e Tabela Verdade

É importante observar que este novo circuito tem agora as entradas S e R ativas em nível alto!

Como no caso anterior, existe uma situação das entradas S e R que nos levam a ter saídas iguais ($Q=Q'$), o que, embora não seja um problema para o circuito, pode nos levar a uma situação de incerteza para os valores de saída ao deixar esta condição. Uma saída elegante e que cria um novo tipo de Flip-Flop é trabalhar de modo que S e R sempre sejam complementares – Flip-Flop D.

Na figura 3 temos o Flip-Flop tipo D ilustrado:

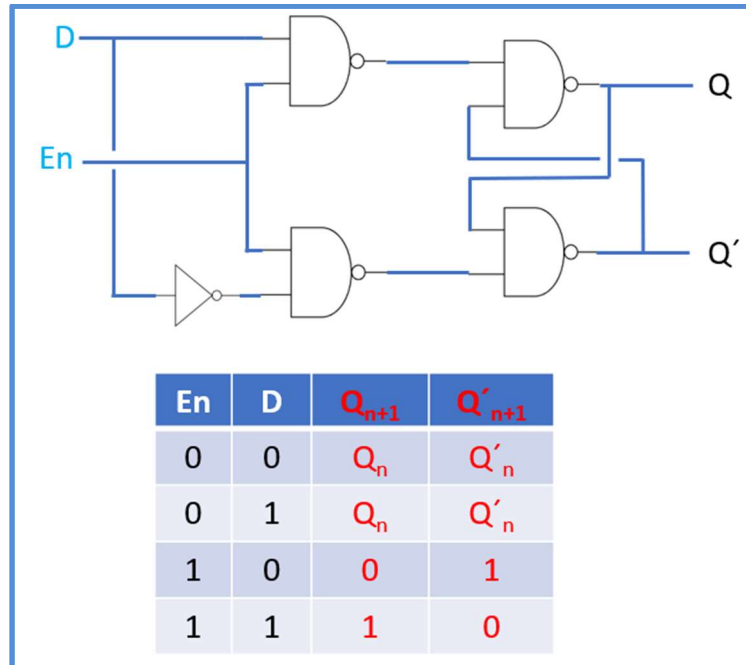


Figura 3 – Flip-Flop tipo D e Tabela Verdade

Como passo seguinte temos a alteração do *Enable*, que nos circuitos anteriores é dito como “sensível ao nível”, pois durante o período que permanece em determinado nível lógico (“1” para os circuitos anteriores) permite a alteração das saídas em decorrência de alterações nas entradas, para o sistema “sensível à borda”. Para tanto se faz necessário o conceito de Master-Slave que cascadeia dos Flip-Flops.

A figura 4 apresenta uma possível implementação do Flip-Flop D com *Clock Pulse* (em substituição ao *Enable*) ativo na borda de subida (“0” → “1”).

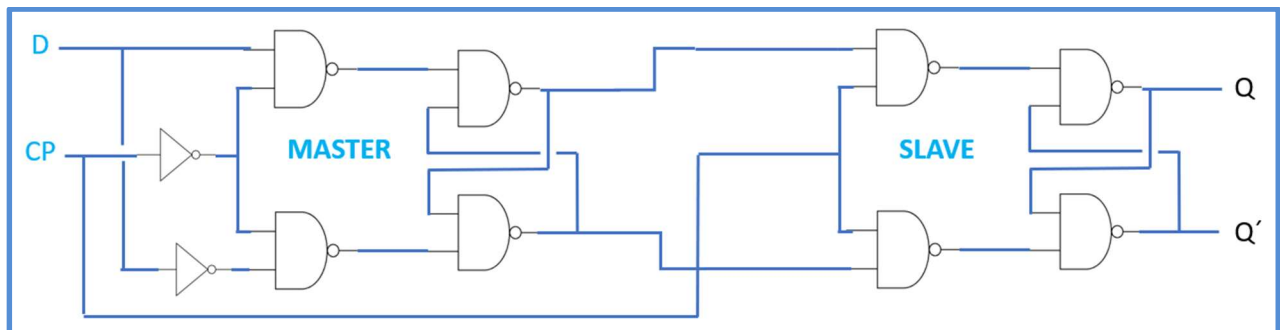


Figura 4 – Flip-Flop tipo D com *Pulse Clock* (borda de subida)

A Tabela Verdade do circuito da figura 4 encontra-se a seguir:

CP	D	Q_{n+1}	Q'_{n+1}
0	X	Q_n	Q'_n
1	X	Q_n	Q'_n
↑	0	0	1
↑	1	1	0

Como último passo iremos incluir no Flip-Flop tipo D da figura 4 entradas auxiliares de *Setar Data* (SD) e *Resetar Data* (RD) que permitirão o controle direto da saída. A figura 5 ilustra esta inclusão:

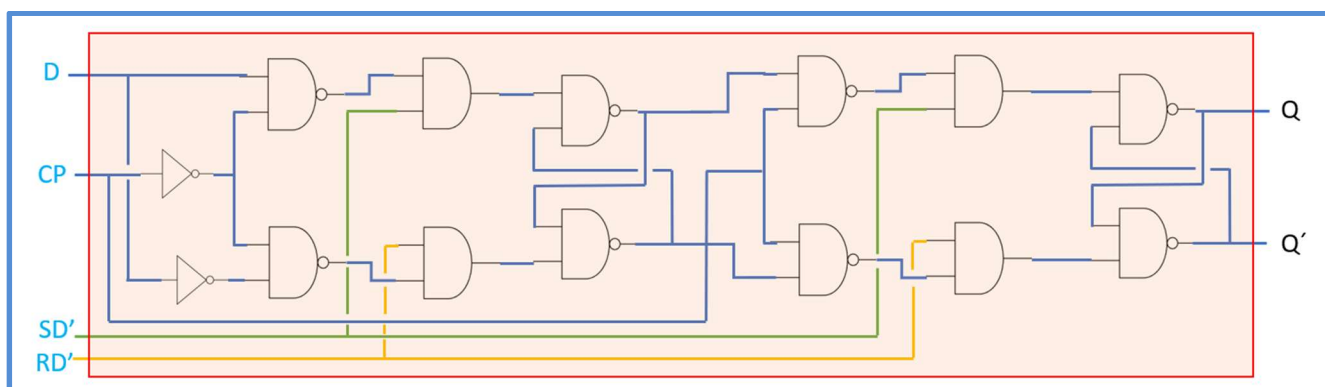


Figura 5 – Flip-Flop tipo D com *Pulse Clock* (borda de subida) e SD & RD

A Tabela Verdade e simbologia estão a seguir:

SD'	RD'	CP	D	Q_{n+1}	Q'_{n+1}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↑	0	0	1
1	1	↑	1	1	0

Esta implementação pode ser montada e verificada no TinkerCad. O circuito **ETE102-FF_D_MS_Portas** pode ser obtido para verificação e é ilustrado da figura 6.

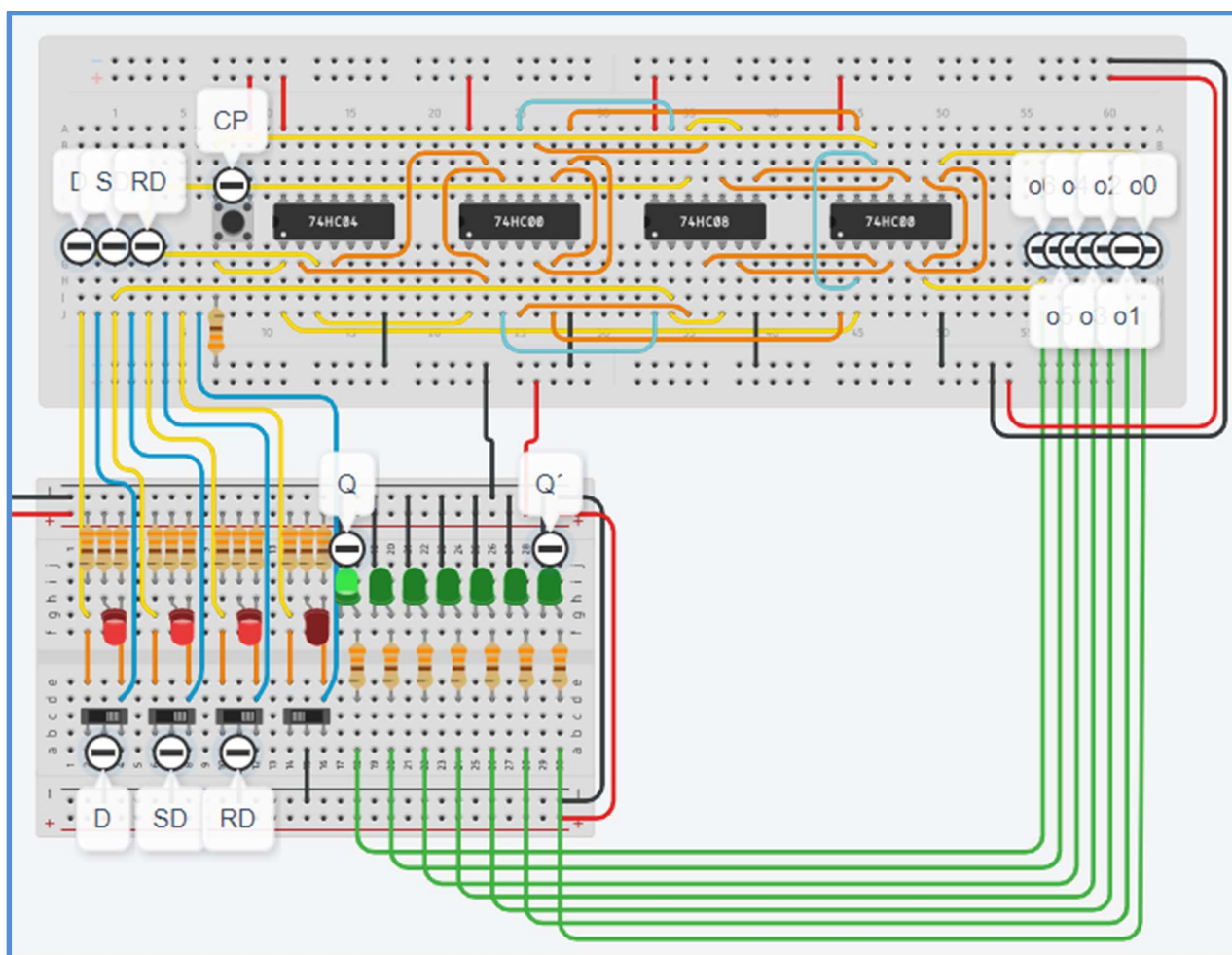
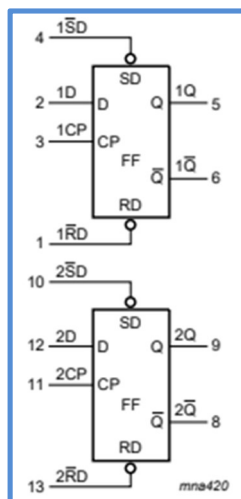


Figura 6 – TinkerCad: ETE102-FF_D_MS_Portas

A implantação que realizamos na figura 6 é equivalente aos Flip-Flops encontrados no CI 74HC74 (neste CI existem 2 FF).



Faremos uso do 74HC74 na parte experimental e nos próximos experimentos. A pinagem do 74HC74 está ilustrada anteriormente.

Para comparação a figura 7 apresenta a montagem, equivalente a realizada na figura 6, com o 74HC74.

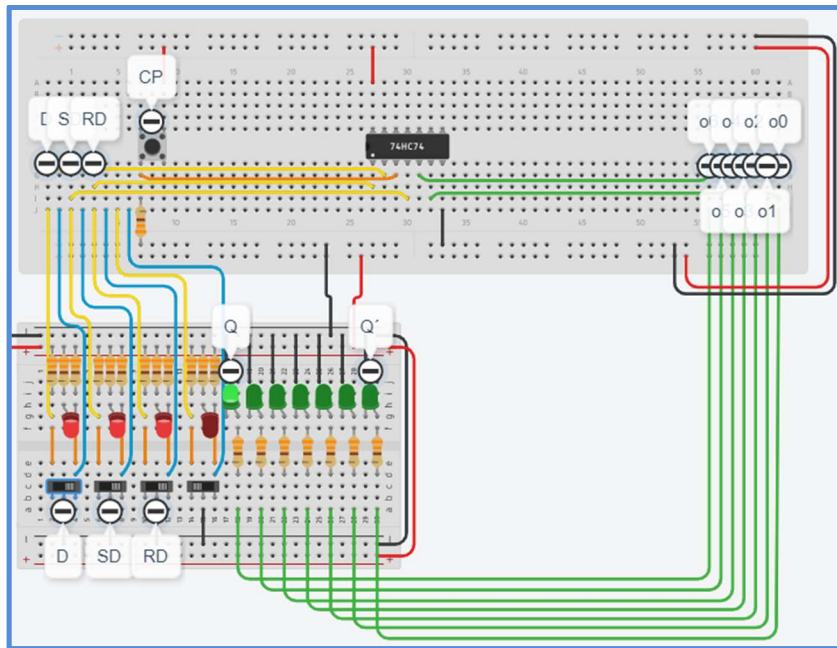


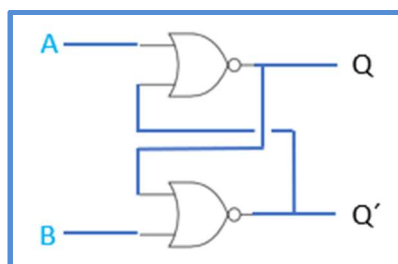
Figura 7 – Idem figura 6 com o 74HC74

5. Parte Experimental

Para que se possa verificar os conceitos expostos, faça o *login* em sua conta particular do **Tinkercad**® (www.tinkercad.com).

5.1 Flip-Flop SR com Portas NOR

Importe o circuito **ETE102-FF_SR_NOR** da galeria pública de circuitos. Ele corresponde ao diagrama elétrico a seguir:



Fazendo uso do circuito no TinkerCad (figura 8), obtenha a tabela verdade do circuito e responda as questões a seguir:

- Qual entrada opera como SET? S ou S'?
- Qual entrada opera como RESET? R ou R'?
- Existe o estado de atenção, como no SR com portas NAND, que deve ser evitado? Se positivo, qual linha da tabela verdade o representa?

A	B	Q_{n+1}	Q'_{n+1}
0	0		
0	1		
1	0		
1	1		

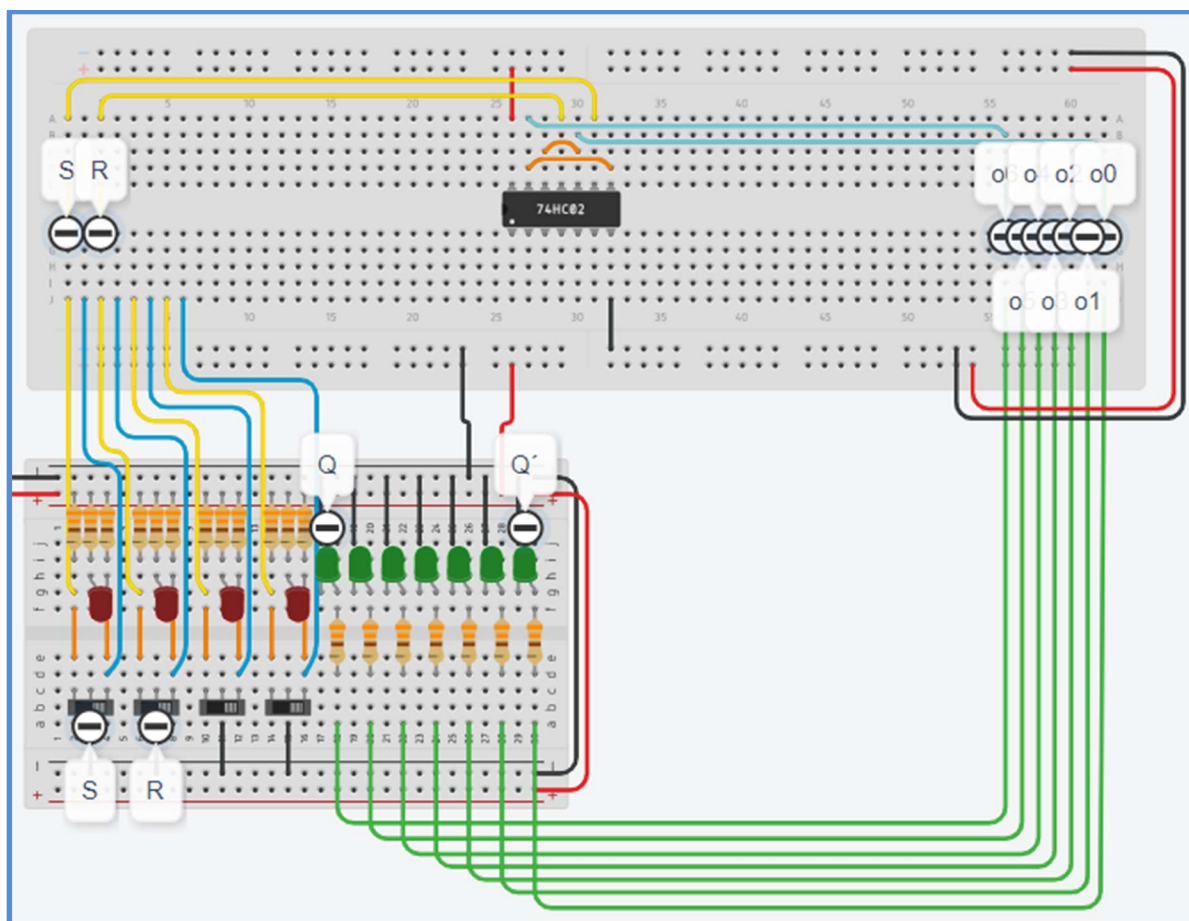
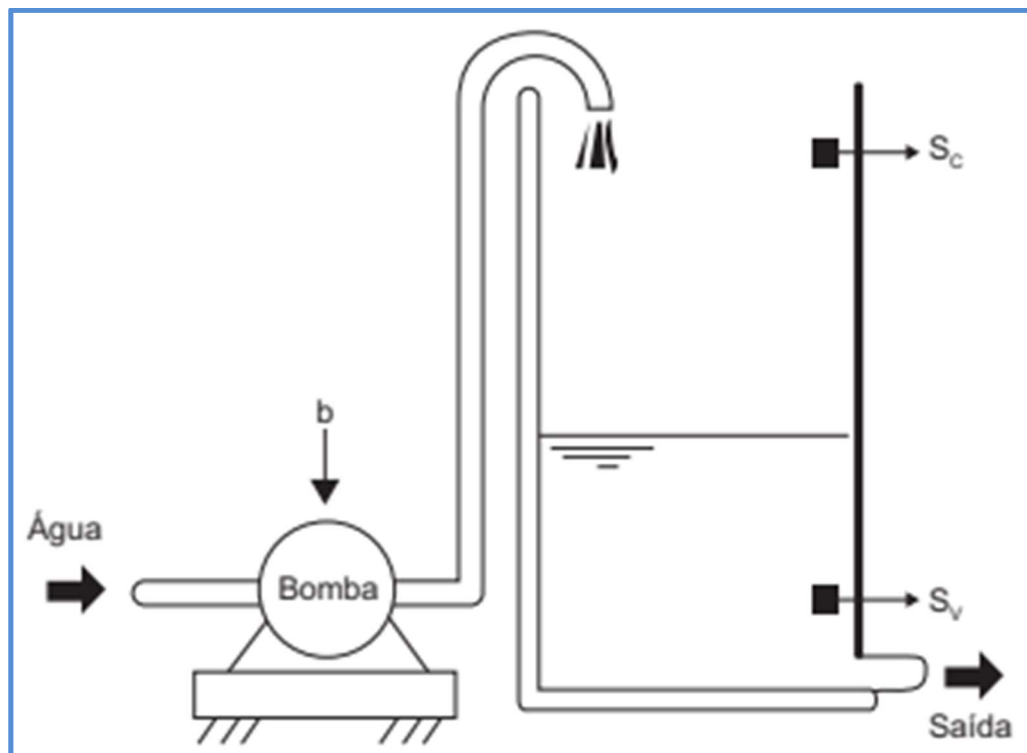


Figura 8 – ETE102-FF_SR_NOR

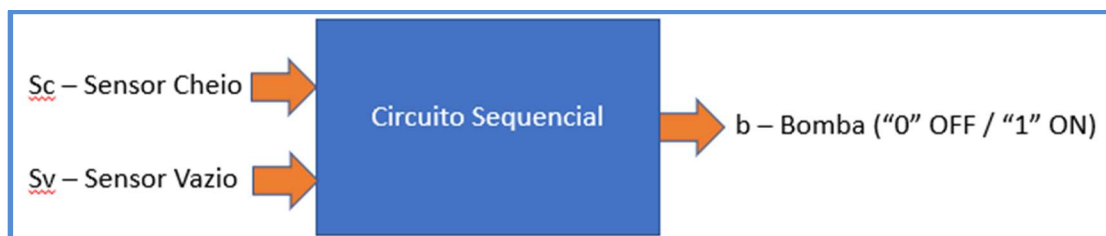
5.2 Projeto para acionamento de Bomba de Água

Não iremos utilizar de nenhuma técnica específica de projeto, isto será abordado futuramente. Nosso intuito é resolvê-lo utilizando de conceitos básicos.

Considere a figura a seguir:

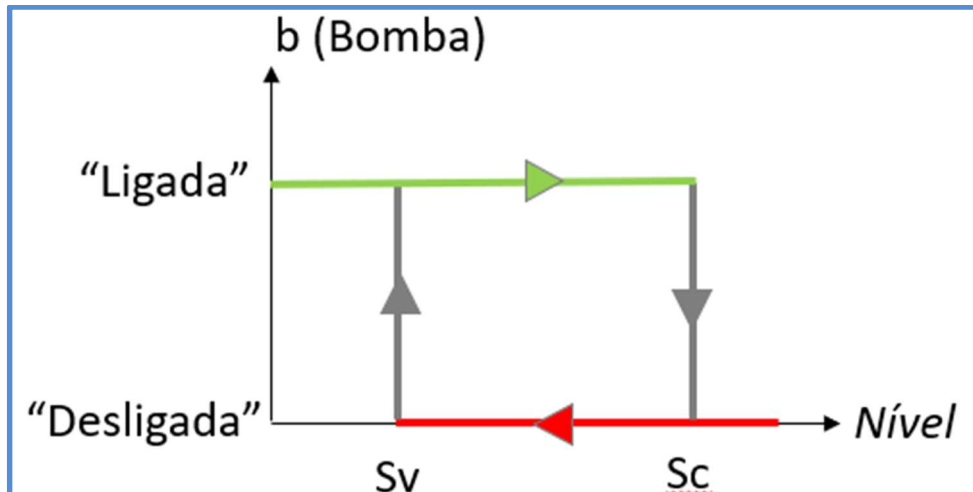


Seu objetivo é desenvolver um circuito sequencial que permita acionar a bomba de água (saída **b**) por meio do monitoramento dos sensores (entradas **Sc** e **Sv**).



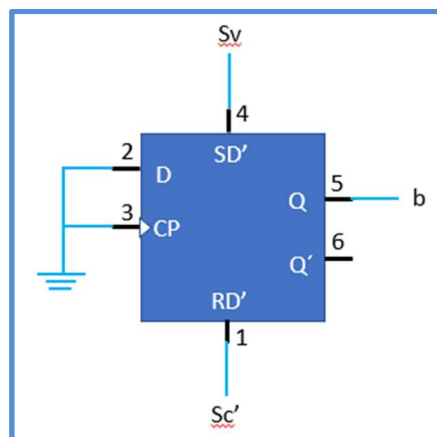
Considere que os sensores indicam "1" quando da presença de água e "0" quando da ausência. A bomba deve ser ligada quando o Sv indica que o nível está baixo (vazio) e desligada quando o nível atinge Sc (cheio). Isto irá ocorrer

ciclicamente. É importante que você entenda o porquê de um circuito sequencial para resolver este problema! Um circuito combinacional não resolveria.



Faremos uso de um FF do 74HC74 para implantar a solução. Observe que é o Sv, quando vai para “0”, que define o acionamento da bomba (SD') e o Sc, quando vai para “1” (utilizaremos Sc'), que define o momento que a bomba é desligada (RD').

A seguir temos a solução proposta utilizando SD' e RD' de um dos FF do 74HC74:



Primeiro verifique se entendeu a proposta, depois obtenha o circuito **ETE102-Caixa d'Água_74HC74**, simule no TinkerCad e certifique-se do funcionamento.

Na figura 9 temos a imagem da montagem realizada no TinkerCad e as notas identificando quais entradas e saídas estão operando com Sc, Sv e b.

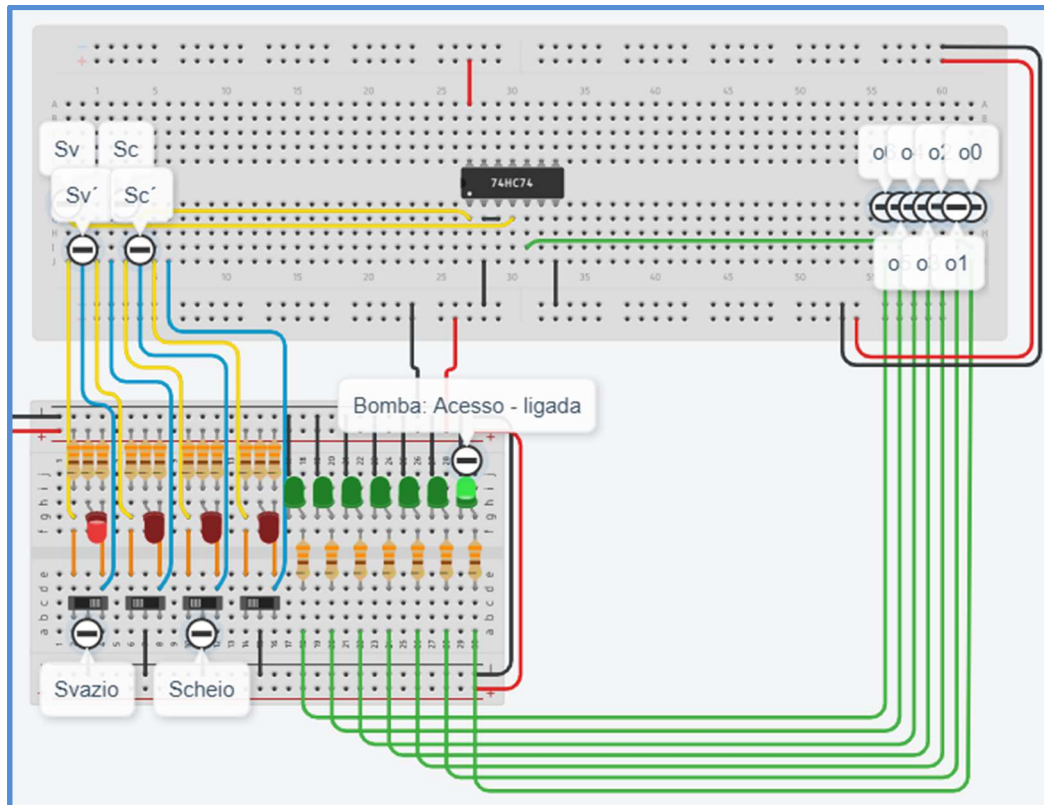


Figura 9 – ETE102-Caixa d'Agua_74HC74

6. Entrega: Postagem no Moodle

Todos os estudantes deverão postar no Moodle os pontos a seguir, mas os estudantes da mesma equipe postarão o mesmo material.

- Projetar, utilizando um CI 74HC02, 4 portas NOR, um Flip-Flop SR com Enable. Poste o diagrama lógico e a Tabela Verdade, deixe claro se o SET é ativo em “1” (S) ou “0” (S’), o mesmo para o RESET (R ou R’) e o Enable (En ou En’);
- Monte no TinkerCad a solução proposta para o item ‘a’ e verifique o funcionamento. Se quiser faça uso do circuito ETE102-Modulo2_IN-OUT. Poste a imagem da montagem;
- Na montagem para o acionamento da bomba d’água, teremos problemas no caso de inconsistência dos sensores ($S_v=0$ e $S_c=1$), pois a bomba permanecerá ligada, podendo transbordar a caixa. Altere o projeto para que exista um estado de alarme caso seja detectada inconsistência, neste estado a bomba permanece desligada e um alarme é acionado ($Al=1$), um botão (*push-button*) deve ser utilizado para desligar o alarme e levar de volta (após corrigido o problema) o sistema para a operação normal.

d. **(Opcional)** Projetar um controlador de bomba d'água utilizando flip-flops RS. Considerar a situação esquematizada na figura 10 e as seguintes premissas:

- A bomba d'água queima se operar sem água.
- A bomba d'água queima se ligar e desligar com intervalo de tempo muito pequeno.
- A caixa d'água não poderá transbordar.
- O fluxo de saída de água da caixa d'água poderá ser contínuo e com taxa maior ou menor que a bomba consegue bombear.
- O circuito deverá utilizar a menor quantidade possível de CIs.

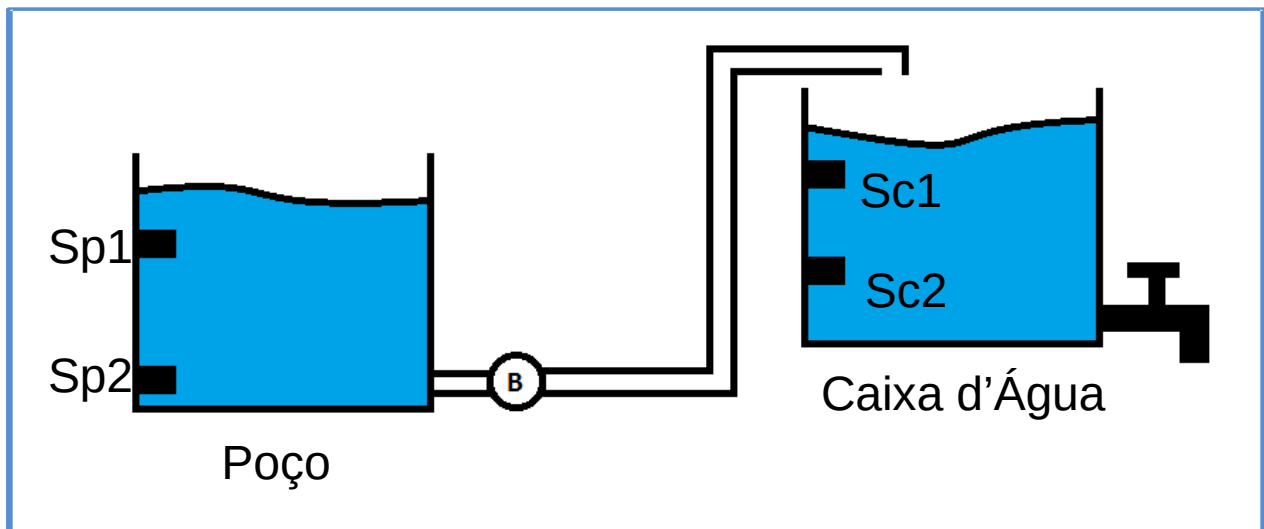


Figura 10 - Problema com poço e caixa d'água.