

## EXPERIÊNCIA 1

# Flip-Flops RS

## Objetivos

- Construir flip-flops RS com portas lógicas *NAND*.
- Comprovar experimentalmente as operações lógicas do flip-flop RS nas configurações assíncrona e síncrona.

## Conceitos

### Flip-Flop RS

O *Flip-Flop RS* é a configuração mais simples de um circuito sequencial *registrador de 1 bit*. Este tipo de circuito possui duas entradas denominadas *R* (Reset — levar a 0) e *S* (Set — levar a 1) e duas saídas, a primeira chamada *Q* e a outra, que a rigor deveria ser seu inverso, chamada  $\bar{Q}$ .

Sua realização elétrica pode ser feita utilizando-se basicamente portas *NOR* (*NOU*) ou portas *NAND* (*NE*). A figura 1 ilustra um flip-flop RS construído com portas lógicas *NOR* e sua simbologia genérica. A tabela 1 apresenta a Tabela Verdade de seu funcionamento. Já na figura 2, há um flip-flop RS com portas *NAND* e na 2 sua tavela verdade.

Tabela 1: Tabela Verdade do funcionamento do flip-flop RS com portas *NOR*.

$R$	$S$	$Q$	$\bar{Q}$	<i>Descrição</i>
0	0	$Q_a$	$\bar{Q}_a$	Situação de repouso: mantém o estado anterior
0	1	1	0	Situação de <i>set</i> ( $Q_a = 1$ )
1	0	0	1	Situação de <i>reset</i> ( $Q_a = 0$ )
1	1	0	0	Estado instável (“erro lógico”)

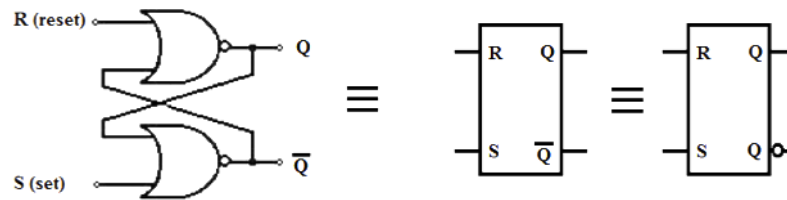


Figura 1: Flip-flop RS com portas *NOR*.

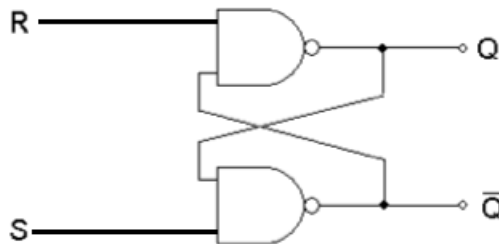


Figura 2: Flip-flop RS com portas *NAND*.

Tabela 2: Tabela Verdade do funcionamento do flip-flop RS com portas *NAND*.

$R$	$S$	$Q$	$\bar{Q}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	$Q_a$	$\bar{Q}_a$

Na tabela [tabela 1](#), referente ao flip-flop com portas *NOR*, note-se o estado identificado como “*erro lógico*”. Diz-se “*erro lógico*” pelo fato de  $Q$  ser igual a  $\bar{Q}$ . Adicionalmente, se este estado for utilizado ( $R = 1$  e  $S = 1$ ), deve-se

tomar cuidado para não saltar para o estado com  $R = 0$  e  $S = 0$ , pois poderá gerar uma saída imprevisível. Entretanto, não há qualquer problema se deste estado ( $R = 1$  e  $S = 1$ ) se saltar para qualquer um dos outros dois. A mesma argumentação, de forma análoga, é válida para o flip-flop com portas NAND (ver a tabela 2).

Como já citado, outra forma de construção do flip-flop RS é com portas lógicas *NAND*, cujo circuito é mostrado na figura 3, sendo sua simbologia bem como sua tabela verdade, idênticos às apresentadas ao flip-flop anterior. Note que, neste caso, houve uma inversão do posicionamento da entrada  $S$  com  $R$  ( $S$  na parte superior).

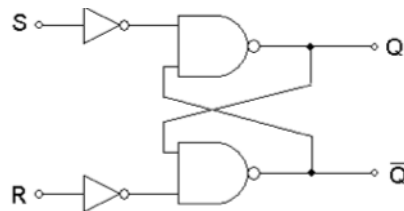


Figura 3: Flip-flop RS com portas *NAND*. Da forma apresentada, ele também é conhecido como flip-flop SR.

## Flip-Flop RS Síncrono

Outra configuração do flip-flop RS é chamada de *Flip-Flop RS Síncrono*. Neste caso existe uma terceira entrada que faz a vez de um controle de passagem, denominado *clock* ( $ck$ ).<sup>1</sup> A figura 4 ilustra sua construção com portas *NAND* e sua simbologia, enquanto que a tabela 3 apresenta sua Tabela Verdade. Note, pela Tabela Verdade, que o funcionamento é muito semelhante ao flip-flop RS anterior, diferenciando-se apenas pela condição de  $ck = 0$ .

## Metodologia Experimental

- Será implementado um flip-flop RS assíncrono e um síncrono utilizando-se portas lógicas *NAND*.
- Serão verificados experimentalmente os estados lógicos das saídas  $Q$  e

<sup>1</sup>Em certas bibliografias, este controle também é chamado de *enable* ( $EN$ ).

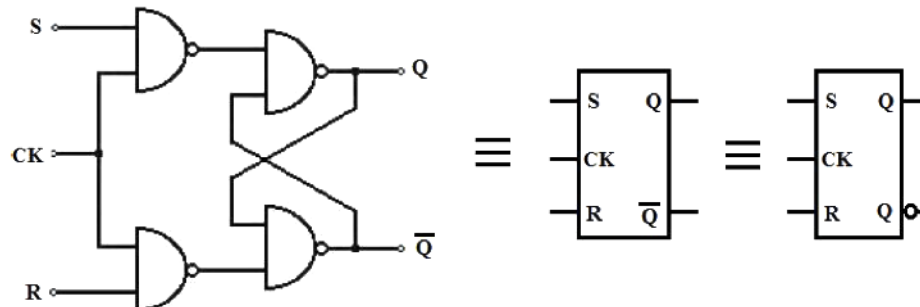


Figura 4: Flip-Flop SR Síncrono.

Tabela 3: Tabela Verdade do funcionamento do flip-flop RS síncrono com portas *NAND*.

$ck$	$S$	$R$	$Q$	<i>Descrição</i>
0	X	X	$Q_a$	Entradas desabilitadas: mantém o estado anterior
1	0	0	$Q_a$	Situação de repouso: mantém o estado anterior
	0	1	1	Situação de <i>set</i> ( $Q_a = 1$ )
	1	0	0	Situação de <i>reset</i> ( $Q_a = 0$ )
	1	1	*	Erro lógico

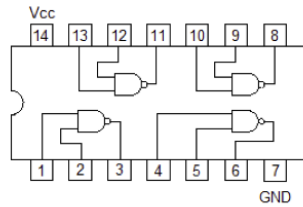
$\bar{Q}$ , por intermédio de LEDs sinalizadores, segundo as variações de todas as combinações das entradas  $R$  e  $S$ .

- Será elaborada a Tabela Verdade e realizada a comparação com o conteúdo abordado na teoria.

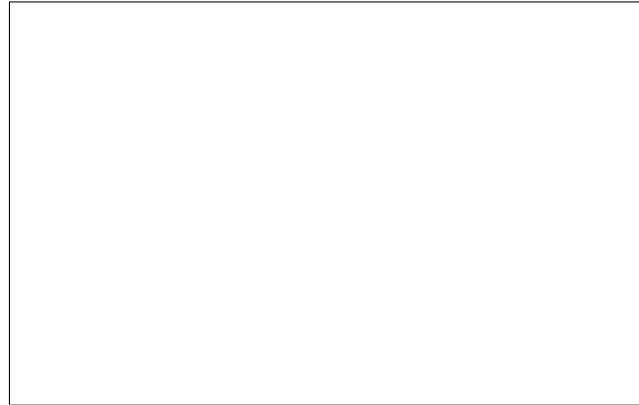
## Parte Experimental

### Flip-Flop RS Assíncrono

1. Utilizando **apenas um** CI 7400, apresente o esquema elétrico de um flip-flop RS assíncrono com portas *NAND*, **indicando a numeração dos pinos de entrada e saída.**



**CI 7400**



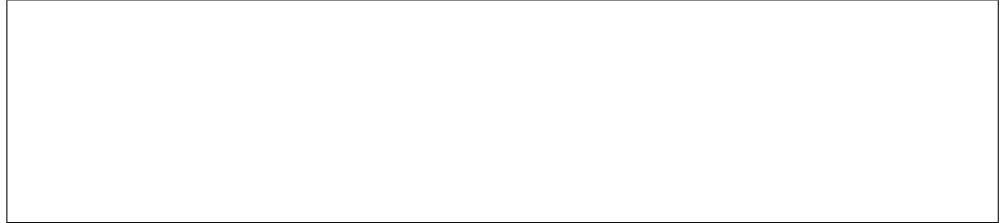
2. Monte, no Painel de Digital, o circuito e obtenha a Tabela Verdade experimentalmente.

<i>Sequência</i>	<i>R</i>	<i>S</i>	<i>Q</i>	$\bar{Q}$
1	0	1		
2	0	0		
3	1	0		
4	0	0		
5	0	1		
6	1	1		
7	1	0		
8	1	1		
9	0	1		
10	0	0		
11	1	0		

3. O que é a “situação de repouso”? Ela foi observada no experimento em quais “sequências” da tabela acima?

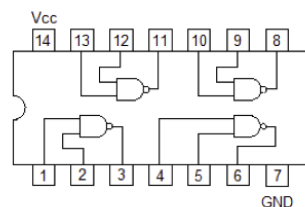


4. O comportamento do flip-flop RS apresentado na teoria foi observado no experimento, conforme registrado na tabela anterior?

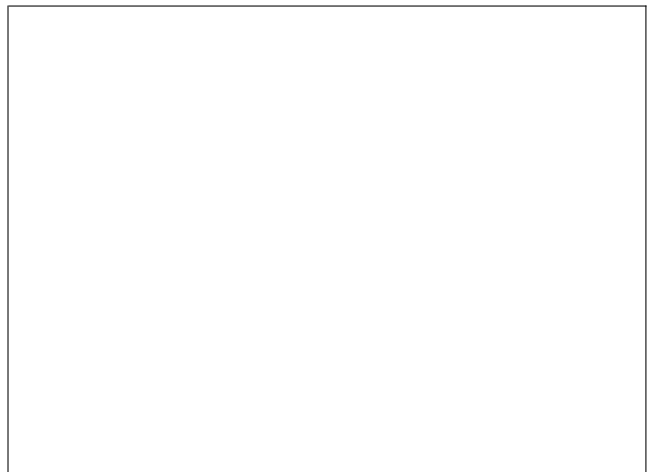


## Flip-Flop RS Síncrono

- Desenhar o esquema elétrico do flip-flop SR síncrono com portas *NAND*, utilizando-se apenas um CI 7400 e indicando a numeração dos pinos de entrada e saída.



**CI 7400**



- Obter os valores das saídas para cada combinação da sequência apresentada na tabela abaixo.

<i>Sequência</i>	<i>ck</i>	<i>S</i>	<i>R</i>	<i>Q</i>	$\bar{Q}$
1	1	0	1		
2	0	0	0		
3	0	1	0		
4	0	1	1		
5	0	0	1		
6	1	0	0		
7	1	1	0		
8	0	0	0		
9	0	0	1		
10	0	1	1		
11	0	1	0		
12	1	1	1		
13	0	1	1		
14	1	0	0		
15	1	1	0		

3. Analisando-se a tabela obtida e comparando-a com a tabela do flip-flop SR síncrono, todas as combinações expostas na teoria foram ensaiadas?

4. Fazendo-se uma análise do funcionamento do sinal de *clock* (*enable*), chega-se à conclusão que:

## Lista de Materiais

- Painele Digital Novo

- Alicates de bico
- Alicates de corte
- Espátula para remoção de CI
- Fios rígidos para proto-board
- CI: 1x 7400



## PROJETO SEMESTRAL

## Dado Digital

## Objetivo

Desenvolver o projeto e implementar o circuito de um “*dado digital*” com dois dígitos de 00 a 99.

## Prazos para Entrega

O projeto deverá ser apresentado na própria aula de laboratório, conforme as datas a seguir.

<i>Descrição</i>	<i>Datas</i>	
	<i>Diurno</i>	<i>Noturno</i>
<i>Lista de Materiais</i>	<i>13.04.2020</i>	<i>15.04.2020</i>
<i>Componentes Comprados</i>	<i>27.04.2020</i>	<i>29.04.2020</i>
<i>Pré-apresentação de Montagem: Decodificador, Display, Botão</i>	<i>27.04.2020</i>	<i>29.04.2020</i>
<i>Apresentação Antecipada</i>	<i>01.06.2020</i>	<i>03.06.2020</i>
<i>Apresentação Final</i>	<i>08.06.2020</i>	<i>10.06.2020</i>
<i>Repescagem</i>	<i>29.06.2020</i>	<i>01.07.2020</i>

*Não serão aceitos projetos entregues fora do prazo.*

*A pontuação será atribuída apenas aos presentes na  
data de entrega.<sup>1</sup>*

---

<sup>1</sup>Salvos os casos para os quais se apresentar justificativa plausível acompanhada de atestado.

## Descritivo do Projeto

O *Dado Digital* consiste de um contador de 00 a 99, em alta frequência, que será paralisado ao se pressionar um botão, simulando o sorteio. Caso os dígitos exibidos forem iguais, uma lâmpada deverá acender. Ao se pressionar o botão novamente, a contagem é liberada.

Logo que o circuito for energizado, a contagem deve estar parada em 00, situação que deixará a lâmpada acesa.

A lâmpada só poderá acender quando a contagem for paralisada – ela não deverá piscar durante a contagem.

A essência do projeto é utilizar dois contadores em década, com decodificadores para 7 segmentos, de forma a exibir os valores nos *displays*. Por meio de um circuito comparador de magnitude, poderá ser detectada a situação de igualdade dos dígitos e, assim, acionar um relé de 5V, permitindo ligar uma lâmpada de 12V.

O esboço do circuito esperado encontra-se na figura 1.<sup>2</sup> Notem-se:

- Dois bornes para a fonte de alimentação de 5V.
- Dois bornes para a fonte de alimentação de 12V.
- Dois bornes para o gerador de *clock*.
- Dois *diplays* de 7-segmentos.
- Um botão (**Sortear**) do tipo *pushbutton*.
- Um conector do tipo *terminal em bloco com parafuso* de duas vias.

A lâmpada será conectada no terminal em bloco com parafuso.

## Orientações Complementares

- O projeto deverá ser desenvolvido com base no descritivo apresentado na secção §3.

---

<sup>2</sup>Salienta-se que o leiaute apresentado na figura é apenas um esboço – os componentes podem ser reposicionados a critério de cada equipe.

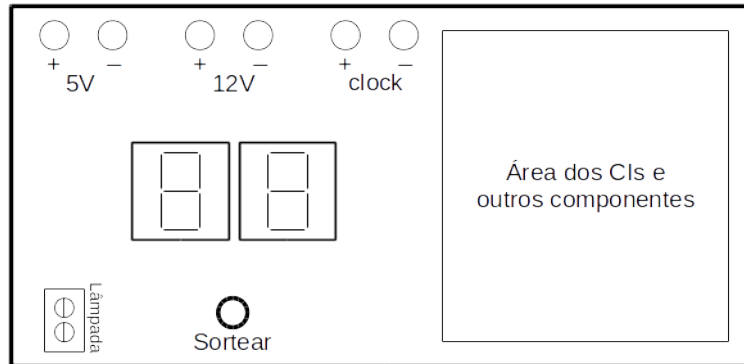


Figura 1: Esboço do leiaute do circuito esperado para o “Dado Digital”.

- O projeto é em equipe: obrigatoriamente, a mesma equipe das aulas de laboratório.
- Todo o material deverá ser adquirido pelo grupo, com exceção da fonte de alimentação, do gerador de *clock* e da lâmpada de 12V.
- Pode-se utilizar a fonte de alimentação do próprio laboratório.
- Pode-se utilizar o gerador de funções do laboratório como fonte de *clock*.
- A tensão de alimentação nominal do circuito lógico deverá ser 5V.
- No esquema elétrico, indicar o número da pinagem de cada componente.
- O botão **Sortear** deverá ser do tipo *pushbutton*.
- A montagem do circuito se dará em **placa padrão**, também conhecida como *placa universal*.
- Alternativamente, poderá ser elaborada **PCI (Placa de Circuito Impresso)**, porém as técnicas necessárias ficarão por conta do grupo. Neste caso, o esquema elétrico deverá ser obrigatoriamente redesenhado em programa específico e o leiaute da PCI deverá ser impresso em papel e entregue junto com o esquema elétrico impresso.
- Os componentes deverão ser soldados na placa. *Antes de soldá-los, fazer um estudo para encontrar uma boa disposição.*

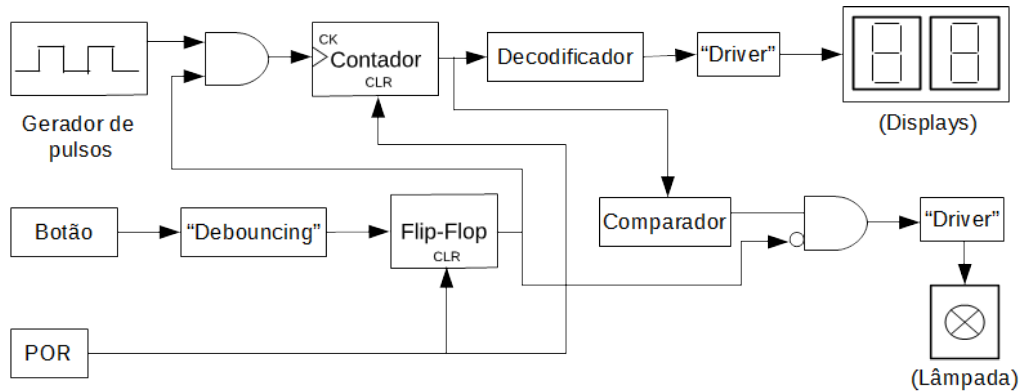


Figura 2: Diagrama em Blocos do projeto “Dado Digital”.

- Considerar os detalhes de como obter um bom ponto de solda e de como bem utilizar o ferro de solda.
- Realizar a interconecção entre os terminais dos componentes por meio de “*trilha de solda*” (se possível e para pequenas distâncias), ou por meio de “*fios finos*”, por baixo da placa, com apenas as pontas desencapadas, ou por meio de “*fios finos*”, por cima da placa, numa configuração conhecida como *jumpers*.
- Para a fixação dos CIs, **utilizar soquetes de CI** de tamanho apropriado.
- A implementação do gerador de *clock* (por meio do CI 555, por exemplo) é facultativa aos grupos que o quiserem implementar.
- No horário de funcionamento do Almoxarifado de Eletrônica, poderá ser emprestado o material necessário para solda, assim como disponibilizada uma sala para o trabalho.

## Diagrama em Blocos

O Diagrama em Blocos do projeto proposto encontra-se na figura 2.

## Esquema Elétrico

O Esquema Elétrico do projeto proposto encontra-se no anexo a este roteiro.

## Critérios de Avaliação

*Nota: para as pré-apresentações, o professor de laboratório dará as correspondentes orientações.*

Os critérios de avaliação por item são:

1. Apresentação da Lista de Materiais: **10,0 (peso 1,0)**
2. Pré-apresentação de montagem e componentes comprados: **10,0 (peso 1,0)**
3. Apresentação final: **10,0 (peso 8,0)**

(a) Esquema Elétrico e Lista de Materiais: **1,0**

- i. Apresentação do Esquema Elétrico completo no dia da apresentação do projeto: **0,5**

*Como parte desta pontuação, se o circuito for apresentado em PCI, obrigatoriamente todo o esquema elétrico deverá ser redesenhado e impresso e também deverá ser impresso em papel o leiaute da PCI.*

- ii. Apresentação da Lista de Materiais no dia da apresentação do projeto: **0,5**

***Nota:** Se houver qualquer alteração no circuito original, inclusive complementação (por exemplo, para implementar o “bônus”), todo o esquema deverá ser redesenhado para obter o bônus do esquema elétrico.*

(b) Implementação do circuito: **6,5**

- i. Elementos mínimos – bornes, *displays*, botão, conector para lâmpada: **0,5**
- ii. Contagem de 00 a 99 operante (sem decodificação): **1,0**
- iii. Decodificação e exibição no *display*: **1,0**
- iv. Operação do botão **Sortear**: **1,0**
- v. Comparação: **1,0**
- vi. Acionamento do relé e da lâmpada: **1,0**

- vii. Implementação e operação do POR (*Power-On Reset*): **1,0**
- (c) Entornos: **1,5**
  - i. Uso de soquete para CIs: **0,5**
  - ii. Estética do circuito final: **0,5**
  - iii. Qualidade das soldas: **0,5**
- (d) Bônus: **+2,0**
  - i. Implementação de gerador de *clock* próprio: **+1,0**
  - ii. Redesenho de todo o esquema elétrico para inclusão do gerador de *clock*: **+1,0**

A pontuação máxima é de **10,0** pontos.

***Note-se que apenas será possível obter 10,0 pontos se realizado algum item do tópico “Bônus”.***

*As equipes que obtiverem pontuação menor que 8,0 poderão ir para a “repescagem”, na qual a nota do projeto será 80% da pontuação obtida na nova avaliação.*

