

باسمه تعالی



دانشکده مهندسی کامپیوتر

آزمایش اول – آزمایشگاه معماری کامپیوتر

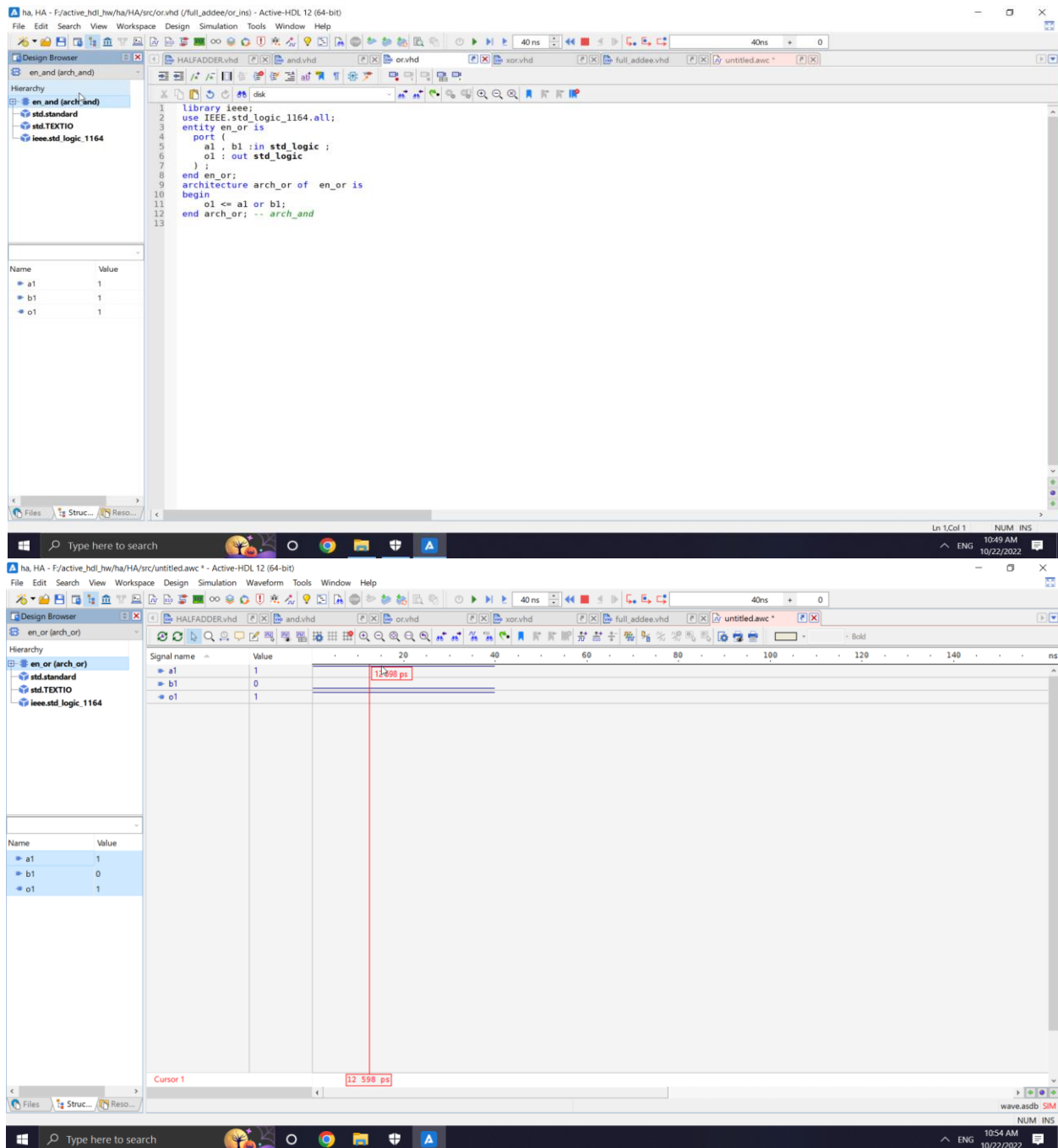
استاد : سرکار خانم دکتر محبتی

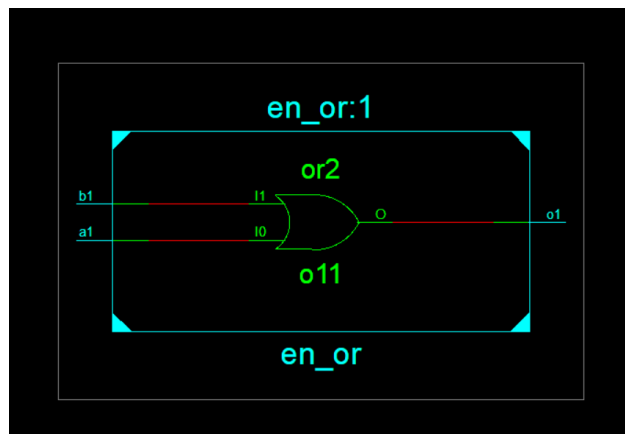
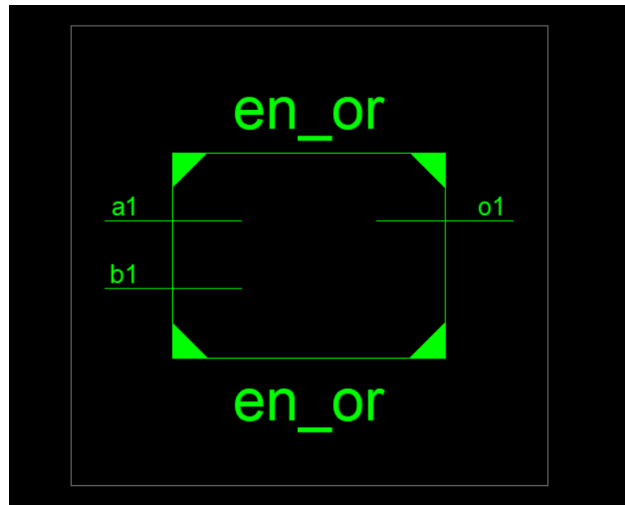
امیرحسین ملکوتی – محمدرضا صاحبزاده – عرفان زارع

آبان ۱۴۰۱

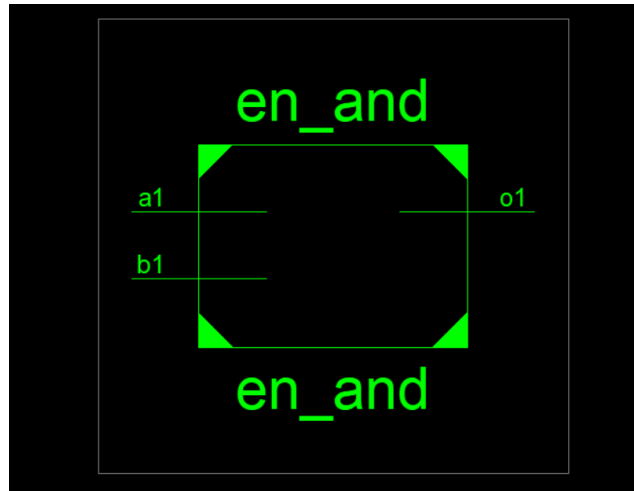
هدف آزمایش : در این آزمایش هدف ما ساخت یک جمع کننده کامل (Full Adder) با استفاده از Half Adder و گیت های پایه AND, OR, XOR می باشد.

برای این منظور ابتدا گیت OR را به شکل زیر پیاده سازی کرده و آن را سنتز می کنیم تا بتوانیم شکل کامپونت و صحت عملکرد آن را مشاهده کنیم.





سپس در ادامه به طریق مشابه گیت‌های AND, XOR را نیز پیاده‌سازی می‌کنیم.



ha, HA - F:/active_hdl_hw/ha/HA/src/and.vhd (/full_addee/ha_ins1/and_ins) - Active-HDL 12 (64-bit)

File Edit Search View Workspace Design Simulation Tools Window Help

40 ns 0

Design Browser

en_and (arch_and)

Hierarchy

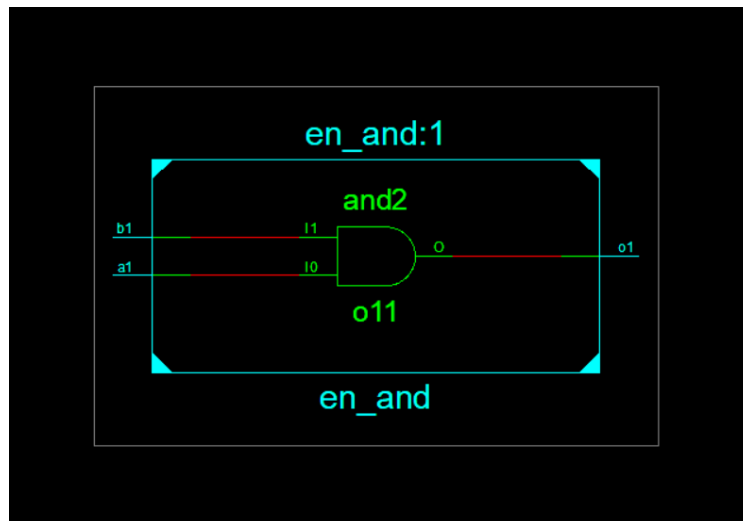
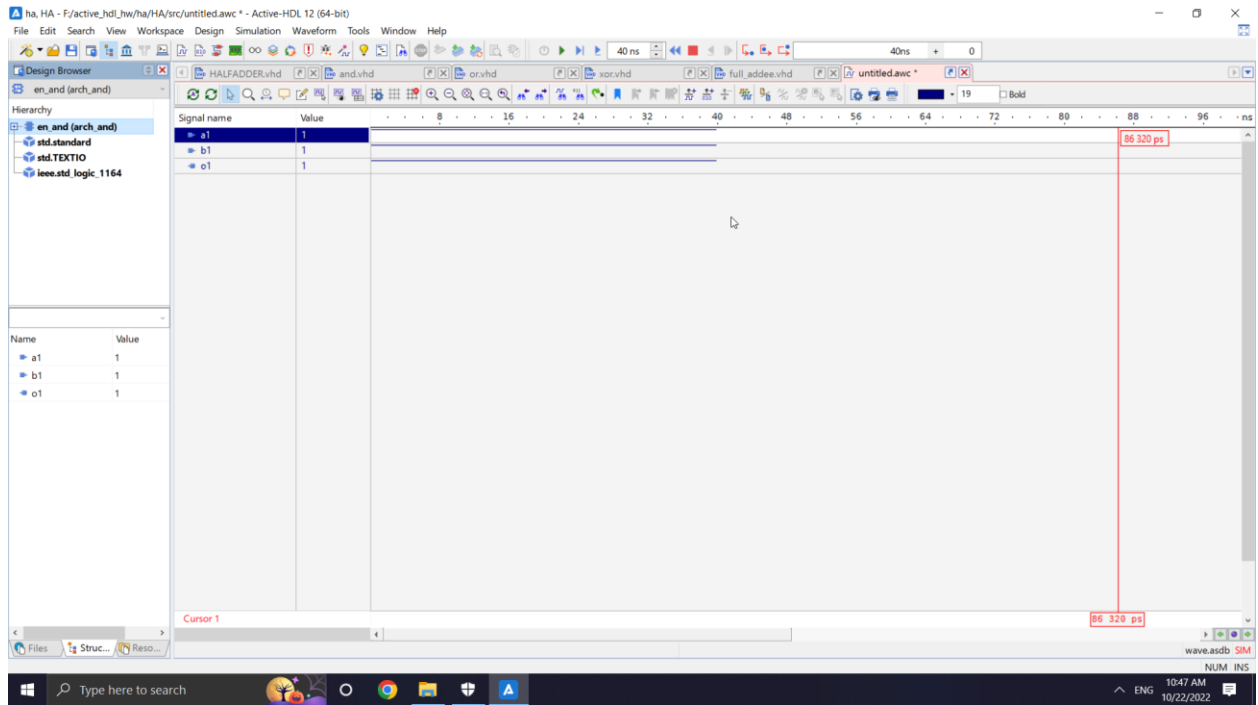
- en_and (arch_and)
- std.standard
- std.TEXTIO
- ieee.std_logic_1164

Name Value

a1	1
b1	1
o1	1

```
1 library IEEE;
2 use IEEE.std_logic_1164.all;
3 entity en_and is
4     port (
5         a1, b1 : in std_logic ;
6         o1 : out std_logic
7     );
8 end en_and ;
9 architecture arch_and of en_and is
10 begin
11     o1 <= a1 and b1;
12 end arch_and; -- arch_and
```

Ln 12, Col 51 NUM INS 10:48 AM 10/22/2022



ha, HA - F:/active_hdl_hw/ha/HA/src/untitled.awc * - Active-HDL 12 (64-bit)

File Edit Search View Workspace Design Simulation Waveform Tools Window Help

Design Browser

- en_xor (arch_xor)
 - std.standard
 - std.TEXTIO
 - ieee.std_logic_1164

Signal name Value

Signal name	Value
a1	1
b1	1
o1	0

Cursor 1

NUM INS

10:55 AM 10/22/2022

ha, HA - F:/active_hdl_hw/ha/HA/src/xor.vhd (/full_adder/ha_inst1/xor_inst) * - Active-HDL 12 (64-bit)

File Edit Search View Workspace Design Simulation Tools Window Help

Design Browser

- en_and (arch_and)
 - std.standard
 - std.TEXTIO
 - ieee.std_logic_1164

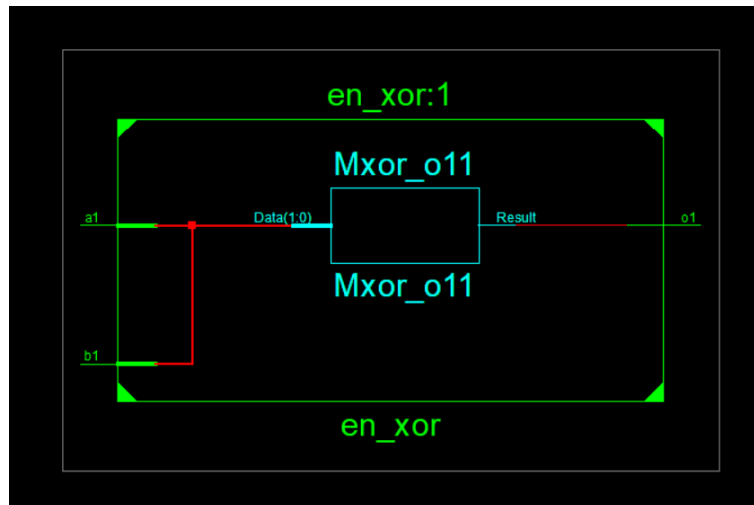
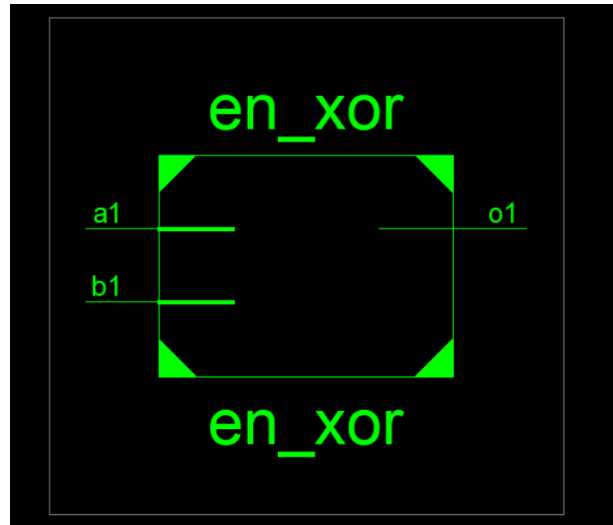
```

1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  entity en_xor is
4    port (
5      a1, b1 : in std_logic;
6      o1 : out std_logic
7    );
8  end en_xor;
9  architecture arch_xor of en_xor is
10
11  begin
12    o1 <= a1 xor b1;
13  end arch_xor; -- arch_xor
14
15

```

NUM INS

10:49 AM 10/22/2022



سپس با استفاده از گیت‌های ساخته شده Half Adder را پیاده‌سازی می‌کنیم.

ha, HA - F:/active_hdl_hw/ha/HA/src/HALFADDER.vhd - Active-HDL 12 (64-bit)

File Edit Search View Workspace Design Simulation Tools Window Help

Design Browser

en_and (arch_and)

Hierarchy

- en_and (arch_and)
- std.standard
- std.TEXTIO
- ieee.std_logic_1164

Name Value

Name	Value
a1	1
b1	1
o1	1

```

1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  entity ha is
4  port (
5      a, b : in std_logic;
6      s, c : out std_logic
7  );
8  end ha;
9  architecture arch_ha of ha is
10     component en_and is
11     port (
12         a1, b1 : in std_logic;
13         o1 : out std_logic
14     );
15     end component;
16     -- signal c std_logic;
17     component en_xor is
18     port (
19         a1, b1 : in std_logic;
20         o1 : out std_logic
21     );
22     end component;
23     component en_or is
24     port (
25         a1, b1 : in std_logic;
26         o1 : out std_logic
27     );
28     end component;
29     begin
30         and_ins : en_and port map (a1 => a, b1 => b, o1 => c);
31         xor_ins : en_xor port map (a1 => a, b1 => b, o1 => s);
32         --a<= '1';
33         --b<= '0';
34         --c <= a and b;
35         --o <= a xor b;
36     end arch_ha; -- arch_ha
37

```

Ln 38, Col 1 NUM INS 10:50 AM 10/22/2022

ha, HA - F:/active_hdl_hw/ha/HA/src/untitled.awc - Active-HDL 12 (64-bit)

File Edit Search View Workspace Design Simulation Waveform Tools Window Help

Design Browser

ha (arch_ha)

Hierarchy

- ha (arch_ha)
- std.standard
- std.TEXTIO
- ieee.std_logic_1164

Name Value

Name	Value
a	0
b	0
s	0
c	0

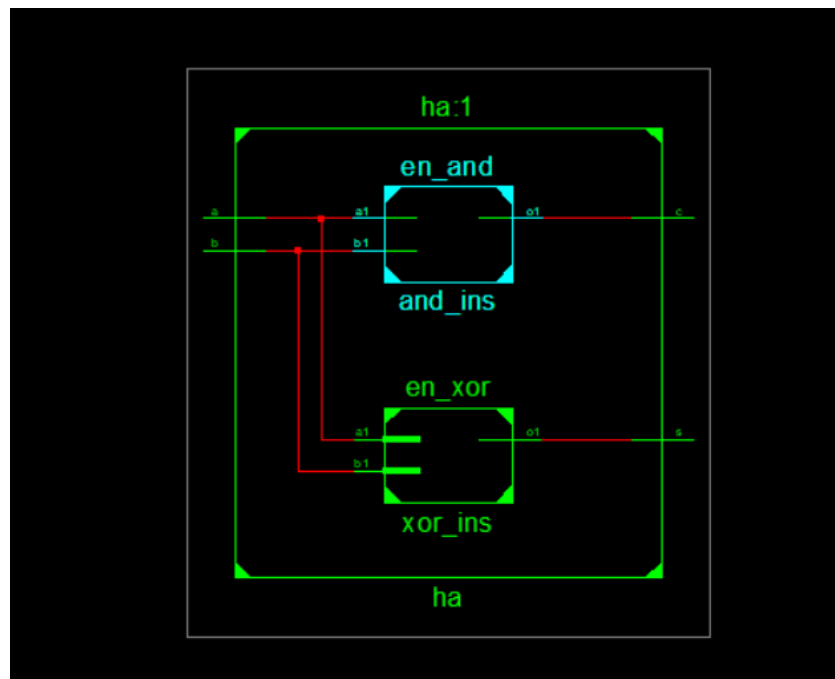
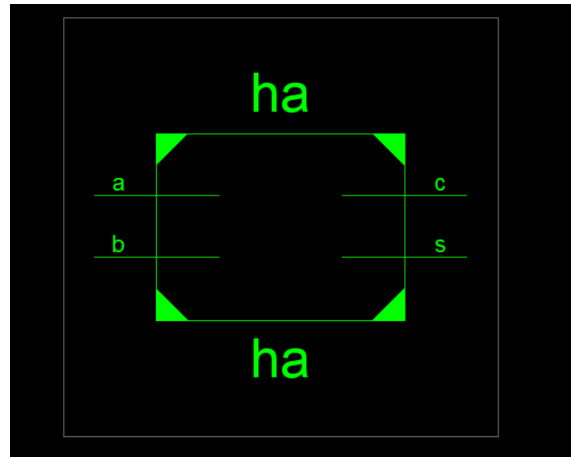
Signal name Value

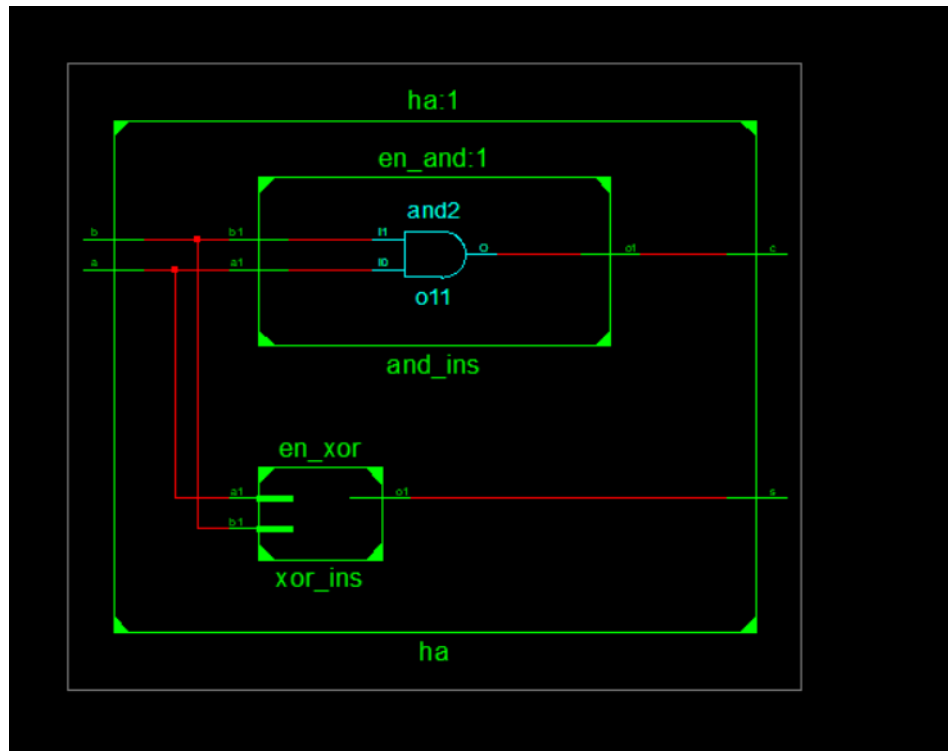
Signal name	Value
a	1
b	0
s	1
c	0

787 ps

Cursor 1 787 ps

NUM INS 10:58 AM 10/22/2022





حال با استفاده از تمامی کامپوننت‌های موجود Full Adder را طراحی می‌کنیم.

ha, HA - F:\active_hdl_hw\ha\src\full_adder.vhd - Active-HDL 12 (64-bit)

File Edit Search View Workspace Design Simulation Tools Window Help

Design Browser

en_and (arch_and)

Hierarchy

- en_and (arch_and)
- std.standard
- std.TEXTIO
- ieee.std_logic_1164

Name	Value
a1	1
b1	1
o1	1

```

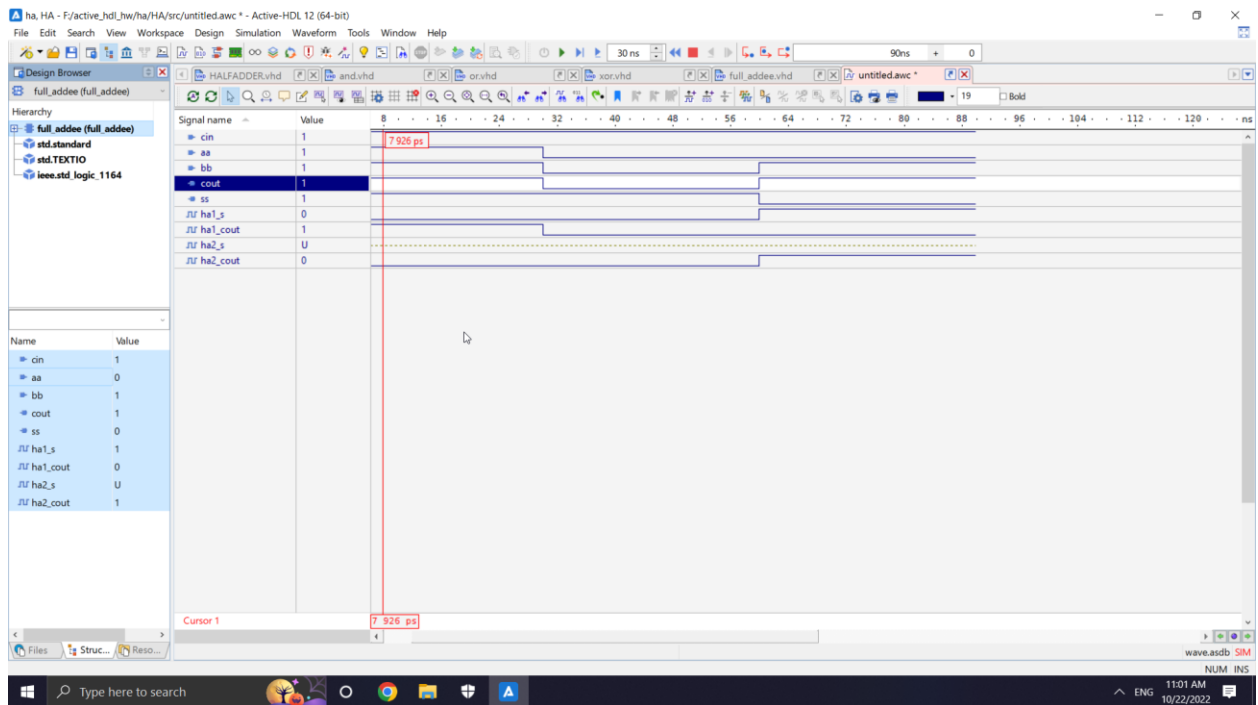
28 library ieee;
29 use ieee.std_logic_1164.all;
30 entity full_adder is
31     port(
32         cin , aa, bb : in std_logic ;
33         cout , ss : out std_logic
34     );
35 end full_adder;
36
37
38
39
40 architecture full_adder of full_adder is
41     component en_or is
42     port (
43         a1 , b1 :in std_logic ;
44         o1 : out std_logic
45     );
46 end component ;
47
48     component ha is
49     port (
50         a , b :in std_logic;
51         s , c: out std_logic
52     );
53 end component;
54
55
56     signal hal_s :std_logic;
57     signal hal_cout : std_logic;
58     signal ha2_s :std_logic;
59     signal ha2_cout : std_logic;
60 begin
61     ha_ins1 : ha port map (a => aa , b => bb , s=> hal_s , c => hal_cout);
62     ha_ins2 : ha port map (a => cin , b => hal_s , c => ha2_cout , s=> ss);
63     or_ins : en_or port map (a1 => ha2_cout , b1 => hal_cout , o1 => cout);
64
65     -- enter your statements here --
66
67 end full_adder;
68
69

```

Ln 69, Col 16 NUM INS

10:50 AM

10/22/2022



این سیگنال‌های خروجی نشان‌دهنده صحت عملکرد تمامی کامپوننت‌های ما می‌باشند.
و در پایان شماتیک این کامپوننت نیز قرار گرفته‌است.

