

Тестовое задание
(на должность FPGA Designer)

В рамках тестового задания необходимо реализовать модуль *wcdma_ovsf_generator*, предназначенный для генерации OVFSF кода на основе подготовленной модели *wcdma_ovsf_generator.m*:

- САПР: Xilinx Vivado не ниже 2016.3;
- Язык описания аппаратуры: VHDL/Verilog/SystemVerilog на выбор;
- Среда симуляции: ModelSim/QuartaSim/Isim на выбор.

Интерфейс модуля

Название	Напр.	Разр.	Описание
<i>Синхросигнал и сброс</i>			
ACLK	in	1	Входной синхросигнал.
ARESETN	in	1	Входной сигнал сброса (активный 0).
<i>Интерфейс S_AXIS_CONFIG</i>			
S_AXIS_CONFIG_TVALID	in	1	Входной сигнал запроса спектра
S_AXIS_CONFIG_TDATA	in	16	Входная шина данных. Передаются параметры: [15..12] биты - зарезервированы; [11..9] биты - значение SF: 0 - 4, 1 - 8, 2 - 16, 3 - 32, 4 - 64, 5 - 128, 6 - 256, 7 - 512; [8..0] биты - номер OVFSF кода, принимает значения в диапазоне от 0 до (SF - 1).
<i>Интерфейс M_AXIS_DATA</i>			
M_AXIS_DATA_TVALID	out	1	Выходной сигнал валидности данных.
M_AXIS_DATA_TREADY	in	1	Входной сигнал готовности приема данных.
M_AXIS_DATA_TLAST	out	1	Выходной сигнал последнего слова данных.
M_AXIS_DATA_TDATA	out	8	Выходная шина данных. Передаются биты данных. [7..1] биты - зарезервированы; [0] бит - данные, значение 1 соответствует -1, 0 соответствует 1.

Краткое описание алгоритма

По команде запроса (сигнал *S_AXIS_CONFIG_TVALID* = 1 на длительности 1 такт) модуль запускает генерацию OVFSF кода, циклически повторяя SF значений. Сгенерированные данные по AXI-Stream интерфейсу выходят из модуля (интерфейс *M_AXIS_DATA*).

Дополнительные условия

Модуль должен быть написан самостоятельно на основе готовой модели. Изменения в модели не допускаются. В результате выполнения задачи должен быть сформирован следующий минимальный набор файлов:

- 1) *wcdma_ovsf_generator.xpr* – проектный файл;
- 2) *wcdma_ovsf_generator.sv/*.*.v/*.*.vhd* – исходный код;
- 3) *wcdma_ovsf_generator.jpg* – изображение временной диаграммы проверки модуля.