



هدف از این تمرین کامپیوتری پیاده‌سازی پایپ‌لاین پردازنده‌ی RISC-V با مجموعه دستورات زیر است:

- R-Type: add, sub, and, or, slt
- I-Type: lw, addi, xori, ori, slti, jalr
- S-Type: sw
- J-Type: jal
- B-Type: beq, bne
- U-Type: lui

- مدارهای لازم برای تشخیص و برطرف کردن انواع هازاردهایی که در کلاس درس بحث شد را در طراحی خود بگنجانید.

برای تست پردازنده‌ی خود، یک برنامه بنویسید که کوچک‌ترین عنصر یک آرایه‌ی ۱۰ عنصری از اعداد صحیح علامت‌دار ۳۲ بیتی را پیدا کند.

روش ارزیابی:

- پیاده‌سازی پردازنده ۱۰۰ نمره دارد
 - ۲۵ نمره طراحی مسیر داده و واحد کنترل (به همراه کد وریلاگ باید بارگذاری شود)
 - ۱۵ نمره روش کدینگ (مسیر داده به صورت ساختاری و واحدهای کنترل و تشخیص هازارد به صورت ترکیبی)
 - ۴۰ نمره صحت طراحی با برنامه‌ی طراحی شده توسط شما
 - ۲۰ نمره صحت طراحی با برنامه‌ی طراحی شده توسط دستیاران آموزشی

نکته‌ی ۱: توجه داشته باشید که رجیسترهای پایپ‌لاین به لبه‌ی بالارونده‌ی Clk و رجیسترفایل به لبه‌ی پایین‌رونده‌ی Clk حساس هستند.

نکته‌ی ۲: برای سادگی تعریف ورودی و خروجی‌های رجیسترهای پایپ‌لاین می‌توانید از قابلیت struct در سیستم وریلاگ استفاده کنید.