

DRAM 详细剖析

——张仁发

一、相隔 0.5 米看内存，看到如图的电脑内存条。



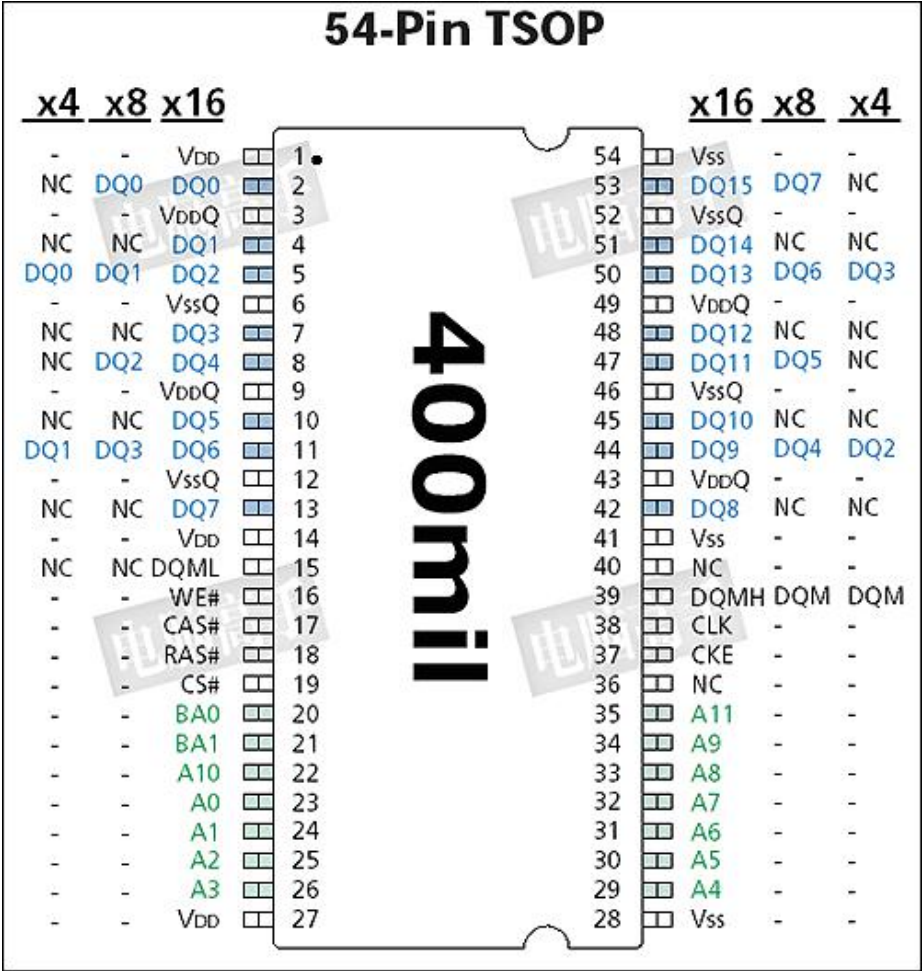
说明：图为电脑的一个硬件设备，即内存条。

二、相隔 0.05 米看内存，看到内存条上的芯片。



说明：图为嵌在内存条电路板上的一块内存的芯片。

三、相隔 0.00005 米看内存，看到内存的电路图。



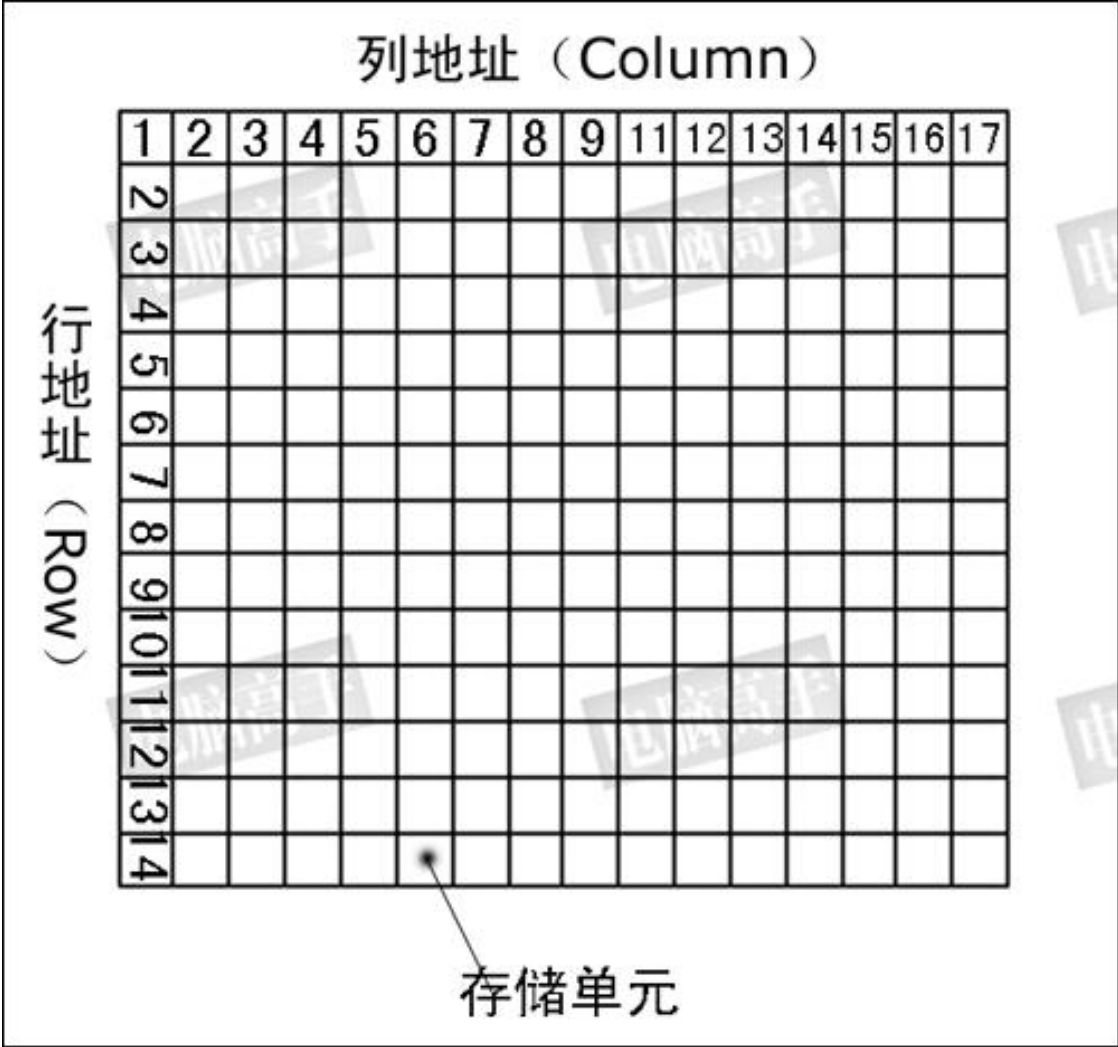
说明：图为 54 根管脚的内存芯片结构图。

引脚代号	定义	引脚代号	定义
Vdd/ VddQ	工作/DQ 电压	CAS#	列地址选通脉冲
Vss/VssQ	相应电压的接地	RAS#	行地址选通脉冲
DQn	数据 I/O 线	CK	时钟信号
An	行/列地址线	CKE	时钟有效
DQM	数据掩码	BAn	L-Bank 地址线
CS#	片选	WE#	写允许

注：#表示低电平有效

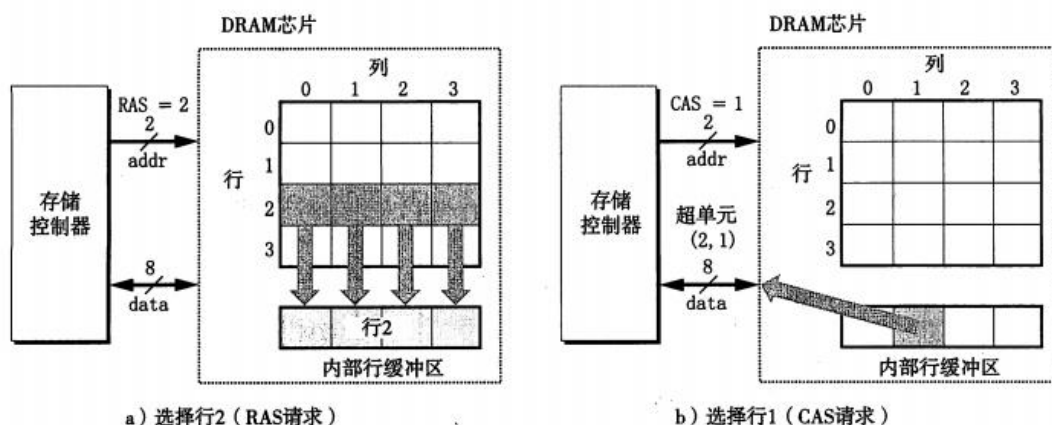
说明：图为内存芯片结构图的符号代表的意义。

四、相隔 0.0000005 米看内存，看到内存的二维阵列的一个 cell 字节。



说明：内存是由上图的二维阵列来组成的。由一个一个的存储单元来组成阵列。

4.1 如何读一个存储单元 (cell) 的内容？如：(2, 1) 这个存储单元的内容。



说明：图为一个 16*8 的 DRAM 二维阵列。16 是指 4*4，8 是指一个字节 8 位。

读取的步骤：

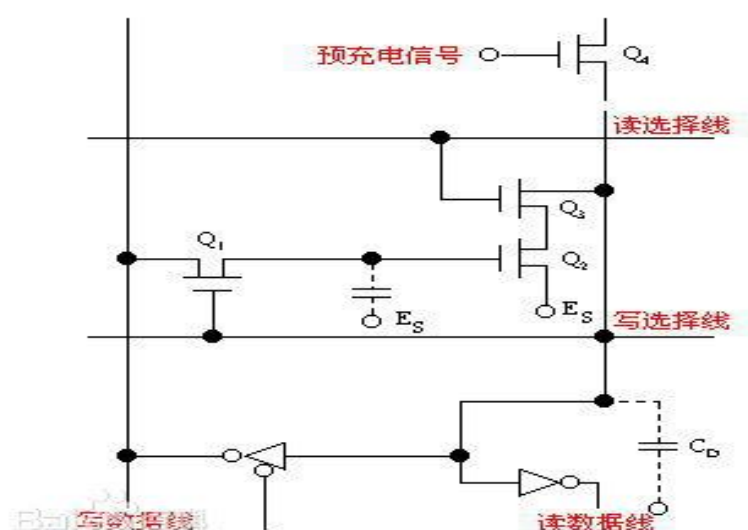
①存储控制器发送行地址 2，通过 RAS 线，DRAM 响应是将行 2 的整个内容拷贝到一个内部的行缓冲区。

②存储控制器发送列地址 1，通过 CAS 线，DRAM 响应是将行缓冲区去拷贝出第一个字节的 8 位数据。

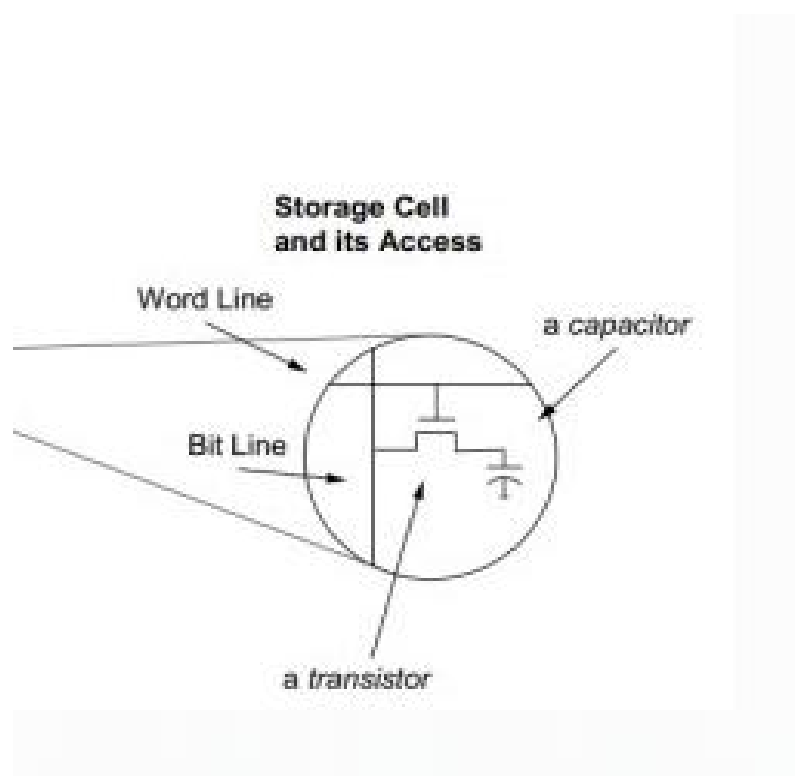
③DRAM 把 cell (2, 1) 拷贝回发送到存储控制器，通过 data 线。

扩展：内存架构师要把内存设计成二维阵列，而不是一维，是为了降低芯片上的管脚。例如，把上图的二维阵列改为 16 个线性的 cell，地址为 0-15，则需要 4 根地址线，即 4 位才能表示 16。而二维行与列只是 4，用两位就能表示。

五、相隔 0.000000005 米看内存，看到一个位的电路图。



说明：图为一个位的结构图，包含相应的读写控制线。



说明：图为一个位的存储结构，由一个电容和一个晶体管组成。

5.1 读写说明：

- 1、由读写选择线来置 1（高电平）来表明是读还是写。
- 2、写的过程就是把电容进行充电（写 1）与放电（写 0）。

5.2 读写过程描述：

写：

- ①写选择线置 1，读选择线置 0。Q1 导通，Q3、Q2 截断。
- ②当写数据线写入 1 时，Es 电容充电。
- ③当写数据线写入 0 时，电容放电。

读：

- ①读选择线置 1，写选择线置 0。Q1 截断，Q3 导通。Cd 电容先充电。
- ②当 Es 电容值（存储）为 1 时，Q2 导通。Cd 电容放电，读数据线经过反相器就读到 1。
- ③当 Es 电容值（存储）为 0 时，Q2 截断，Cd 电容状态不变，读数据线经过反相器读到 0。