

Phase Locked Loop

Introducción teórica

El circuito llamado “Lazo de seguimiento de fase” (en inglés Phase Locked Loop) es un circuito con realimentación cuya función es la de mantener el desfase entre una señal entrante y la del retorno del lazo constante.

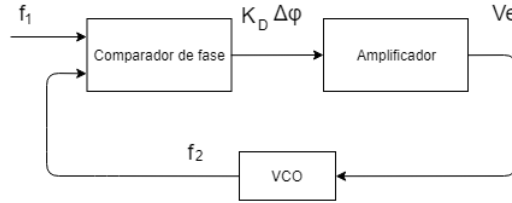


Figura 1: Diagrama en bloques básico de un PLL

En la Figura 1 se introduce un diagrama básico que nos permite analizar las partes de un PLL, cabe destacar que analizaremos desde afuera el comportamiento y luego especificaremos las implementaciones de cada bloque por separado.

En primer lugar el comparador de fase da a la salida una tensión proporcional al desfase de la segunda señal (con correspondiente f_2) con respecto a la primera (con su correspondiente f_1).

Luego, la misma es amplificada e introducida en el VCO (voltage controlled oscillator), el cual será analizado con profundidad en el punto 3 del presente trabajo práctico. Como su nombre lo indica, el VCO es un dispositivo el cual impone una señal con una frecuencia determinada a la salida que depende de la tensión aplicada a la entrada. Más precisamente si la señal a la salida del VCO tiene una frecuencia ω_2 , entonces la misma está dada por la expresión:

$$\omega_2 = \omega_0 + V_e(t)$$

donde ω_0 se la llama *frecuencia de carrera libre*.

En principio en la entrada del comparador de fase pueden darse 2 situaciones: $f_1 > f_2$ y $f_1 < f_2$.

- Si $f_1 > f_2$ entonces $K_D \Delta\varphi > 0$ por lo cual ω_2 aumenta y por ende f_2 también. En este caso, f_2 se acerca a f_1 .
- Si $f_1 < f_2$ entonces $K_D \Delta\varphi < 0$ por lo que análogamente f_2 disminuye y en consecuencia se acerca a f_1 .

Dadas estas situaciones, como cada vez que se