



Instituto Tecnológico de Buenos Aires
13 de Noviembre 2018

OSCILADORES, PLL Y CIRCUITOS ALINEALES
Trabajo de Laboratorio nº 6

Teoría de Circuitos

Grupo 1

<i>Nombre</i>	<i>Legajo</i>
Ariel Nowik	58309
Joaquín Mestanza	58288
Marcelo Regueira	58300
Martina Máspero	57120

Índice

1. Oscilador de Wien	3
1.1. Introducción	3
1.2. Oscilador de Wien básico	3
1.3. Consideraciones	5
1.4. Circuito a realizar	6
1.4.1. Transistor	6
1.4.2. Red RC (R_X y C_3)	7
1.4.3. Elección del Amplificador Operacional	7
1.5. Singularidades	8
1.6. Simulaciones	9
1.7. Mediciones:	11
1.7.1. Frecuencia máxima de oscilación	11
1.7.2. Tensiones de alimentación	11
1.7.3. Tensión de Gate	11
1.7.4. Tensión pico de oscilación	12
1.7.5. Tiempo de establecimiento	12
1.7.6. Distorsión armónica	13
1.8. Conclusiones	13
2. Phase Locked Loop	14
2.1. Introducción teórica	14
2.2. Rango de captura y de enganche	15
2.3. Comparador de fase	15
2.3.1. Comparador de fase tipo I	15
2.3.2. Comparador de fase Tipo II	16
2.4. PLL en condición de amarre	17
2.5. Tipos de lazo	18
2.5.1. Lazo de primer orden	18
2.5.2. Lazo de segundo orden	18
2.6. Respuestas transitorias: recomendaciones para diseño.	19
2.6.1. Filtro Pasa Bajos	19
2.6.2. Filtro con polo y cero	19
2.7. Modulación y demodulación FM	20
2.7.1. Demodulador FM	21
2.7.2. Demodulador FM con PLL	21
2.8. Multiplicador de frecuencia	22
2.9. Medición del factor de calidad a partir del overshoot y respuesta transitoria RC (Comp. Tipo I)	23
2.10. Medición de la respuesta transitoria RRC (Comp. Tipo I)	24
2.11. Medición del rango de enganche y de captura	24
2.12. Conclusiones	26
3. Diseño de VCO	27
3.1. Diseño del circuito	27
3.1.1. Circuito VCO	27
3.1.2. Adaptación de señal de entrada	29
3.1.3. Ajuste de offset	30
3.1.4. Conversor de triangular a senoidal	31
3.1.5. Ajuste de amplitud de señal de salida	32
3.2. Medición de señales	32
3.2.1. Muestras de señales obtenidas	32
3.2.2. Distorsión	34
3.2.3. Jitter	35
3.3. Conclusiones generales	35
3.4. Calibración	36

3.5.	Anexo	36
3.5.1.	Función lineal de adaptación	36
3.5.2.	Transferencia - Circuito de adaptación	36
3.5.3.	Transferencia - Circuito de ajuste de offset	37
3.5.4.	Amplificador diferencial - Polarización	38

1. Oscilador de Wien

1.1. Introducción

El oscilador de puente de Wien es un oscilador RC de corrimiento de fase, en el cual se usa retroalimentación tanto positiva como negativa. Es un circuito relativamente estable, de baja frecuencia y se puede sintonizar con facilidad. Este circuito, comienza a funcionar con ruido eléctrico, no se cuenta con una señal de entrada. Un generador de funciones como el utilizado en el laboratorio, produce ondas con distintas características que el usuario puede determinar, como la forma, la frecuencia y/o la amplitud. El oscilador de Wien se suele usar en dichos generadores para producir frecuencias entre 5Hz a 1MHz.

1.2. Oscilador de Wien básico

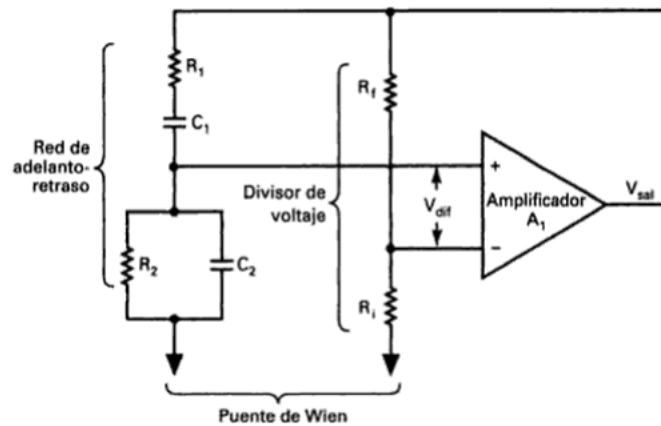


Figura 1: Oscilador de Wien

El circuito básico consta de un amplificador con un divisor resistivo y una red de adelanto/retraso compuesto por dos RC, un en serie y el otro en paralelo en la realimentación positiva que forman un puente de Wien. Una red de retraso/adelanto es un divisor reactivo de tensión, donde la tensión de entrada se divide entre Z_1 y Z_2 , es selectiva en frecuencia, y la máxima tensión a la salida se obtendrá en f_0 .

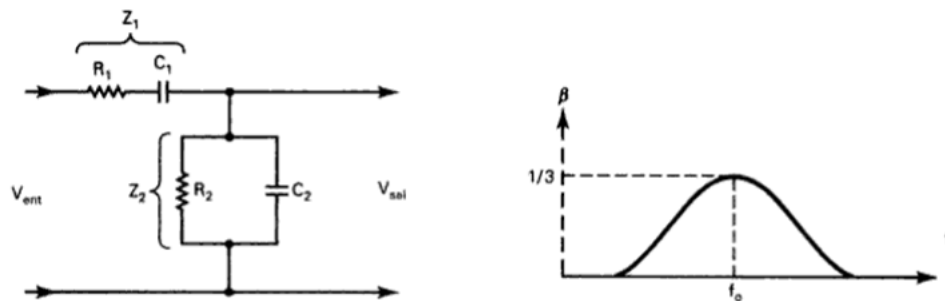


Figura 2: Red de adelanto/retraso

Como se puede ver en la figura, si las frecuencias son extremadamente altas, C_2 funciona como un circuito abierto, y para frecuencias extremadamente bajas C_1 funciona como un cortocircuito y por lo tanto no hay salida. En este caso los dos valores de resistencias y capacitores se consideran iguales para facilitar el análisis. A la frecuencia de oscilación (f_0), $R = X_C$ y la señal sufre un desplazamiento de -45° a través de Z_1 y otro de $+45^\circ$ a través de Z_2 . Por lo tanto el desplazamiento total de fase en f_0 es 0° . A frecuencias menores que la frecuencia de oscilación, el desplazamiento de fase es de adelanto, y para frecuencias superiores es de retraso.

En la Figura 2 de la derecha se muestra la transferencia de la red que se corresponde a

$$\beta = \frac{Z_2}{Z_1 + Z_2} \quad (1)$$

$$Z_1 = R + \frac{1}{sC} \text{ y } Z_2 = \frac{R}{sCR + 1} \quad (2)$$

$\beta(s)$ es un filtro pasa banda donde su frecuencia central es $f_0 = \frac{1}{2\pi RC}$, y el máximo se encuentra en $\beta(f_0) = \frac{1}{3} = Q$.

Como se puede ver, R y C son los componentes que fijan la frecuencia de oscilación, y las sensibilidades son las mismas para ambos:

$$S_C^{f_0} = S_R^{f_0} = -1 \quad (3)$$

Por otro lado, la realimentación negativa está formada por un divisor resistivo, el cual compensa la realimentación positiva y permite que el circuito oscile. Como estamos en el caso de un amplificador no inversor que amplifica la tensión de la salida de la red de atraso/adelanto, la ganancia (considerando el amplificador ideal) está dada por:

$$A = 1 + \frac{R_f}{R_i} \quad (4)$$

Por lo tanto la ganancia total del lazo es

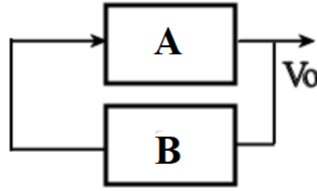


Figura 3: Ganancia del lazo

$$T(f) = A\beta(f) = \frac{1 + \frac{R_f}{R_i}}{3 + j \left(\frac{f}{f_0} - \frac{f_0}{f} \right)} \quad (5)$$

Una vez hallada la ganancia del lazo, hay que averiguar si el sistema cumple la condición para oscilaciones autosustentadas, ésta fué dada por Heinrich Barkhausen, el cual dice que la ganancia del lazo debe ser unitaria para una cierta frecuencia f , única frecuencia a la cual el amplificador realimentado será inestable. Ésto implica que el módulo de la ganancia debe ser unitario y que no debe haber desfase a esa frecuencia ($|T(f)| = 1$; $\angle T(f) = 0$).

Se toma a f_0 para cumplir el criterio de Barkhausen. Por lo visto anteriormente, se sabe que en esta frecuencia no hay desfase (lo que no se cumple con el resto de las frecuencias), solo falta imponer la condición de módulo unitario, por lo tanto se tiene que cumplir

$$T(f_0) = \frac{1 + \frac{R_f}{R_i}}{3} = 1 \implies \frac{R_f}{R_i} = 2 \quad (6)$$

De esta manera, en f_0 , la señal de salida del amplificador se reduce en un factor de 3 cuando pasa por la red de adelanto/atraso y después se amplifica con un factor de 3 en el amplificador. Cuando se cumple esta condición se tiene que el puente alrededor del op amp está balanceado en $f = f_0$.

1.3. Consideraciones

Todo el análisis anteriormente hecho fué suponiendo condiciones ideales donde la señal no se distorsiona, el problema es que en la realidad existen variaciones en los valores de los componentes debido a sus tolerancias y al calor. Lo que podría llevar a dos situaciones:

1. Que la ganancia del lazo en f_0 sea mayor a la unidad, por lo que prevalece la realimentación regenerativa sobre la negativa y la señal va ganando amplitud a medida que da vueltas al lazo. Esto causaría que el circuito sea inestable, presentando los polos en el semiplano derecho, haciendo que el op amp saturate a la salida.
2. Que la ganancia de lazo en f_0 sea menor a la unidad, por lo que prevalece la realimentación degenerativa y la señal pierde amplitud a medida que da vueltas al lazo. Esto resulta en un sistema estable, donde los polos se encuentran en el semiplano izquierdo del plano complejo, causando que la señal a la salida decaiga a cero.
3. Si la ganancia es igual a la unidad, la oscilación continuará indefinidamente sin verse modificada a medida que se da vueltas al lazo.

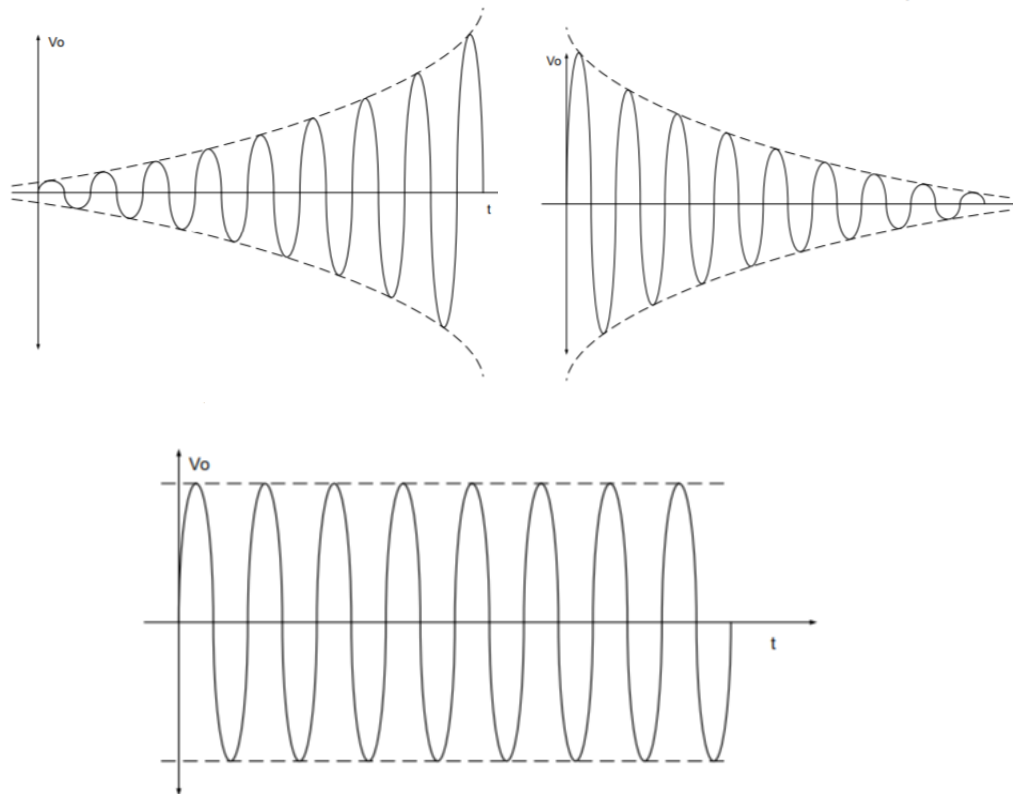


Figura 4: Variación de la señal de salida en el tiempo: de izquierda a aderecha y de arriba para abajo: Caso $|T| > 1$, Caso $|T| < 1$, Caso $|T| = 1$ (polos sobre el eje $j\omega$)

Para compensar los desequilibrios del puente y las variaciones antes mencionadas, se le agrega al circuito un CAG (Control Automático de Ganancia). Esto se obtiene haciendo que la relación $\frac{R_f}{R_i}$ sea dependiente de la amplitud de la salida. Con amplitudes bajas, ésta crecerá y para amplitudes mayores disminuirá. De esta forma se asegura que la oscilación inicie al encender el circuito (donde se necesita una ganancia sea mayor a uno), que la amplitud de la señal se mantenga debajo de los límites de saturación y que finalmente se estabilice cumpliendo $\frac{R_f}{R_i} = 2$. Se utilizan componentes no lineales, como diodos o transistores, para asegurar la estabilidad del circuito en la frecuencia buscada.

1.4. Circuito a realizar

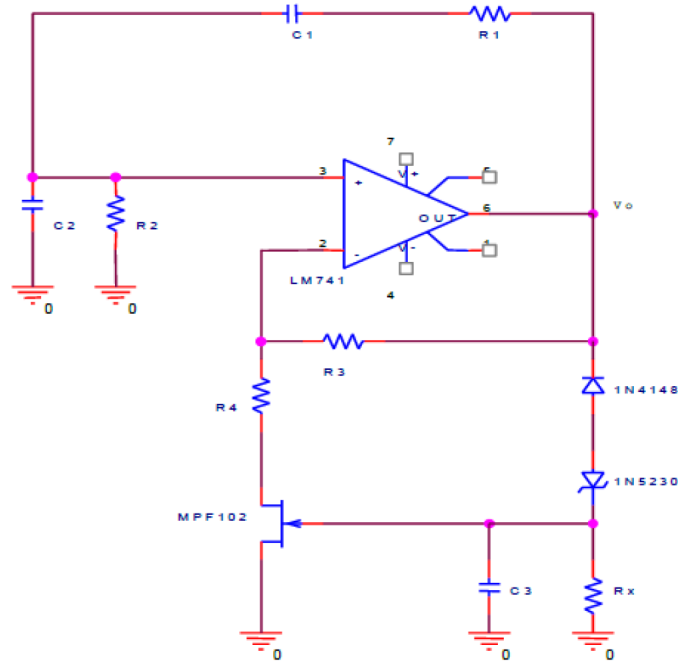


Figura 5: Oscilador de Wien con CAG

Este circuito es un oscilador de Wien con CAG, se utiliza un JFET canal N para controlar la ganancia del lazo del op amp mediante su resistencia dinámica. Los dos diodos conectados a la salida del amplificador ponen una tensión negativa en el gate del transistor controlando el sentido de la carga del capacitor. Ésta tensión tiene que ser negativa debido a que el transistor es de canal N. Además, los diodos son los encargados de controlar la amplitud de la señal de salida para que no haya distorsión. En este caso el control se hace en el semiciclo negativo de la oscilación, cuando los diodos se activan. Si el transistor fuera canal P se tendrían que invertir los sentidos de ambos diodos para que la tensión del gate sea positiva y el control se haría en los semiciclos positivos.

La frecuencia de oscilación buscada es $f_0 = 77,5kHz$, por lo tanto, eligiendo $C = 1nF$ se llega a

$$R = \frac{1}{2\pi f_0 C} = 2,05K\Omega \quad (7)$$

Para poder ajustar bien la frecuencia de oscilación, se decidió poner un preset en el lugar de una R y otro en el lugar de R_4 para poder ajustar la ganancia.

1.4.1. Transistor

El transistor a utilizar es el MPF 102 (JFET canal N). El rango de operación es en la zona lineal u óhmica donde la resistencia dinámica, r_d , varía en un rango según la tensión del gate. Ésta resistencia se encuentra en serie con R_4 , por lo que cuando varía, también varía la ganancia del lazo.

$$\frac{R_3}{R_4 + r_{dMin}} = 2 + \Delta \quad (8)$$

$$\frac{R_3}{R_4 + r_{dMax}} = 2 - \Delta \quad (9)$$

De aquí se obtiene que en realidad $R_3 > 2R_4$. Se eligieron los valores $R_3 = 100K\Omega$ y $R_4 = 47K\Omega$, que en la implementación se utilizó una resistencia de $39K\Omega$ en serie con una resistencia variable de $20K\Omega$.

Al momento de poner en funcionamiento el circuito, como la señal de salida es nula y el capacitor C_x está descargado, la tensión del gate es cero, por lo que la resistencia del transistor será mínima y la ganancia del lazo será mayor a dos. Cuando la tensión a la salida comienza a aumentar, más negativa se hará la tensión del gate, causando que la resistencia dinámica aumente y disminuyendo así la ganancia.

Se simularon las curvas características del transistor para distintos valores de tensión de gate:

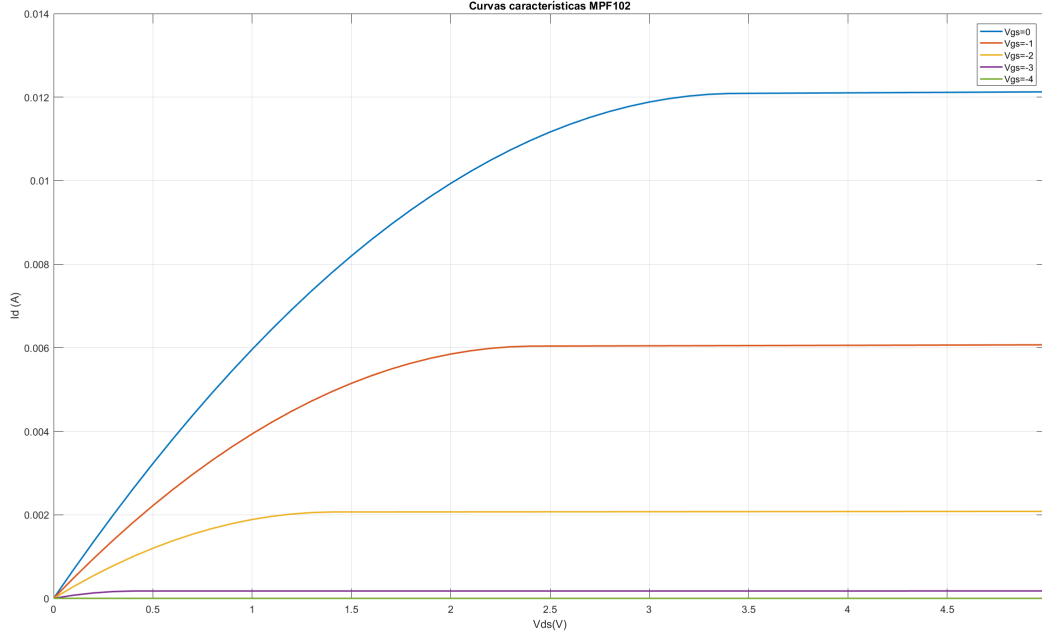


Figura 6: Curvas del MPF102

1.4.2. Red RC (R_X y C_3)

La red RC es la que se encarga de controlar la tensión del gate, y por lo tanto la ganancia del circuito. El capacitor se carga cuando los diodos se activan en el semiciclo negativo aumentando la tensión (en módulo) del Gate, y se descarga en el semiciclo positivo a través de R_X . Es importante que la constante de tiempo para la carga del capacitor ($\tau = C_3 R_X$) sea mucho mayor al periodo de la señal ($\sim 13\mu s$) para mantener la tensión a la salida. Además, para mantener esta tensión se necesita que R_X sea lo suficientemente grande para que el capacitor no se descargue rápido, pero por otra parte el capacitor se tiene que poder descargar frente a variaciones en la tensión de salida para poder ajustar la ganancia.

A partir de esto, se tomaron los valores medianamente grandes para C_3 y R_X :

$$C_3 = 1\mu F \quad R_X = 1M\Omega \quad (10)$$

1.4.3. Elección del Amplificador Operacional

Es muy importante la adecuada elección del amplificador operacional, si el polo dominante del operacional se acerca mucho a la frecuencia de oscilación, podría cambiar la fase, lo que hace que no se cumpla la condición Barkhausen y el circuito no oscile a la frecuencia buscada.

También hay que tener en cuenta el THD del operacional, la tensión de saturación y el slew rate para que la señal a la salida no esté distorsionada.

En resumen, se busca un op amp que el slew-rate sea alto (tiene que ser mayor a $2\pi f_0 V_p$, donde V_p es la tensión pico a la salida y es de aproximadamente $6V_p$), que el GBP sea mayor a $2\pi 43f_0 \simeq 3 \frac{V}{\mu S}$ para mantener la ganancia y la frecuencia dentro del 10 % de los valores ideales y que el THD sea bajo. También se busca que Z_{in} sea lo más grande posible y Z_{out} sea lo más pequeña posible.

A continuación se presenta una tabla con posibles operacionales a utilizar

Operacional	SR($\frac{V}{\mu s}$)	THD (%)	$Z_{in}(\Omega)$	$Z_{out}(\Omega)$	I_{bias}	GBP (MHz)	V_{offset} (mV)
TL082	13	<0.003	10^{12}	-	30pA	3	3
LM833	7	<0.002	2^{12}	37	300nA	16	0,15
LF353	13	<0.02	10^{12}	-	50pA	4	5
LM324	0,5	-	2^6	-	40nA	1,2	3
LM741	0,5	<0,006	2^6	75	80nA	1,5	1

Cuadro 1: Comparación de operacionales

Teniendo en cuenta todas estas características se eligió el TL082, ya que el slew-rate cumple con las necesidades, tiene bajo THD y el GBP es relativamente alto.

1.5. Singularidades

La ganancia de lazo del circuito es la calculada en la ecuación 5. Utilizando Matlab se graficó su diagrama de polos y ceros, el cuales se muestra a continuación:

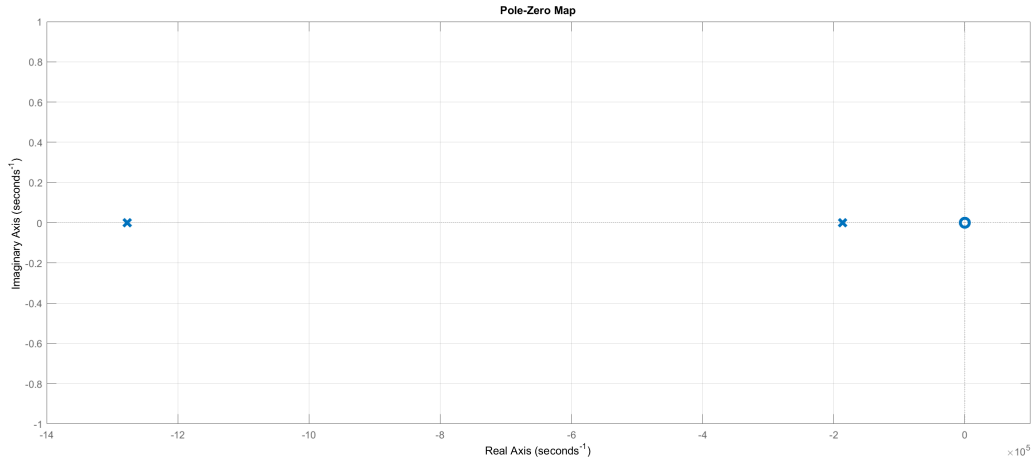


Figura 7: Singularidades de T

La ganancia del circuito a lazo cerrado es:

$$H(s) = \frac{A(s)}{1 + A(s)\beta(s)} = \frac{\left(1 + \frac{R_3}{R_4}\right) (s^2 C^2 R^2 + 3sCR + 1)}{s^2 C^2 R^2 + s \left(4 + \frac{R_3}{R_4}\right) CR + 1} \quad (11)$$

Donde su diagrama de polos y ceros correspondiente es el siguiente:

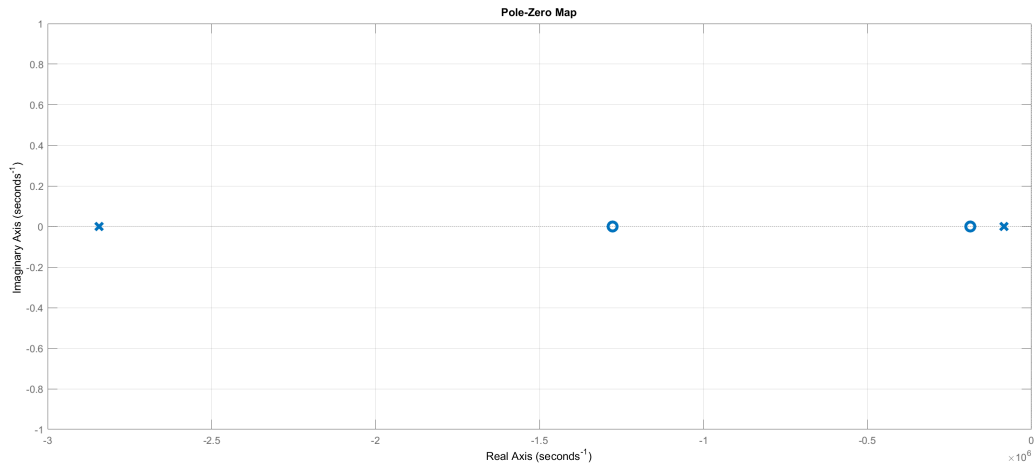


Figura 8: Singularidades de H

1.6. Simulaciones

Se simuló el circuito con LTSpice y se obtuvieron los siguientes resultados:

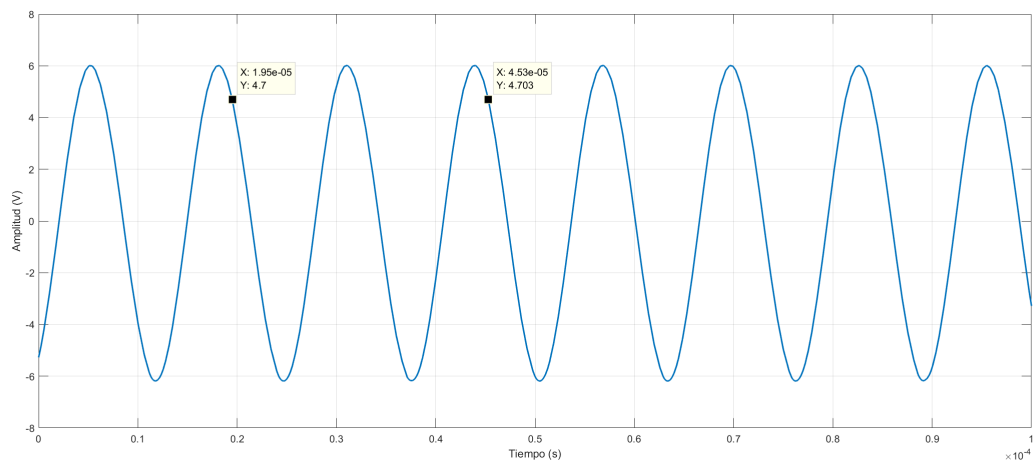


Figura 9: Oscilaciones

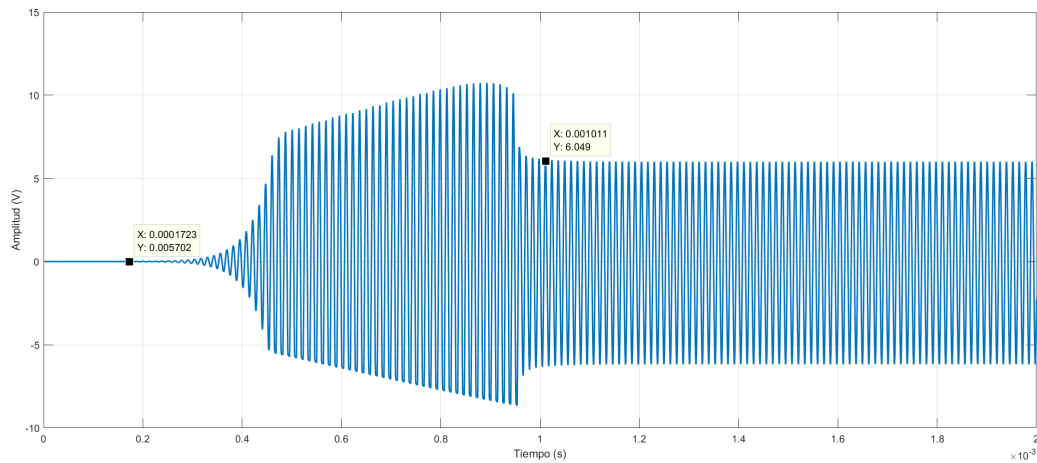


Figura 10: Transitorio del circuito

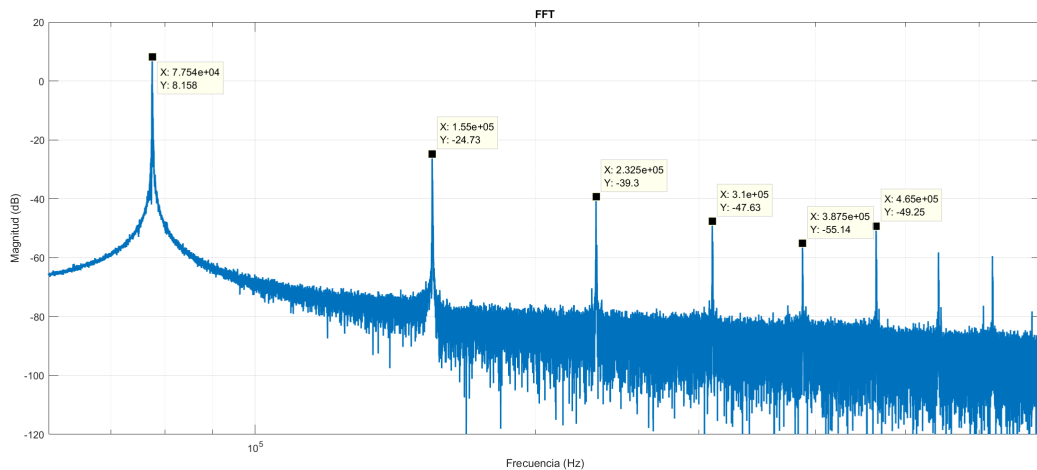


Figura 11: FFT del circuito

1.7. Mediciones:

Se implementó el circuito en un PCB donde se ajustaron los presets para obtener la frecuencia buscada y se obtuvieron los siguientes resultados:

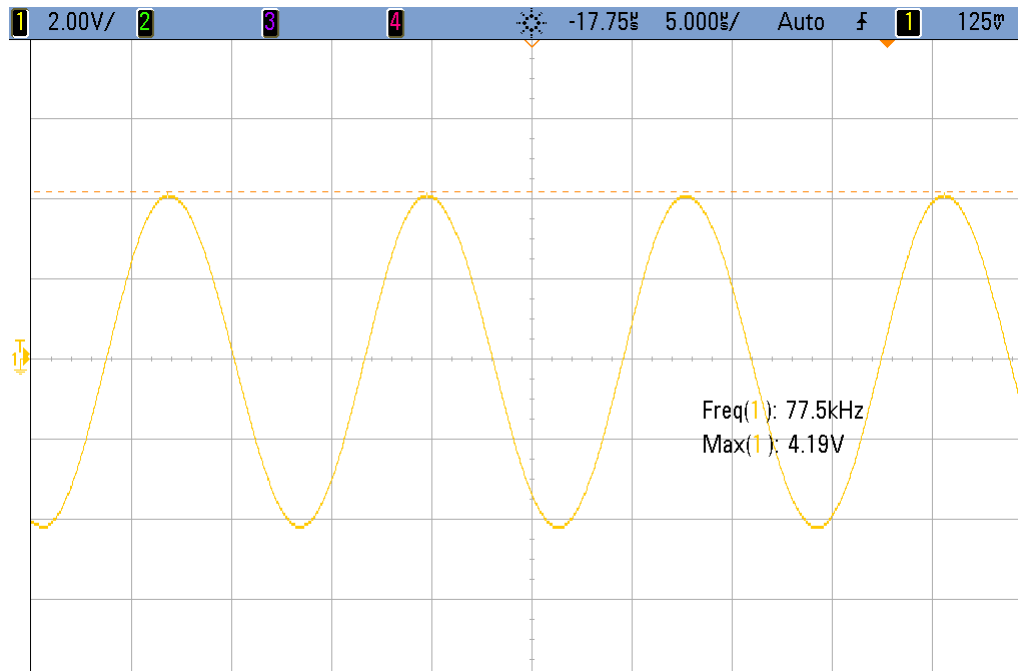


Figura 12: Oscilaciones

Como se puede ver, la señal medida presenta una frecuencia de $77,5\text{KHz}$ y una amplitud de $4,2V_P$. Además se midió la frecuencia en 20 000 muestras y se obtuvieron los siguientes resultados:

Media	Mínima	Máxima	Desvío Estandar
77,47KHz	77,2KHz	77,8KHz	84,72Hz

Cuadro 2: Dispersión de la frecuencia

1.7.1. Frecuencia máxima de oscilación

La máxima frecuencia de oscilación está dada tanto por el slew rate y la ganancia del amplificador $A(s)$. Se midió que la frecuencia puede variar desde $70,7\text{KHz}$ hasta $86,2\text{KHz}$. En un caso la senoidal se veía distorsionada, y en el otro se llegaba a una salida nula porque nos encontramos en el caso de $|T| < 1$.

1.7.2. Tensiones de alimentación

Las mediciones se realizaron usando $+VCC = 15V$ y $-VCC = -15V$. Experimentalmente se fueron bajando dichas tensiones en igual magnitud hasta que la señal a la salida se comenzó a deformar al llegar a los $\pm 5V$, pero ajustando los presets podía volver a tomar su forma senoidal. Se pudo observar que a medida que se iba bajando la tensión la frecuencia de oscilación aumentaba.

1.7.3. Tensión de Gate

El valor de la tensión del Gate medida fue de $V_g \simeq -3V$ en la zona donde la oscilación ya es estable. Esta tensión es la que hace que la resistencia del transistor se ajuste según la tensión a la salida, y así permitir la oscilación.

1.7.4. Tensión pico de oscilación

La tensión de la oscilación depende de la alimentación del amplificador y de la tensión de ruptura en el Zener. Por lo tanto, para poder variar la tensión pico de la oscilación se debería modificar los valores de los mismos. En este caso, la tensión máxima obtenida fué de aproximadamente 7,6V.

1.7.5. Tiempo de establecimiento

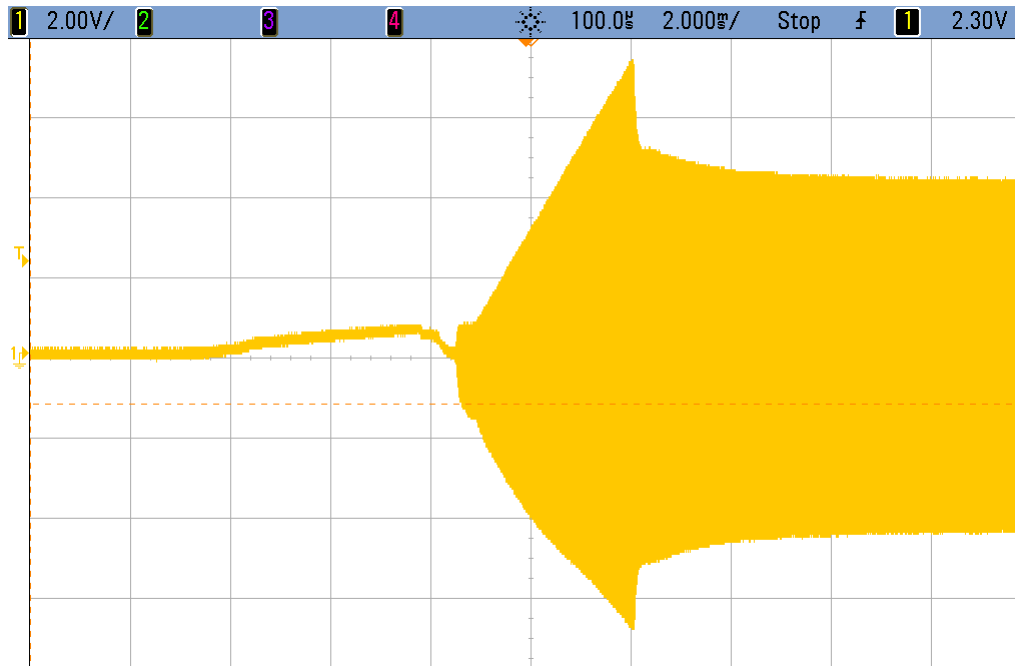


Figura 13: Transitorio del circuito

El tiempo de establecimiento medido fué de 4,1ms, el cuál es mucho mas grande del obtenido en la simulación que es de tan solo 0,8ms. El tiempo de establecimiento se mide desde el momento donde comienzan las oscilaciones hasta que se estabilizan cuando la ganancia se hace unitaria, es decir, cuando la amplitud de la oscilación deja de variar en el tiempo.

1.7.6. Distorsión armónica

La señal a la salida del oscilador no es una senoidal perfecta, es por eso que aparecen otros armónicos además del fundamental. Esto se puede ver en el tercer gráfico. Una forma de medir este desperfecto es mediante el THD (Total Harmonic Distortion).

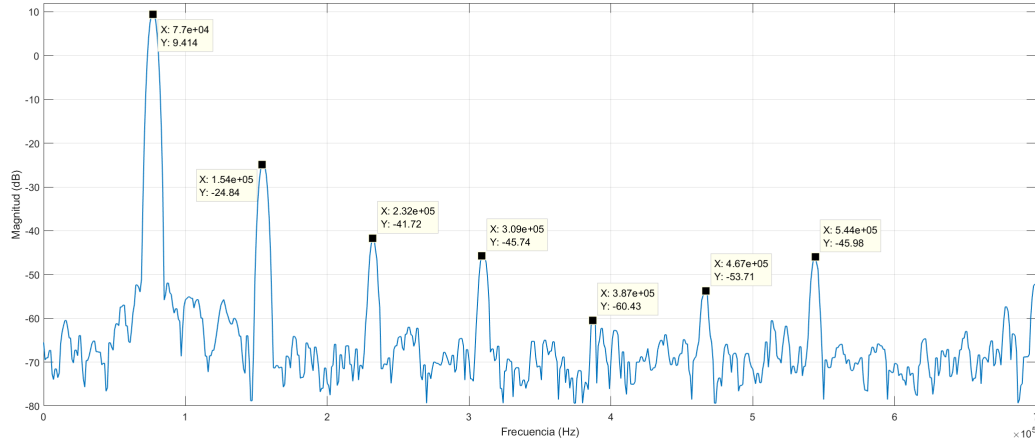


Figura 14: FFT del circuito

Este se calculó a partir de la figura como:

$$THD = \frac{\sum P_i}{P_0} = 0,0842$$

Cuando el simulado fué de 0.073.

Se utilizaron para calcular el THD los primeros 4 armónicos. Donde P_0 es la potencia del armónico fundamental y P_i son las potencias del resto de los armónicos.

Se puede ver que la mayor potencia es la que se corresponde con el armónico fundamental, el cual se encuentra en la frecuencia de la oscilación.

1.8. Conclusiones

Se pudo llevar a cabo el circuito y lograr la frecuencia de oscilación buscada con ayuda de los presets muy fácilmente. Se lograron ver los efectos del amplificador, ya sea por el slew-rate o por la ganancia que distorsiona la salida, lo que hacían que la senoidal no sea completamente pura.

2. Phase Locked Loop

2.1. Introducción teórica

El circuito llamado “Lazo de seguimiento de fase” (en inglés Phase Locked Loop) es un circuito con realimentación cuya función es la de mantener el desfase entre una señal entrante y la del retorno del lazo constante.

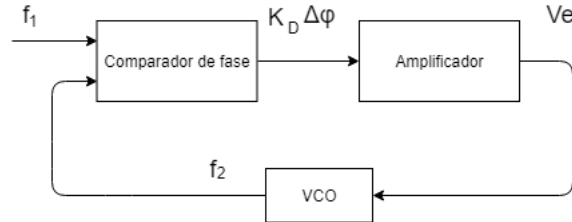


Figura 15: Diagrama en bloques básico de un PLL

En la Figura 15 se introduce un diagrama básico que nos permite analizar las partes de un PLL.

En primer lugar el **comparador de fase** da a la salida una tensión proporcional al desfase de la segunda señal (con correspondiente f_2) con respecto a la primera (con su correspondiente f_1).

Luego, la misma es amplificada e introducida en el **VCO** (voltage controlled oscillator), el cual será analizado con profundidad en el punto 3 del presente trabajo práctico. Como su nombre lo indica, el VCO es un dispositivo el cual impone una señal con una frecuencia determinada a la salida que depende de la tensión aplicada a la entrada. Más precisamente si la señal a la salida del VCO tiene una frecuencia ω_s , entonces la misma está dada por la expresión:

$$\omega_s = \omega_0 + V_e(t)$$

donde ω_0 se la llama **frecuencia de carrera libre**.

En principio en la entrada del comparador de fase pueden darse 2 situaciones: $f_1 > f_2$ y $f_1 < f_2$.

- Si $f_1 > f_2$ entonces $K_D \Delta\varphi > 0$ por lo cual ω_2 aumenta y por ende f_2 también. En este caso, f_2 se acerca a f_1 .
- Si $f_1 < f_2$ entonces $K_D \Delta\varphi < 0$ por lo que análogamente f_2 disminuye y en consecuencia se acerca a f_1 .

Dadas estas situaciones, por cada vez que se realice un ciclo, el error o desfase entre las dos señales va a ser menor, es decir que va el sistema va a llegar a un equilibrio entre las dos situaciones. Hablar de señales con diferencia de fase constante es hablar de dos señales cuya frecuencia es la misma y esa es la característica más importante del PLL.

2.2. Rango de captura y de enganche

A la hora de ver cómo funciona un PLL hay dos conceptos claves: rango de enganche y de captura.

El rango de captura es aquel rango de frecuencias en el cual si la señal de entrada se encuentra fuera, la señal no se engancha. En cambio se le suele llamar rango de enganche al rango en el cual la señal a la salida del VCO permanece enganchada (habiendo pasado primero por el rango de captura).

El rango de enganche siempre es mayor que el de captura, ya que el de captura es el más restrictivo.

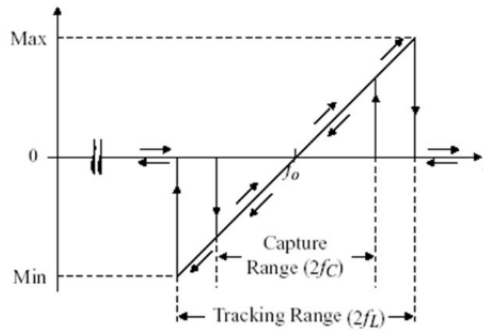


Figura 16: Rangos de enganche y de captura

En la Figura 16 se muestran distintos límites para el rango de captura y de enganche. Como es de esperarse el enganche no es permanente, siempre hay dos límites de frecuencia, f_{max} y f_{min} con las cuales se define el rango de enganche. A priori, el rango de captura puede ser tan largo como el de enganche.

Algo que se ha de notar en el gráfico es que los dos rangos están centrados respecto de una frecuencia central f_0 .

2.3. Comparador de fase

Realizar un comparador de fase de las cualidades antes descriptas no es posible, sin embargo en el integrado CD4046 se disponen de dos tipos de comparadores: Comparador de fase tipo I y tipo II. Cuán útil sea el comparador depende exclusivamente de la aplicación.

2.3.1. Comparador de fase tipo I

En este comparador se utiliza una compuerta lógica or exclusiva (también conocida como XOR) para comparar las señales de entrada.

Para ver el comportamiento de este comparador Tomaremos dos señales de misma frecuencia pero con un desfase de tiempo. Llamaremos V_1 y V_2 a las señales de entrada y V_{OUT} a la señal de salida del comparador.

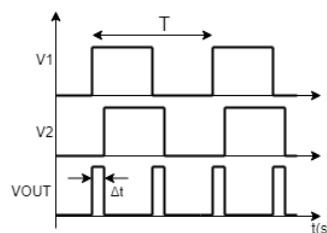


Figura 17: Diagrama temporal de V_1 , V_2 y V_{OUT}

Se puede observar en la Figura 17 varias particularidades de la señal V_{OUT} :

- Tiene el doble de frecuencia que las dos en la entrada.
- El duty cycle (D) de V_{OUT} está relacionado con el desfase temporal entre las dos señales y está dado por $D = \frac{\Delta t}{T}$.

Si las dos entradas se encuentran en fase ($\Delta\varphi = 0$), D se minimiza ya que se cumple en todo el período de V_{OUT} que $A \text{ xor } A = 0$ y en caso de que estén en contrafase ($\Delta\varphi = \pi$) se maximiza ya que de la misma forma $A \text{ xor } \bar{A} = 1$ para todo el período de V_{OUT} , cualquier otro caso se encuentra en el medio de esos dos valores.

Si realizamos un promedio mediante un filtro pasa bajos se obtiene que la tensión a la salida del filtro es $V_D = D \cdot V_{DD}$.

Una vez que se llega al máximo de D , si pensamos en las dos señales desfasadas, un desfase de π es igual a uno de $-\pi$, por lo que el efecto generado por el crecimiento del desfase da el mismo resultado que cuando $\Delta\varphi$ parte desde $-\pi$ y se dirige a 0. En otras palabras, como estamos empezando desde el punto máximo y el desfase crece, no queda otra que vaya al mínimo.

Como sabemos que existe una proporcionalidad entre $\Delta\varphi$ entonces podemos graficar la salida V_D en función de $\Delta\varphi$:

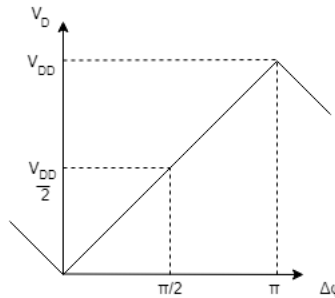


Figura 18: V_D en función de $\Delta\varphi$

Para maximizar el rango de enganche (lock range), las señales de entrada al comparador deben tener un 50 % de duty cycle. Sin señal ni ruido en la entrada, el promedio a la salida será de $\frac{V_{DD}}{2}$. El filtro pasa bajos brindará la tensión promedio que se introducirá al VCO y es la que causará que la salida del mismo oscile en la frecuencia central f_0 .

Con el **comparador de fase tipo I**, el rango sobre el cual las frecuencias con el que el PLL puede llegar a realizar el lock, también conocido como **rango de captura**, es **dependiente de las características del filtro pasa bajos y puede ser tan grande como el rango de enganche (pero nunca mayor)**.

Características del comparador tipo I:

- Puede engancharse a frecuencias que estén cerca de la frecuencia central del VCO.
- Permite que el sistema quede enganchado a pesar de grandes cantidades de ruido en la señal de entrada.
- El ángulo entre la señal y la entrada del comparador varía entre 0 y 180 grados. En los 90 grados se encuentra la frecuencia central.

Por último se calculará la sensibilidad del comparador de fase tipo I:

$$K_0 = \frac{\partial V_D}{\partial \theta} = \frac{V_{DD}}{\pi}$$

2.3.2. Comparador de fase Tipo II

Este comparador esta basado en en flip-flops controlados por los flancos de la señal de entrada, y la señal a comparar. La idea fundamental es colocar la salida de lógica digital en distintos estados según distintas características de la comparación de las señales de entrada.

En particular, si la frecuencia de la señal de entrada es mayor a la comparada, la salida es un 1 permanente, en cambio si la frecuencia de la señal de entrada es menor, la salida es un 0 permanente. De esta forma, dicho comparador puede detectar cuando es necesaria una corrección de frecuencias con ambas señales.

Cuando, en cambio, las frecuencias de ambas señales coincidan pero sus fases no, la salida tendrá estará en 1 con cierto tiempo activo, o con 0 con otro cierto tiempo activo, según si la fase de señal de entrada está adelantada en fase con respecto a la de comparación o la de comparación a la de entrada respectivamente. Cuando ambas fases coincidan la salida quedará en circuito abierto, indicando que la sincronización en fase y frecuencia ha sido lograda.

Utilizando un comparador de fase tipo II el rango de captura es igual al de enganche debido a que se consigue una mayor capacidad para enganchar señales de frecuencias distintas.

Una característica fundamental de este comparador es que el rango de enganche es igual al de captura.

2.4. PLL en condición de amarre

Un PLL se puede modelizar en condición de amarre como:

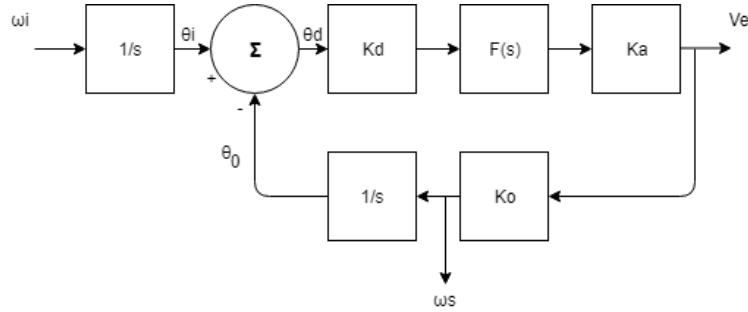


Figura 19: Diagrama en bloques de un PLL

A continuación realizaremos una breve justificación del porqué de cada bloque.

En primer lugar el detector de fase desarrolla el cambio de tensión

$$V_d(s) = K_d \cdot \theta_d(s)$$

$$\theta_d(s) = \theta_i(s) - \theta_0(s)$$

Donde K_d es la sensibilidad del detector de fase ($\frac{V}{rad}$).

Luego sigue el filtro de lazo el cual notamos con $\mathbf{F(s)}$ cuya salida se verá amplificada según sea necesario por una ganancia K_a .

En este contexto necesitamos convertir la frecuencia de la señal a una fase, por lo que se tiene en cuenta que $\omega = \frac{d\theta(t)}{dt}$. Por lo tanto:

$$\theta(t) = \theta(0) + \int_0^t \omega(\tau) d\tau$$

Y podemos modelar la integral en la última ecuación con un $\frac{1}{s}$.

También notamos que al verse producida una variación en la tensión de error (V_e):

$$\omega_s = \omega_0 + K_0 V_e(t)$$

$$\Delta\omega_s(s) = K_0 \Delta V_e(s)$$

Si se tiene en cuenta $K_v = K_d \cdot K_a \cdot K_0$ y $T(s)$ como ganancia de lazo abierto (que a su vez es la del lazo) entonces

$$H(s) = \frac{\theta_0(s)}{\theta_i(s)} = \frac{T(s)}{1 + T(s)} = \frac{K_v \cdot F(s)}{s + K_v \cdot F(s)}$$

En base a esta función transferencia se pueden encontrar otras de gran utilidad por ejemplo con

$$\theta_i(s) = \frac{\omega_i(s)}{s}$$

$$\theta_0 = \frac{K_0}{s} \cdot V_e(s)$$

Se obtiene que

$$\frac{V_e(s)}{\omega_i(s)} = \frac{1}{K_0} \cdot H(s)$$

Lo cual permite ver como cambia la tensión error respecto de un cambio en frecuencia, **resultado útil para la demodulación FM Y FSK.**

Se observa que el PLL es un sistema de retroalimentación negativa en el cual a medida que $T(s) \rightarrow \infty$, θ_0 sigue (trackea) a θ_i .

Como es de esperarse, $T(s)$ determina la estabilidad del sistema.

Es importante recalcar que a pesar de que el enfoque del PLL está en la frecuencia, **la entrada natural del PLL es la fase.**

En este punto se observan las siguientes características:

- $T(s)$ está fuertemente influenciada por $F(s)$
- El número de polos de $H(s)$ define el **orden del lazo**
- La cantidad de bloques de integración ($\frac{1}{s}$) dentro del lazo determina el **tipo de lazo**

En virtud de la función $\frac{1}{s}$ asociada con el VCO, un PLL es **al menos del tipo I** y su orden es igual al del filtro más 1.

2.5. Tipos de lazo

2.5.1. Lazo de primer orden

Consideraremos el caso en el que no hay filtro en el lazo, es decir $F(s) = 1$. En este caso, se trata de un lazo de primer orden con lo cual

$$T(j\omega) = \frac{1}{\frac{j\omega}{K_v}}$$

Y frente a un cambio en la tensión de error

$$\frac{V_e(j\omega)}{\omega_i(j\omega)} = \frac{\frac{1}{K_0}}{1 + \frac{j\omega}{K_v}}$$

Si $\omega_i(t)$ cambia producirá un cambio en $V_e(t)$ de forma exponencial con $\tau = \frac{1}{K_v}$

La ausencia del filtro limita la supresión de ruido en el PLL.

2.5.2. Lazo de segundo orden

La mayoría de los PLL utilizan un filtro pasabajos con un polo y por eso son considerados de segundo orden. Estos filtros permiten que el VCO suavice el ruido y los saltos de frecuencia en la entrada. La presencia de un segundo polo eleva el margen de fase, por lo que se debe tener especial cuidado para evitar la inestabilidad del sistema. Una alternativa para solucionar este problema sería colocar un cero en el filtro de forma tal que la fase casi no se vea afectada por el polo.

En este caso

$$F(s) = \frac{1 + \frac{s}{\omega_Z}}{1 + \frac{s}{\omega_P}}$$

Donde $\omega_Z = \frac{1}{R_2 C}$ y $\omega_P = \frac{1}{(R_1 + R_2)C}$

Por lo que

$$T(j\omega) = \frac{1 + j\frac{\omega}{\omega_Z}}{(\frac{j\omega}{K_v})(1 + \frac{j\omega}{\omega_P})}$$

Por lo cual es un lazo de segundo orden y de tipo I.

2.6. Respuestas transitorias: recomendaciones para diseño.

2.6.1. Filtro Pasa Bajos

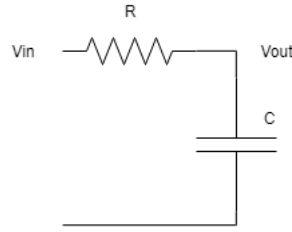


Figura 20: Filtro RC

Si se tiene que $F(s) = \frac{1}{1+RC \cdot s}$ entonces:

$$\frac{V_e(s)}{\Omega_i(s)} = \frac{1}{K_0} \left(\frac{1}{1 + 2\xi \frac{s}{\omega_n} + \left(\frac{s}{\omega_n}\right)^2} \right)$$

$$\omega_n = \sqrt{\omega_{RC} \cdot K_v}$$

$$\xi = \frac{1}{2} \sqrt{\frac{\omega_{RC}}{K_v}}$$

En general se quiere que el transitorio dure lo menos posible, por eso en general es recomendable proponer $\xi = \frac{1}{\sqrt{2}}$ para una respuesta máximamente plana.

Con lo cual:

$$\omega_{RC} = 2 \cdot K_v$$

$$\omega_{PLL} \approx \omega_n = \sqrt{2} \cdot K_v = \omega_0$$

2.6.2. Filtro con polo y cero

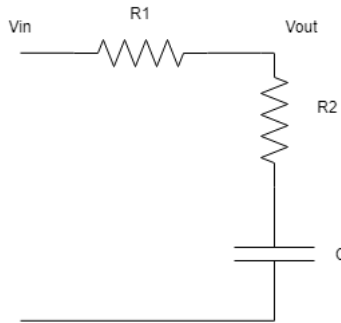


Figura 21: Filtro RRC

Se tiene $F(s) = \frac{1+R_2Cs}{1+(R_1+R_2)Cs} = \frac{1+\frac{s}{\omega_2}}{1+\frac{s}{\omega_1}}$

Notar que para alta y para baja frecuencia $F(s) = 1$.

$$\frac{V_e(s)}{\Omega_i(s)} = \frac{1}{K_0} \left(\frac{1 + \frac{s}{\omega_2}}{1 + \left(\frac{1}{K_v} + \frac{1}{\omega_2}\right)s + \frac{s^2}{\omega_1 K_v}} \right)$$

$$\omega_{PLL} \approx \omega_n = \sqrt{\omega_1 K_v}$$

$$\xi = \frac{1}{2}\omega_n \left(\frac{1}{K_v} + \frac{1}{\omega_2} \right)$$

Si pedimos la misma condición que antes nos queda:

$$(R_1 + R_2)C = \frac{K_v}{\omega_{PLL}^2}$$

$$R_2 C = \frac{\sqrt{2}}{\omega_{PLL}} - \frac{1}{K_v}$$

Ante un escalón de frecuencia de ω_1 a ω_2 , la frecuencia del VCO tendrá una evolución transitoria dada por :

$$\omega_{VCO}(t) = \omega_2 + \frac{\omega_1 - \omega_2}{\sqrt{1 - \xi^2}} e^{-\xi \omega_n t} \cos(\sqrt{1 - \xi^2} \omega_n t - \eta)$$

Donde $\eta = \arcsen(\xi)$.

2.7. Modulación y demodulación FM

En general cuando se habla de modulación se refiere a algún un modo de transportar la información. Más precisamente se codifica la información mediante la utilización de una onda portadora. Esta técnica se basa en mantener la amplitud de la señal portadora constante y variar su frecuencia para que de esa forma se pueda asociar una gran frecuencia de la señal codificada con una gran amplitud de la onda original, por ejemplo. En ese sentido, se puede decir que la modulación AM y FM son duales, ya que AM se trata de fijar frecuencia y variar amplitud.

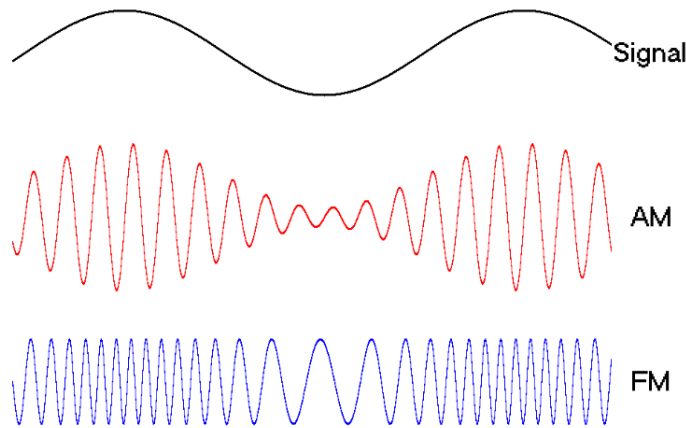


Figura 22: Contraste de modulación AM y FM con respecto a la misma señal

Algunas características de la modulación FM:

- Necesitan una potencia de modulación mucho menor que las de amplitudes
- Las señales moduladas en frecuencia son mucho menos afectadas por ruidos (del tipo de variaciones en amplitud) y señales externas.
- Buena calidad de sonido

2.7.1. Demodulador FM

Se llama demodulación de FM al proceso de recuperación de información brindada por la onda moduladora a partir de la frecuencia modulada (que viene con la portadora).

Para poder recuperar la señal se necesita de un circuito cuya salida varíe linealmente con la frecuencia de la señal de entrada.

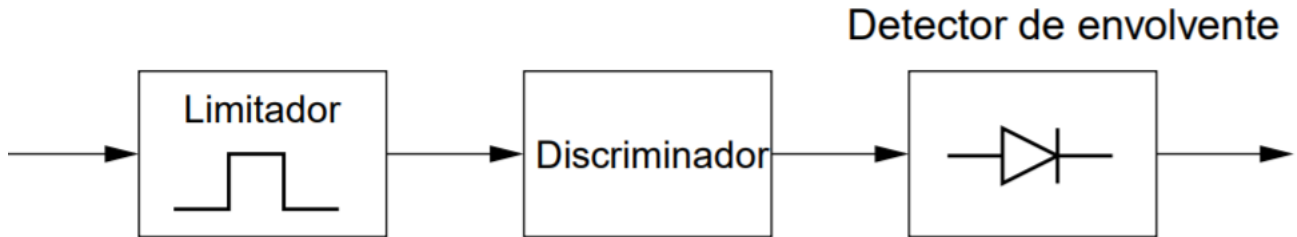


Figura 23: Diagrama de bloques de un demodulador de FM

El circuito descrito en la Figura 23 consiste en 3 partes:

Limitador:

- Como la información no está en la amplitud, las variaciones de amplitud son ruido y son eliminadas por el limitador.
- Un limitador recorta la señal cuando se supera el margen dinámico (por ejemplo con un transistor)

Discriminador:

- Convierte las variaciones de frecuencia en variaciones de amplitud
- La conversión debe ser lineal para que no haya distorsión de amplitud
- La salida del discriminador suele ser una señal de AM con un determinado índice de modulación.
- La información a la salida se encuentra en la envoltente de la señal

A este punto uno podría decir que realizar esta tarea para todos los rangos de frecuencia es imposible. Es por eso que los discriminadores tienen definido un rango de operación tal que no haya distorsión.

2.7.2. Demodulador FM con PLL

El comparador de fase tipo I es necesario para esta aplicación que el PLL posea una frecuencia central igual a la portadora.

La ventaja más grande que tiene el demodulador FM del PLL es el alto grado de linealidad, la cual es dominada por el VCO. Como la desviación de la frecuencia de la FM entrante cubre una pequeña porción del ancho de banda del PLL, la conversión es en general bastante lineal.

Se puede demostrar matemáticamente que la variación de tensión del PLL es proporcional a la modulación, por eso es que es tan utilizado, además de que los niveles de distorsión de los PLL suelen ser muy bajos.

El diseño del PLL como demodulador debe ser tal que tenga un rango suficientemente amplio como para seguir las variaciones de frecuencia sin desengancharse de la FM en la entrada.

Se introdujo una señal fm con 70KHz en la portadora (senoidal) y 5KHz de desviación. Además, la modulante era también una senoidal de 100Hz.

En la Figura 24 las señales en color violeta son las señales modulantes y las otras son las demoduladas.

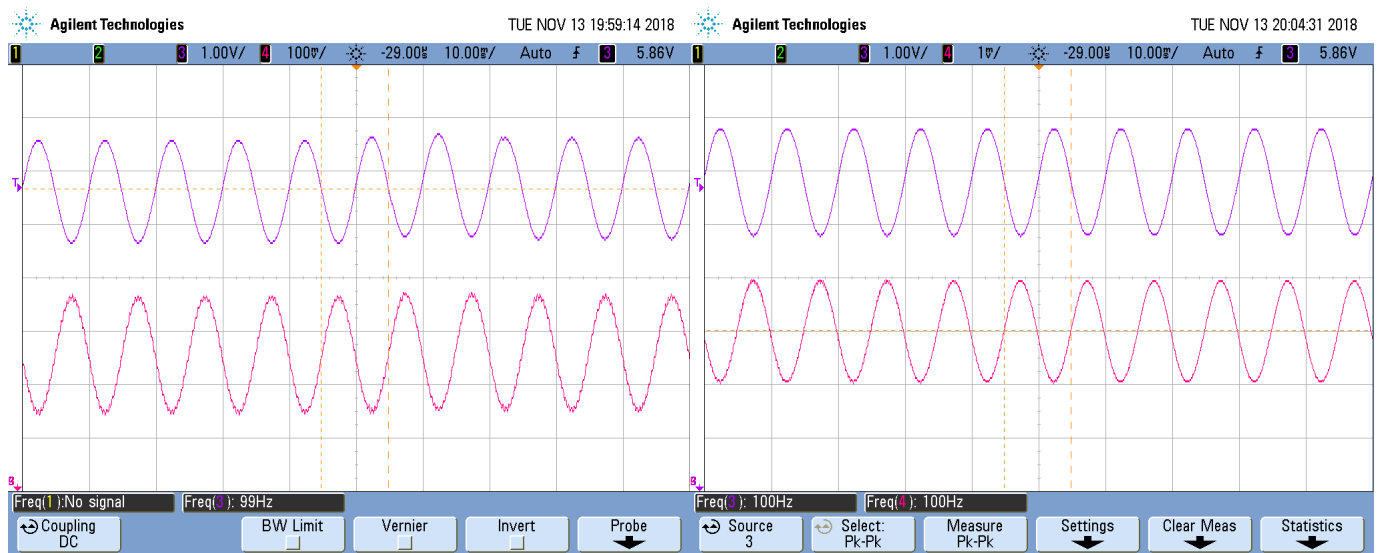


Figura 24: Señales demoduladas con comparador tipo 1 junto con filtro RC y RRC respectivamente

Se puede ver que en el RRC si bien no se llegan a apreciar del todo, hubo diferencias, esto probablemente sea porque en el filtro RRC la fase introducida por el filtro es mucho menor, luego la adaptación de fase del PLL es mucho más rápida y más fiable.

2.8. Multiplicador de frecuencia

Para poder hacer un multiplicador de frecuencia con el esquema del PLL se colocó un contador de 4 bits a la salida del VCO. El módulo del contador determina por cuánto se divide la frecuencia entrante del contador. Debido a que la funcionalidad del PLL es la misma entonces volvemos a analizar el caso de cuando f_2 se acercaba a f_1 , asumiendo que $f_2 \approx f_1$ en la entrada del contador debe encontrarse una frecuencia $N \cdot f_1$ (siendo n el módulo del contador) ya que cuando retorna la frecuencia debe ser f_1 .

Se realizó la medición del multiplicador de frecuencia con el comparador del tipo 2 del CD4046 debido a que el rango de enganche es igual al de captura y hacía que efectuar la medición sea más sencillo.

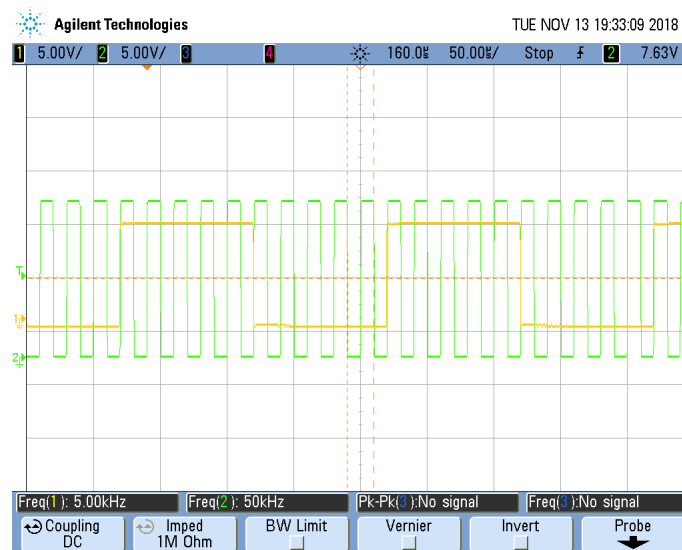


Figura 25: Implementación del multiplicador con contador módulo 10

2.9. Medición del factor de calidad a partir del overshoot y respuesta transitoria RC (Comp. Tipo I)

Se realizaron mediciones de la respuesta transitoria para el comparador de fase tipo I y el filtro RC, cuando hay una variación en frecuencia a partir de 71KHz a 76KHz, que es donde permanece enganchado.

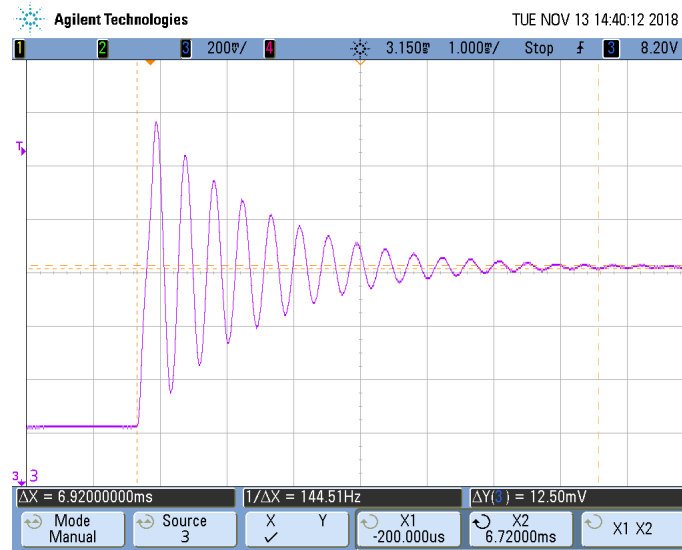


Figura 26: Respuesta transitoria

Se determino que el el valor final era 0,6V lo cual nos da un 2 % de 12mV. Con ese valor final dado se midió el tiempo de establecimiento para un 2 %, lo cual da 6.92ms.

Dado que $V_{max} - V_{min} = 960mV$, podemos encontrar el Q del circuito a partir de la medición del sobrepico (overshoot).

Overshoot porcentual: OS %

$$OS \% = \frac{y_{max} - y_{final}}{y_{final}} \cdot 100 = \frac{(580mV/2)}{0,6V} \cdot 100 = 48,33 \%$$

$$\xi = -\frac{\ln(OS\%/100)}{\sqrt{\pi^2 + \ln^2(OS\%/100)}} = 0,2254$$

$$Q = 2,2176$$

Como conclusión de esta etapa, puede llegara darse el caso en el que si se quieren hacer cambios de fase muy rápido, el sistema no llegue a estabilizarse. Por eso lo más recomendable sería a la hora del diseño con PLL hacer más selectivo el rango de captura.

2.10. Medición de la respuesta transitoria RRC (Comp. Tipo I)

Se midió la respuesta transitoria con un circuito RRC con $R_1 = R_2 = 100K\Omega$, $C = 10nF$ y un salto en frecuencia de 70KHz a 77KHz.

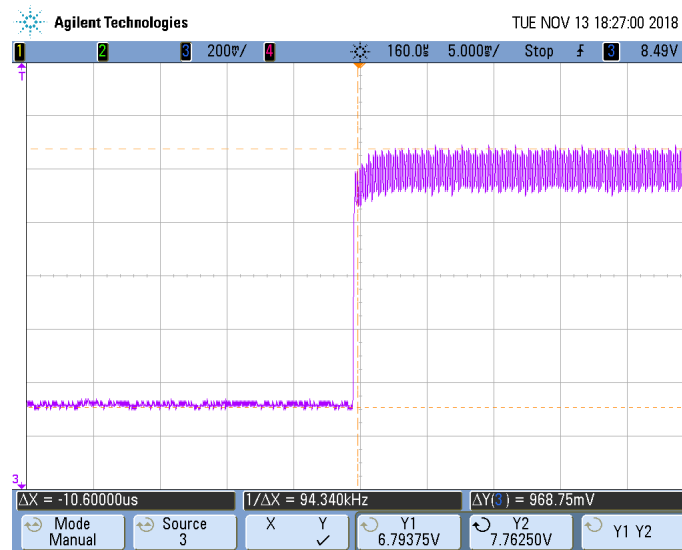


Figura 27: Respuesta transitoria del circuito RRC

En la Figura 27 notamos que la respuesta transitoria se trata de un escalón cuya transformada de laplace es $\frac{1}{s}$. Esto probablemente tenga que ver con el hecho de que el polo y el cero de la función transferencia del filtro quedaron muy cerca, teniendo un efecto casi nulo por sobre la respuesta transitoria. Es más, si se calcula $f_z \approx 159Hz$ y $f_P \approx 79,57Hz$ por lo que nuestras afirmaciones tienen sentido. El filtro que queda es el $\frac{1}{s}$ asociado con el VCO.

2.11. Medición del rango de enganche y de captura

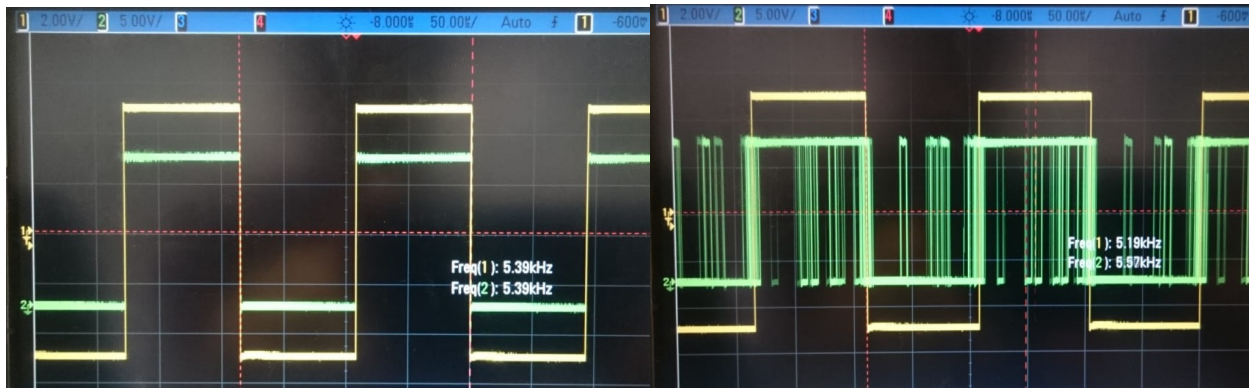


Figura 28: Mediciones variando levemente la frecuencia mínima cuando el PLL se desengancha

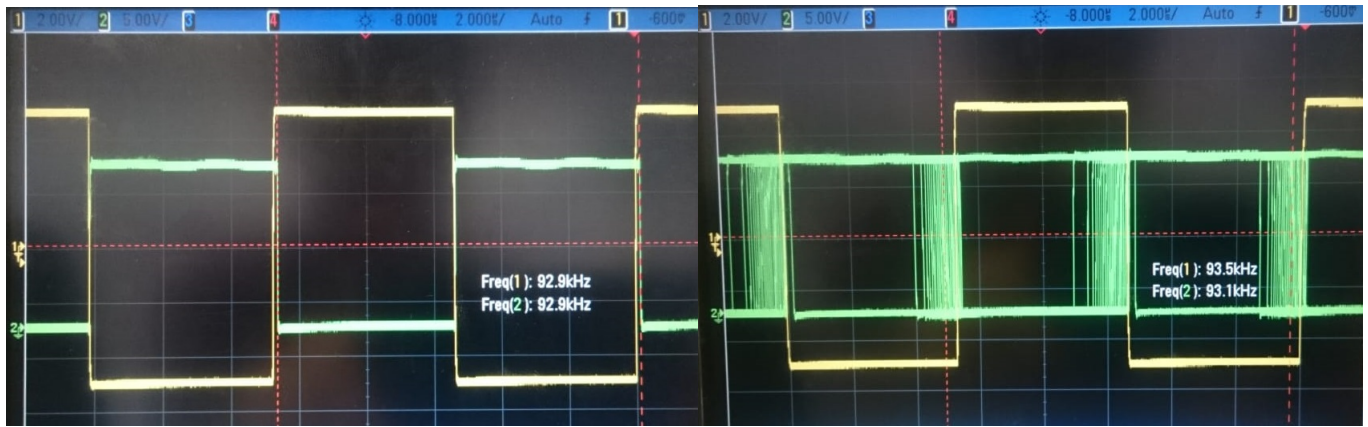


Figura 29: Mediciones variando levemente la frecuencia máxima cuando el PLL se desengancha

Para el rango de captura se utilizó un $R = 100K\Omega$ y $C = 10nF$.

En virtud de

$$2f_C = \frac{1}{\pi} \sqrt{\frac{2\pi}{\tau_1}} f_L$$

Donde $\tau_1 = R \cdot C$

$$f_L = \frac{(93,5 - 91,9)KHz}{2} = 44,155KHz$$

Por lo que

$$f_C = 2651Hz$$

En la realidad se pudo observar que f_C se hacía mayor, por lo menos de 3KHz. Esto puede ser debido a la dispersión del capacitor C, se puede ver intuitivamente que cualquier cambio sobre C afecta drásticamente a f_C debido a que C es un número mucho menor que 0 y tiene una raíz cuadrada, lo cual hace crecer más rápido f_C mientras más chico sea C.

Sin embargo, la frecuencia de captura puede ser vista aproximadamente en la respuesta en frecuencia del sistema:



Figura 30: Respuesta en frecuencia del filtro RC con el comparador tipo I

Las mediciones se realizaron con un barrido en FM variando la frecuencia de la modulante con una portadora de 70KHz.

No se midió más allá de 3.5KHz más que nada por una cuestión de que el PLL se desenganchaba a frecuencias mayores que esas. Sin embargo, se puede ver un claro patrón de que a partir de un cierto punto empieza a atenuar abruptamente.

2.12. Conclusiones

El circuito del PLL es muy barato y escalable y es por eso que hoy en día se sigue utilizando. Las aplicaciones más comunes por ejemplo son de sintetizador de frecuencia de una FPGA, demodulación de FM, osciladores muy estables y sincronización de fase y frecuencia con una señal de video, entre otros. El ejemplo más común es el de un Clock de una PC cuyo oscilador alcanzaba originalmente solamente los 3MHz, con un PLL se puede llegar al orden de los GHz.

3. Diseño de VCO

El VCO es circuito oscilador controlado por tensión, que genera una señal triangular cuya frecuencia dependerá linealmente de la tensión continua colocada a la entrada. El rango de frecuencias de funcionamiento (para un intervalo de tensiones de entrada) y la amplitud de la señal son definidos por los componentes del circuito.

Para generar la señal senoidal buscada, se debe combinar dicho circuito con otros bloques, como se mostrará a continuación, cumpliendo cada uno una función en específico.

3.1. Diseño del circuito

El circuito completo es representado en el siguiente diagrama en bloques, donde la función y diseño de cada parte es desarrollada en su sección correspondiente.

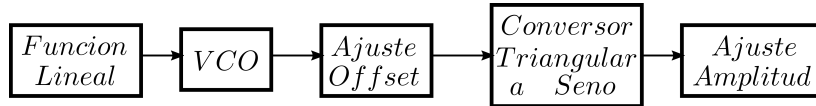


Figura 31: Diagrama en bloques - Generador de señal senoidal

3.1.1. Circuito VCO

Para el diseño del VCO, se implementó el circuito mostrado en la figura.

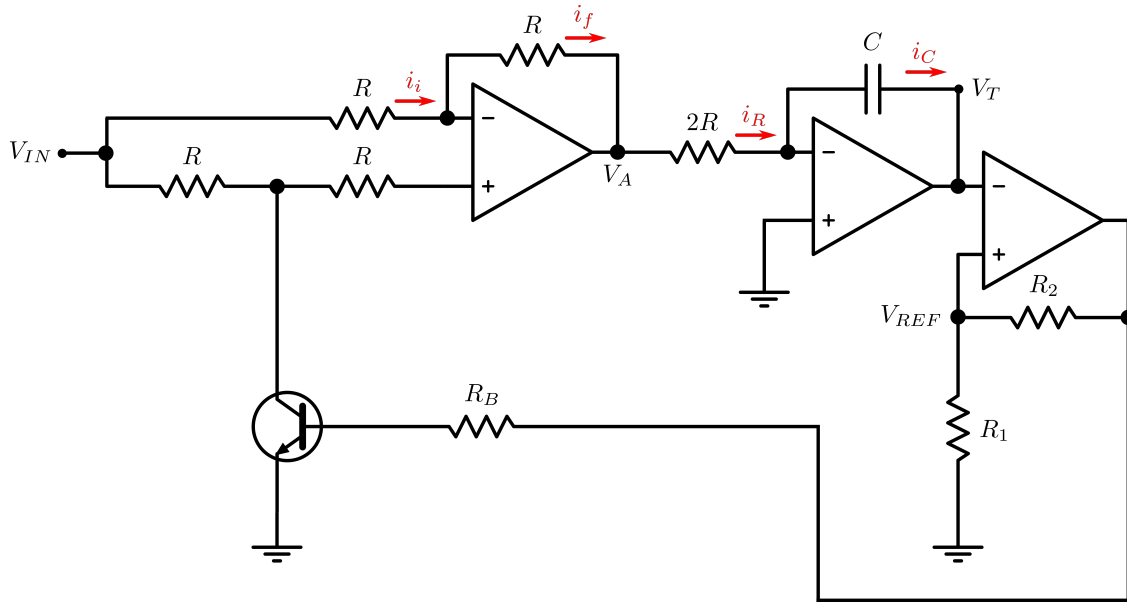


Figura 32: Circuito VCO

De dicho circuito, se pueden identificar tres partes bien diferenciadas: amplificador inversor, un circuito integrador y un comparador schmitt trigger inversor.

Para el amplificador operacional utilizado, la tensión de salida máxima en saturación es $V_{CC} - 1,5V = 10,5V$. Para el análisis del schmitt trigger, dado que está realimentado positivamente, suponemos el signo de la tensión inicial de salida en saturación V_{SAT} , por ejemplo $+10,5V$, de manera que V_{REF} es positiva. En esa condición, cuando la tensión $V_T > V_{REF}$, el operacional transiciona hacia $-10,5V$, de forma tal que ahora V_{REF} es negativa. En esa condición, cuando se cumpla que $V_T < V_{REF}$, el operacional transiciona hacia $+10,5V$. De esta forma queda definida una ventana de comparación, entre $-V_{REF}$ y $+V_{REF}$. Considerando al operacional como ideal, dichas tensiones se calculan mediante el divisor resistivo:

$$\pm V_{REF} = \pm V_{SAT} \frac{R_1}{R_1 + R_2}$$

El transistor bipolar funciona como un interruptor. Cuando la salida del comparador es $-V_{SAT}$, el transistor no se polariza y queda en corte (impidiendo que pase corriente). Cuando la salida es $+V_{SAT}$, el transistor trabajará en saturación (permitiendo el paso de corriente, con una pequeña caída de tensión entre colector y emisor).

Suponiendo al capacitor inicialmente descargado, y la salida del comparador en $-V_{SAT}$, el transistor estará en corte, de manera tal que en el primer operacional, en la entrada no inversora se tendrá V_{IN} y, al estar realimentado negativamente se considera $V^+ = V^-$, por lo que en la entrada inversora también se tiene V_{IN} . Sabiendo que idealmente no circula corriente por las entradas del operacional, se tiene:

$$i_i = i_f \Rightarrow \frac{V_{IN} - V_{IN}}{R} = \frac{V_{IN} - V_A}{R} \Rightarrow 0 = \frac{V_{IN} - V_A}{R} \Rightarrow V_{IN} = V_A$$

En el circuito integrador, siendo negativa también la realimentación, se considera $V^+ = V^-$, por lo que en la entrada inversora se tiene una masa virtual (dado que $V^+ = 0V$). De igual forma que antes:

$$i_R = i_C \Rightarrow \frac{V_A}{2R} = i_C = C \cdot \frac{dV_C}{dt} = \text{Constante}$$

Por lo que la tensión $V_C = -V_T$ sobre el capacitor resulta lineal. Siguiendo las condiciones iniciales planteadas, la tensión V_T comenzará a hacerse negativa, hasta que $V_T < V_{REF}$, donde el comparador transicionará hacia $+V_{SAT}$, de manera que ahora el transistor trabajará en saturación. Considerando $V_{CE} \approx 0V$, en la entrada no inversora del primer operacional la tensión será de $0V$, por lo que la entrada inversora estará ahora como masa virtual. Planteando las corrientes al igual que antes:

$$i_i = i_f \Rightarrow \frac{V_{IN}}{R} = -\frac{V_A}{R} \Rightarrow -V_{IN} = V_A$$

En el circuito integrador, ahora las corrientes quedan en sentido opuesto a la situación anterior, por lo que $V_C = V_T$, de manera que V_T aumentará hasta hacerse positiva, y cuando se cumpla que $V_T > V_{REF}$ el comparador transicionará hacia $-V_{SAT}$, produciendo que el transistor entre en corte, repitiéndose el ciclo nuevamente.

En régimen permanente, la tensión sobre el capacitor transiciona linealmente entre $+V_{REF}$ y $-V_{REF}$ para la carga y descarga, llamando a esta diferencia de tensiones V_{Tpp} . De las ecuaciones anteriores se tenía que:

$$\frac{V_A}{2R} = C \cdot \frac{dV_C}{dt} \Rightarrow \frac{V_{IN}}{2R} = C \cdot \frac{V_{Tpp}}{t_x}$$

Donde $t_x = t_c = t_d$, siendo t_c el tiempo de carga (cuando V_T va desde $-V_{REF}$ hasta $+V_{REF}$) y t_d el tiempo de descarga (cuando V_T va desde $+V_{REF}$ hasta $-V_{REF}$). Ambos son iguales dado que la corriente en ambos casos es la misma (porque la resistencia es la misma). Despejando t_x :

$$t_x = \frac{V_{Tpp} \cdot 2RC}{V_{IN}}$$

Dado que el período $T = t_c + t_d = 2 \cdot t_x$, se tiene que:

$$T = \frac{V_{Tpp} \cdot 4RC}{V_{IN}} \Rightarrow f = V_{IN} \frac{1}{4RC \cdot V_{Tpp}} \Rightarrow f = V_{IN} \cdot K$$

Siendo R y C constantes, y V_{Tpp} también constante dado que V_{REF} es constante, la frecuencia resulta una constante K multiplicada por la tensión de entrada V_{IN} (es decir, proporcional).

Para el diseño, se inicia por definir la tensión V_{Tpp} , donde considerando como alimentación $\pm 12V$, por conveniencia para obtener luego valores enteros se define en $10V_{pp}$, por lo que $|V_{REF}| = 5V$. Con este dato, se calculan R_1 y R_2 del schmitt trigger:

$$V_{REF} = V_{SAT} \frac{R_1}{R_1 + R_2} \Rightarrow \frac{10}{21} = \frac{R_1}{R_1 + R_2} \Rightarrow R_2 \frac{10}{11} = R_1$$

Eligiendo un valor intermedio comercial $R_2 = 1K\Omega$, calculando resulta $R_1 = 1K\Omega$.

Se toma un valor para el capacitor de $C = 10nF$, de manera de poder utilizar uno multicapa dado que tienen mejor respuesta en frecuencia que los electrolíticos, y a su vez no es demasiado pequeño (del orden de los $100pF$). Sabiendo que V_{IN} no es superior a los $12V$ de alimentación, se elige el valor de R de manera tal que en el rango de valores que puede tomar V_{IN} se pueda obtener el rango de frecuencias buscado. Por ello, tomando $R = 1K\Omega$, se tiene que:

$$f = V_{IN} \frac{1}{4RC \cdot V_{Tpp}} \Rightarrow f = V_{IN} \cdot 2500$$

De manera tal que, para $V_{IN} = 0,4V$, resulta $f = 1KHz$, y para $V_{IN} = 4V$, resulta $f = 10KHz$.

Se utiliza el transistor $BC548$, que resulta útil para usos comunes donde se lo requiere en modo corte y saturación (por ejemplo, para encender un LED), y no se necesitan requerimientos particulares de potencia. Para la resistencia R_B del transistor, se considera en saturación una $V_{CE_{SAT}} = 0,2V$, donde la corriente máxima de colector se obtiene recorriendo la malla de salida:

$$V_{IN} - I_C R - V_{CE_{SAT}} = 0 \Rightarrow I_C = \frac{V_{IN} - V_{CE_{SAT}}}{R} = 3,8mA$$

Se toma el peor caso con $HFE_{MIN} = 110$ (de la hoja de datos), por lo que la corriente de base mínima es $I_B = \frac{I_C}{HFE_{MIN}} = 34,54\mu A$. Recorriendo la malla de entrada, se despeja R_B (que va a ser la máxima dado que la I_B es la mínima):

$$V_{SAT} - I_B R_B - V_{BE_{ON}} = 0 \Rightarrow R_B = \frac{V_{SAT} - V_{BE_{ON}}}{I_B} = 283K\Omega$$

Al ser máximo, se normaliza dicho valor hacia abajo, para asegurar que sature, tomando entonces $R_B = 100K\Omega$.

Dado que el rango de tensiones de entrada necesarios es diferente al buscado, es necesario anteponer una etapa que aplique una función lineal al rango de tensiones de entrada, para obtener el rango donde trabaja el VCO, que se detalla en la sección siguiente.

3.1.2. Adaptación de señal de entrada

Para adaptar la señal de entrada que se utilizará, se tiene en cuenta como debe resultar el rango convertido:

V_{IN}	$V_{IN_{VCO}}$
0V	0,4V
5V	4V

Figura 33: Rango de conversión

Trabajando con una función lineal (ver en *Anexo*), se obtiene que:

$$V_{IN_{VCO}} = 0,72 \cdot V_{IN} + 0,4V$$

Donde los coeficientes numéricos son exactos. Dicha función se implementa con el siguiente circuito:

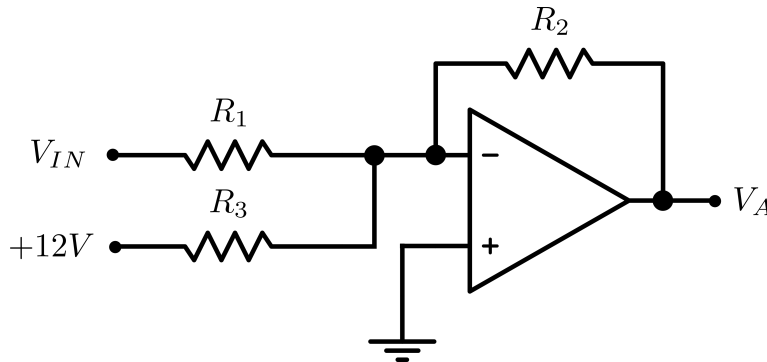


Figura 34: Circuito de adaptación

Para el primer amplificador inversor se tiene que, por superposición (ver en *Anexo*):

$$V_A = -V_{IN} \frac{R_2}{R_1} - 12V \frac{R_2}{R_3}$$

Sin tener en cuenta de momento los signos, igualando a la función obtenida anteriormente se tiene:

$$0,72 = \frac{18}{25} = \frac{R_2}{R_1}$$

Por lo que se toma $R_2 = 1,8K\Omega$, y R_1 se implementa con dos resistencias en serie de $1K\Omega$ y $1,5K\Omega$ respectivamente.

Por el otro lado:

$$0,4V = 12V \cdot \frac{R_2}{R_3} \Rightarrow R_3 = \frac{12V \cdot R_2}{0,4V} = 54K\Omega$$

Se implementa R_3 con una resistencia de $47K\Omega$ en serie con un preset de $10K\Omega$, de manera tal de poder realizar un ajuste sobre la función resultante en la práctica.

Dado que la función que surge del primer amplificador tiene los signos opuestos, se corrige con el segundo amplificador inversor configurándolo con ganancia unitaria, de forma tal que:

$$VIN_{VCO} = -V_A \frac{R_5}{R_4} \Rightarrow R_4 = R_5$$

Ya que se tiene libertad de elección, se toman $R_4 = R_5 = 1K\Omega$, para tener menos diversidad de valores (ya que en el VCO se utilizaron varias resistencias de $1K\Omega$).

3.1.3. Ajuste de offset

Luego de simular los dos bloques anteriores, se obtuvo correctamente la señal triangular en el intervalo de frecuencias buscado. Al armar el conjunto en la práctica, se encontró que la señal poseía un desfase y no se encontraba centrada en el origen. Para corregir esto, se implementa un amplificador sumador no inversor, como se muestra en la figura.

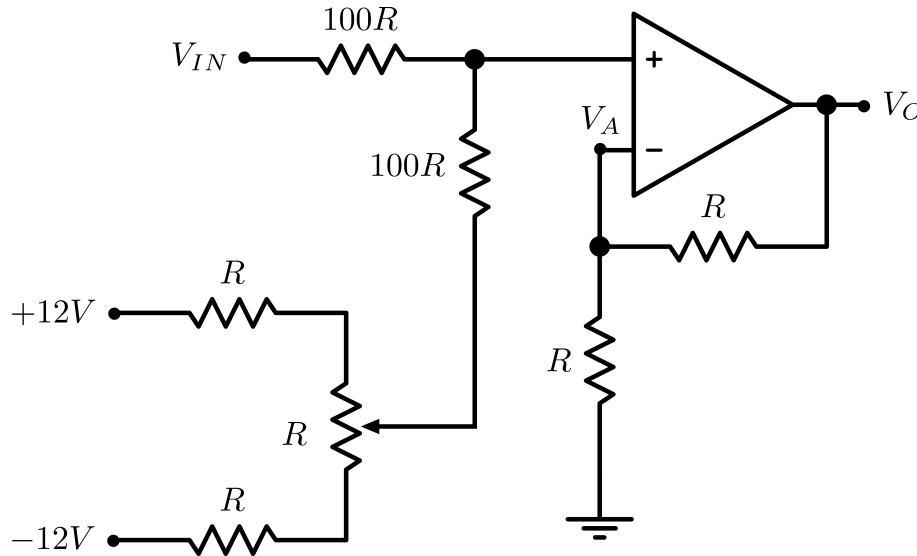


Figura 35: Circuito de ajuste de offset

Las proporciones indicadas se utilizan para que la carga resistiva agregada por el conjunto del preset más las dos resistencias R conectadas a $\pm 12V$ no afecten significativamente al cálculo de la tensión resultante V_A (ver resolución en *Anejo*). Por lo que por superposición, se tiene:

$$V_A \approx V_T \pm 4V$$

Permitiendo entonces realizar un corrimiento máximo de $4V$ hacia arriba o hacia abajo. Dado que con dicha implementación se consigue una cierta libertad de elección, se toma $R = 1K\Omega$, al igual que en el caso de la adaptación de la señal de entrada, para tener una menor diversidad de valores.

3.1.4. Conversor de triangular a senoidal

Posteriormente al ajuste de offset, se inyecta la señal triangular resultante en un amplificador diferencial para señales débiles implementado en forma discreta, como se indica a continuación.

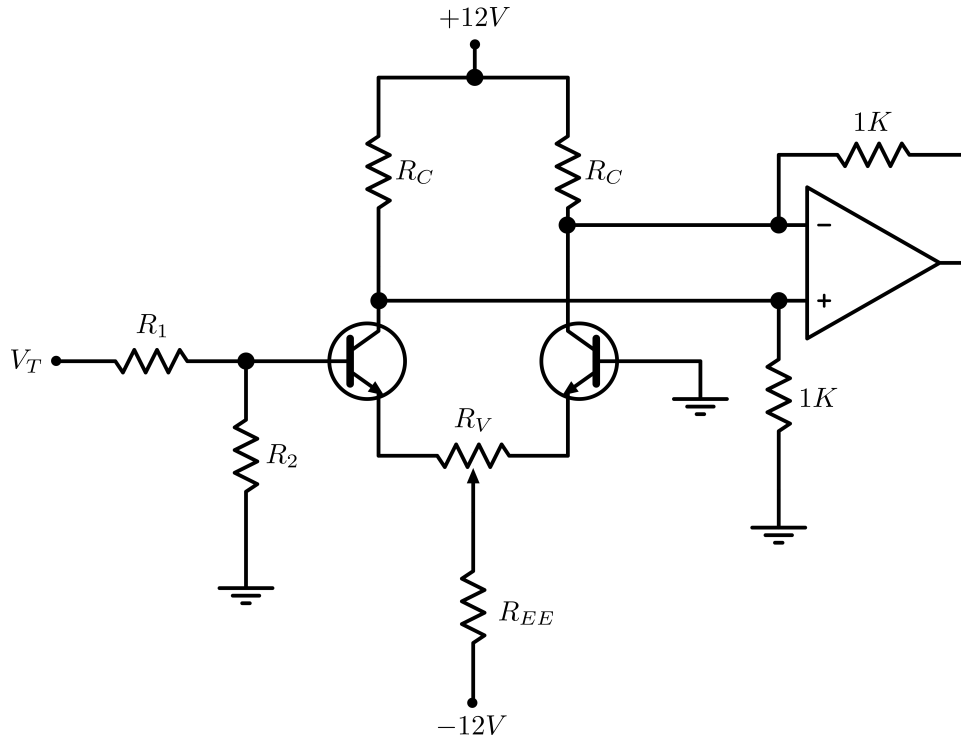


Figura 36: Amplificador diferencial

En el circuito, los transistores operan en modo activo directo. Al ser de señales débiles, el comportamiento se mantiene lineal mientras la señal de entrada no supere el orden de los $\approx 100mV$ de amplitud. Para amplitudes mayores, el punto de polarización en alterna se introduce en la zona no lineal de los transistores (saturación), lo que producirá la distorsión en la señal triangular dando lugar a la forma senoidal buscada. Para ello, la señal triangular obtenida de la salida de ajuste de offset se conecta a una de las bases de los transistores, y la otra base se conecta a la referencia *GND*. En el *Anexo* se incluye el cálculo de la polarización para que los transistores trabajen en la región activa, del cual surge que:

$$R_{EE} = 5,6K\Omega \quad R_C = 1K\Omega$$

Donde el preset R_V es para compensar el circuito real, dado que los transistores no son exactamente idénticos. Estando correctamente polarizados, se buscará ajustar la señal de entrada V_T para que se produzca la curvatura deseada, eliminando los picos de la señal triangular. Se conectan luego los dos colectores de los transistores a las entradas del operacional de salida, para convertir la señal diferencial en una única referida a *GND*. Tanto la señal triangular como la senoidal resultante comparten un punto en común, que es el cruce por el valor medio (que en este caso se ajusta a 0 con el bloque anterior), lo cual puede verificarse con el desarrollo en serie de Taylor alrededor del cero de la función seno, donde se cumple que:

$$\text{sen}(x) = x - \frac{x^3}{3!} + \frac{x^5}{5!} - \dots \Rightarrow \text{sen}(x) \approx x$$

Si x es cercana a 0.

Para disminuir la señal de entrada al orden de los mV indicados, se coloca a la salida de la etapa de corrección de offset un divisor resistivo, donde se toma por conveniencia $R_2 = 1K\Omega$, y R_1 se desdobra en una resistencia fija de $33K\Omega$ y un preset de $20K\Omega$, de forma tal que puede ajustarse desde un mínimo de amplitud obteniendo leve distorsión (es decir, a la salida la señal ya no tiene forma triangular, pero aun se distinguen los picos) y un máximo de amplitud donde la distorsión obtenida es excesiva (los picos se tornan planos). Para ajustar dicho rango, se realizaron varias simulaciones en LTSpice hasta que la forma de onda se asemejara a la senoidal.

3.1.5. Ajuste de amplitud de señal de salida

Dado que la señal de salida del operacional de la etapa anterior tiene una amplitud de $2V_p$ (diferente a la buscada), se implementa un divisor resistivo y un buffer para adaptarla al nivel deseado, como se muestra en la figura.

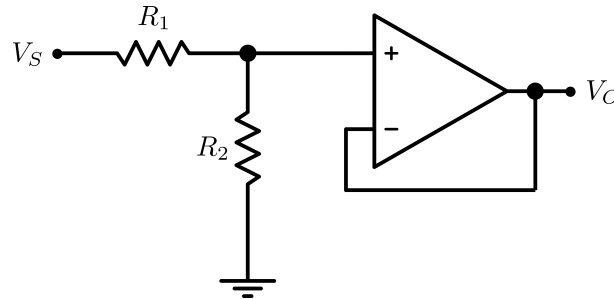


Figura 37: Circuito para ajuste de amplitud

Como se requiere que la señal tenga $1V_p$, se toma $R_1 = 1K\Omega$ (mismo motivo que en las etapas anteriores) y se utiliza un preset para $R_2 = 2K\Omega$, de manera tal de poder tener un rango para ajuste de la amplitud, si resulta un poco mayor o menor a los $2V_p$ teóricos.

3.2. Medición de señales

3.2.1. Muestras de señales obtenidas

A partir de la implementación final de todo el circuito, se toman algunas capturas de las señales senoidales resultantes para distintos valores de frecuencia. La distorsión se analiza en el apartado siguiente.

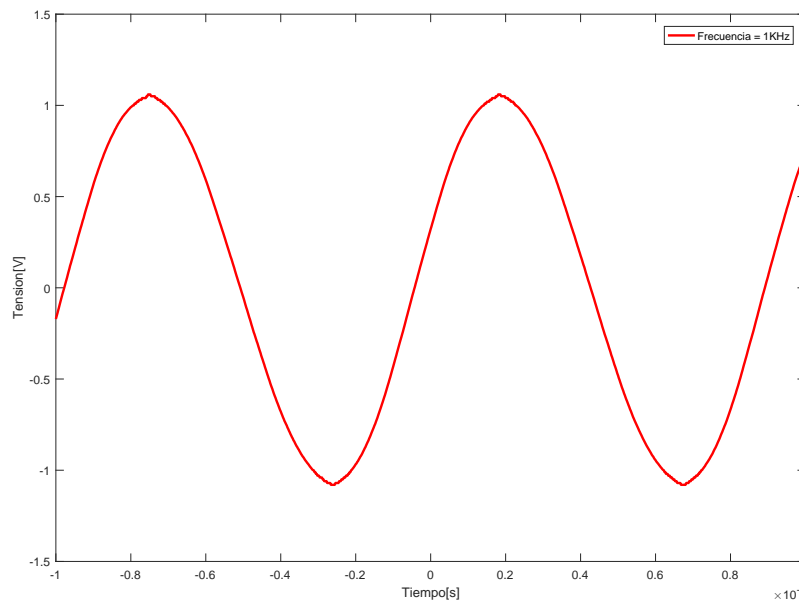


Figura 38: Señal generada a: $1KHz$ para $V_{IN} = 0V$

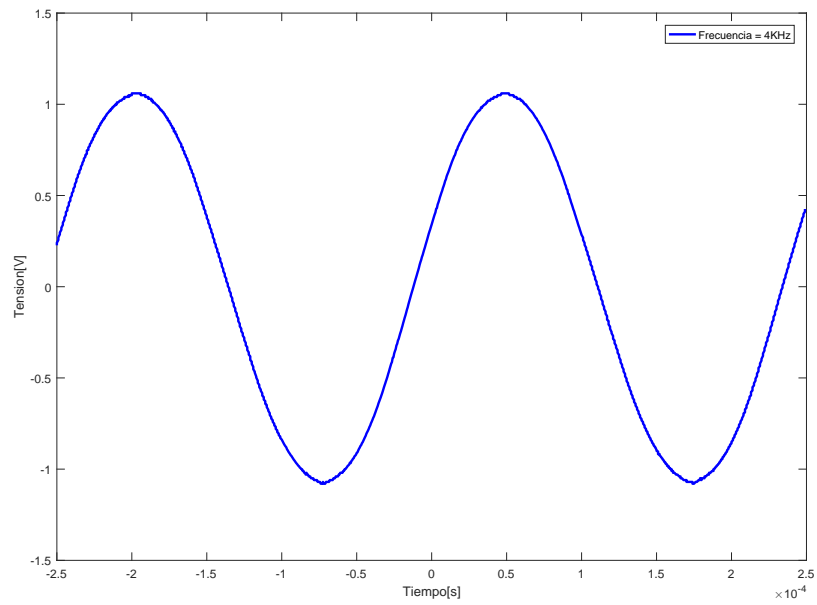


Figura 39: Señal generada a: $4KHz$ para $V_{IN} = 1,7V$

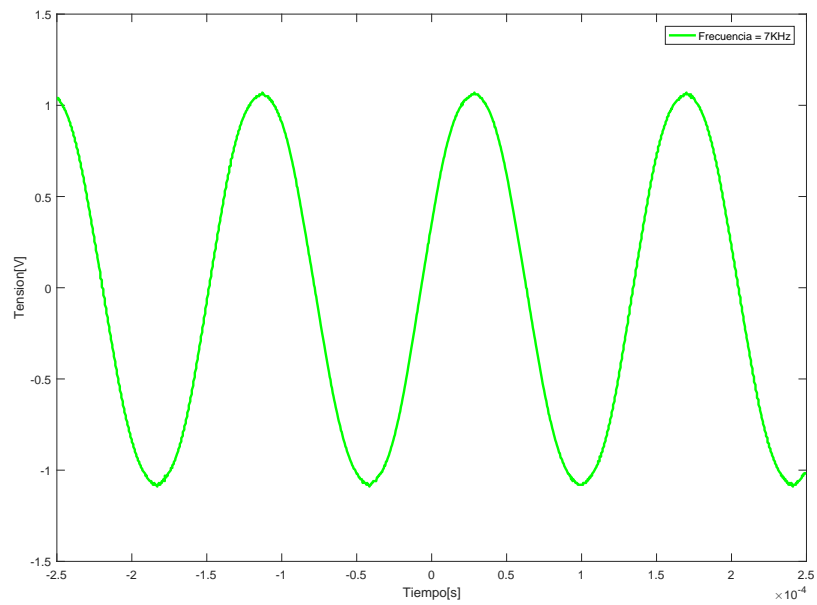


Figura 40: Señal generada a: $7KHz$ para $V_{IN} = 3,4V$

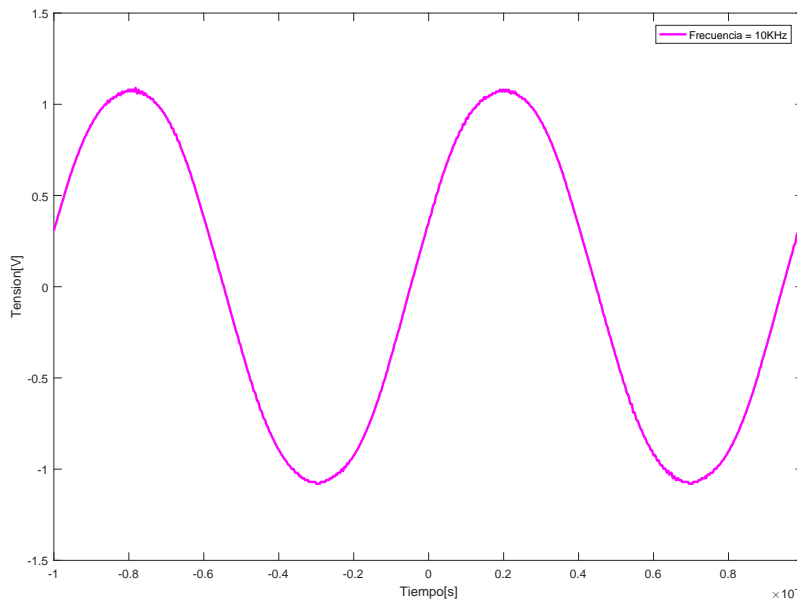


Figura 41: Señal generada a: 10KHz para $V_{IN} = 5,07\text{V}$

3.2.2. Distorsión

El THD (Total Harmonic Distortion) es una medida de la distorsión armónica que posee una señal en particular (en este caso la senoidal generada), y se define como el cociente entre la suma de las potencias de los armónicos secundarios (P_i) y la potencia del armónico fundamental P_0 , es decir:

$$THD = \frac{\sum P_i}{P_0}$$

Dado que el circuito trabaja con frecuencias medias, para realizar la medición de este parámetro se utilizó el analizador de espectros para audio, dado que el común se utiliza para medir potencia de señales de frecuencias mucho mayores. En la siguiente captura se muestran las mediciones de potencia y THD obtenidos con dicho instrumento.

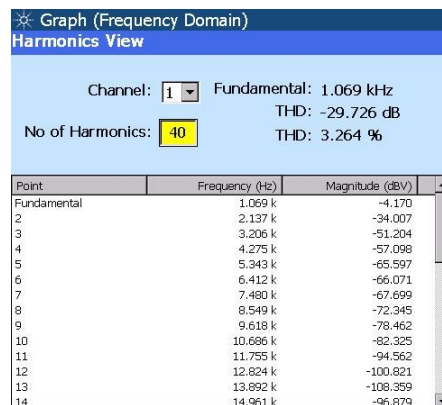


Figura 42: Distorsión armónica de la señal generada

De las mediciones realizadas de los primeros 40 armónicos incluyendo el fundamental, el THD mínimo obtenido a partir de regular los presets del amplificador diferencial y del divisor resistivo de su entrada es de 3,3 %.

3.2.3. Jitter

El jitter de una señal periódica puede considerarse como ruido en la frecuencia, es decir, variaciones no deseadas en el período de la misma y que, en consecuencia, éste no es constante a lo largo del tiempo. Para el circuito en cuestión, puede darse a efecto de variaciones en los siguientes parámetros:

- Fuente de Alimentación: variaciones en la tensión de alimentación pueden producir jitter en la señal cuadrada procedente del schmitt trigger, dado que al variar el valor de V_{SAT} , modificando a su vez la tensión V_{REF} , provocando que la transición de $+V_{SAT}$ a $-V_{SAT}$ (y viceversa) ocurra antes o después. En dichas transiciones es cuando el operacional requiere más corriente de la fuente, por lo que el efecto puede minimizarse al colocar capacitores de desacople entre los terminales de alimentación y GND , lo cual que se implementó en el PCB final.
- Señal de entrada V_{IN} : teniendo en cuenta la expresión vista anteriormente para el cálculo de la frecuencia del VCO como $f = V_{IN} \frac{1}{4RC \cdot V_{Tpp}}$, si la señal de entrada posee ruido éste se traslada linealmente a la frecuencia de oscilación. Una señal de entrada más limpia y estable permitiría reducir el jitter del oscilador.

Para su medición, se midió la salida del circuito a distintas frecuencias, tomando los valores máximo, mínimo, media y desviación estándar en cada caso con el osciloscopio, a partir de más de 3000 muestras.

Frecuencia	Media	Mínimo	Máximo	Desviación estándar (σ)
1KHz	1,08KHz	1,07KHz	1,09KHz	2Hz
4KHz	3,99KHz	3,98KHz	4,02KHz	7,8Hz
7KHz	7,07KHz	7,04KHz	7,09KHz	10,5Hz
10KHz	10,07KHz	10,06KHz	10,1KHz	9,9Hz

Figura 43: Jitter de la señal a diferentes frecuencias

3.3. Conclusiones generales

A partir de las mediciones realizadas sobre la señal generada, se concluyó sobre los diferentes puntos tratados:

- Se observó un mayor THD al esperado. Inicialmente se calibró la señal en frecuencia y offset, corrigiendo luego la simetría del amplificador diferencial, y finalmente con apoyo del analizador de espectro para audio se ajustó la amplitud de entrada con el preset del divisor resistivo, hasta disminuir al mínimo posible el THD medido (es decir, conseguir una mejor relación entre la potencia del armónico fundamental y la potencia de los secundarios). Puede conseguirse un mejor valor (es decir, más pequeño), dependiendo ya de los transistores utilizados y de las curvas de I_B características que poseen: si son más suaves en el límite entre la zona activa y la saturación (es decir, la pendiente no cambia en forma abrupta), se consigue un mejor resultado en el redondeo de los picos de la señal triangular.
- A partir de las mediciones de Jitter, se observó que las desviaciones en el valor real de la frecuencia lo largo del tiempo resultan, en el peor caso, de 100 órdenes de magnitud menores al valor de la frecuencia si se compara el caso de la frecuencia de 1KHz con la mayor desviación obtenida de 10,5Hz, por lo que el circuito posee una buena estabilidad en el valor de la frecuencia a lo largo del tiempo, pero igualmente varía según lo descrito en la sección de Jitter «3.2.3».
- La simplicidad del circuito, aunque requiere un operacional adicional respecto a otras aplicaciones, permite ajustar el período en forma más fina al cargar y descargar el capacitor a través de la misma resistencia.

3.4. Calibración

Para el ajuste de la señal de salida, se sigue el procedimiento a continuación:

- Alimentar la placa con las tensiones indicadas: $\pm 12V$.
- Puentear la entrada polarizada V_{IN} a GND , y medir en el punto de prueba J_1 (que corresponde a la señal de entrada adaptada, indicado como V_{IN_ADJ}), y ajustar el preset V_{IN_ADJ} hasta medir $(0,4 \pm 0,01)V$.
- Con la entrada polarizada aún puenteada a GND , medir ahora en el punto de prueba J_3 (que corresponde a la salida triangular del VCO, indicado como V_{CO_IN}), y ajustar el preset $FREQ_ADJ$ hasta que la frecuencia sea de $(1 \pm 0,1)KHz$.
- Con la entrada polarizada aún puenteada a GND , medir ahora en el punto de prueba J_5 (que corresponde a la señal de salida triangular con corrección de offset), y ajustar el preset $OFFSET_ADJ$ hasta que la señal esté centrada.
- Con la entrada polarizada aún puenteada a GND , medir en el punto de prueba J_4 (que corresponde a la señal de salida senoidal ya convertida, que se indica como VO), y ajustar el preset AMP_ADJ del amplificador diferencial hasta ajustar la simetría de la señal.
- Mediante el preset del divisor resistivo, y conectando la señal de salida senoidal al analizador de espectro para audio, ajustar hasta reducir al mínimo el valor de THD medido.
- Conectar la entrada polarizada V_{IN} a $5V$, y verificar que la frecuencia sea de $(10 \pm 0,1)KHz$.

3.5. Anexo

3.5.1. Función lineal de adaptación

Partiendo de la ecuación general:

$$y = mx + b$$

Donde y representa la señal V_{IN_VCO} y x a V_{IN} , reemplazando por el primer punto se obtiene:

$$0,4V = b$$

Y al reemplazar por el punto restante se obtiene el valor de m :

$$4V = m \cdot 5V + 0,4V \Rightarrow m = 0,72$$

3.5.2. Transferencia - Circuito de adaptación

Tomando el circuito de adaptación de nivel de tensión de entrada, se plantean sentidos para las corrientes:

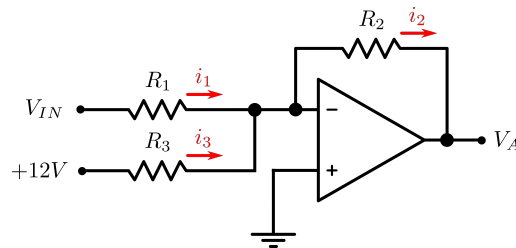


Figura 44: Circuito de adaptación

Para el primer operacional, dado que la entrada inversora se encuentra a masa virtual, pasivando la entrada de $+12V$ se tiene:

$$i_1 = i_2 \Rightarrow \frac{V_{IN}}{R_1} = \frac{-V'_A}{R_2} \Rightarrow V'_A = -V_{IN} \frac{R_2}{R_1}$$

Pasivando ahora V_{IN} y tomando la entrada de $+12V$:

$$i_3 = i_2 \Rightarrow \frac{12V}{R_3} = \frac{-V_A''}{R_2} \Rightarrow V_A'' = -12V \frac{R_2}{R_3}$$

Sumando ambos efectos por superposición, se tiene que:

$$V_A = V_A' + V_A'' \Rightarrow V_A = -V_{IN} \frac{R_2}{R_1} - 12V \frac{R_2}{R_3}$$

3.5.3. Transferencia - Circuito de ajuste de offset

Tomando el circuito de ajuste por offset, se plantean sentidos para las corrientes:

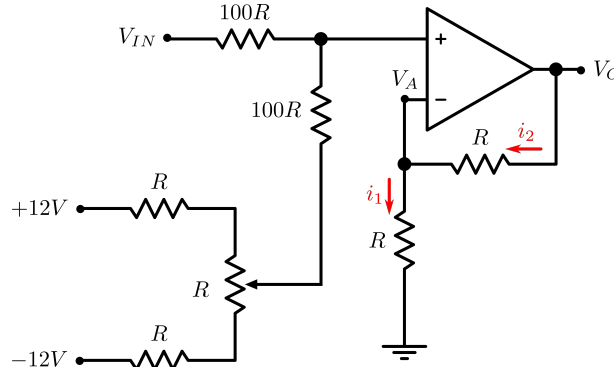


Figura 45: Circuito de corrección de offset

Considerando idealidad, $V^+ = V^-$, por lo que:

$$i_2 = i_1 \Rightarrow V_A = V_O \frac{R}{2R} \Rightarrow V_O = 2 \cdot V_A$$

Pasivando las entradas de continua y considerando solo V_{IN} , resolviendo el paralelo con el preset a la mitad (peor caso) queda:

$$V_A' = V_{IN} \frac{100R + 0,75R}{100R + 0,75R + 100R} = V_{IN} \frac{100,75}{200,75} \approx \frac{V_{IN}}{2}$$

Por lo que:

$$V_O' \approx V_{IN}$$

Considerando ahora el preset totalmente del lado de $+12V$, y pasivando V_{IN} y $-12V$:

$$V_A'' \approx +12V \cdot \frac{R}{3R} \cdot \frac{100R}{200R} = 2V$$

Por lo que $V_O'' \approx 4V$

Considerando ahora pasivadas V_{IN} y $+12V$, continuando con el preset en el lado de $+12V$:

$$V_A''' \approx -12V \cdot \frac{2R}{3R} \cdot \frac{100R}{200R} = -4V$$

Por lo que $V_O''' \approx -8V$

Sumando los efectos, resulta por superposición:

$$V_O \approx V_{IN} - 4V$$

Análogamente, con el preset en el lado opuesto:

$$V_O \approx V_{IN} + 4V$$

3.5.4. Amplificador diferencial - Polarización

Para el análisis en polarización, se descuenta el preset de ajuste, dado que para el análisis teórico basta con considerar los elementos como ideales, por lo que el circuito queda:

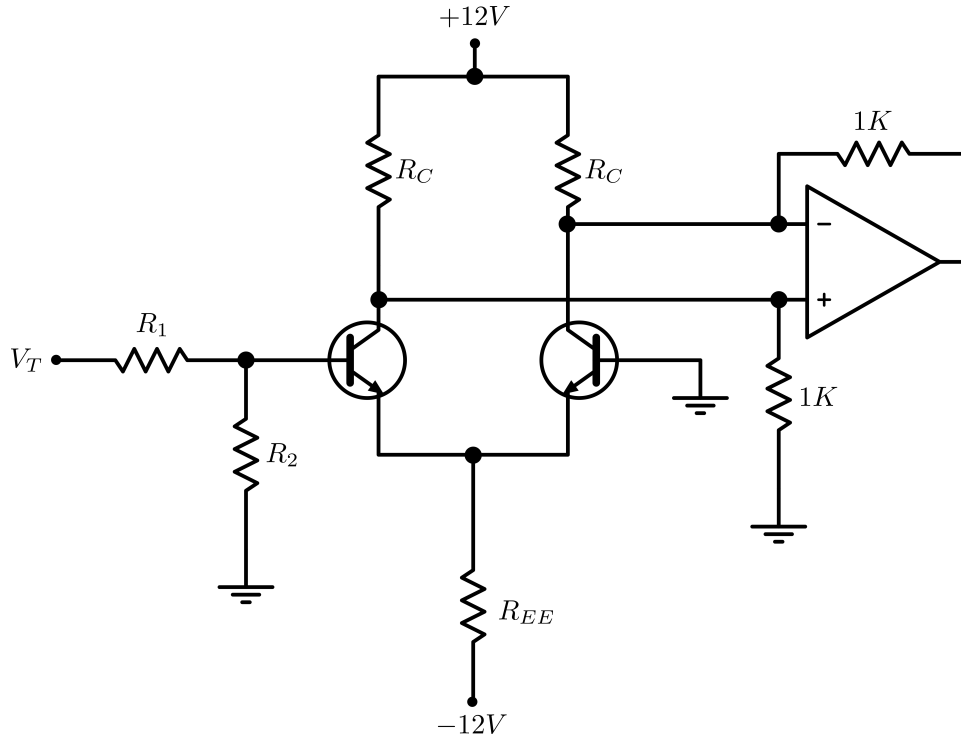


Figura 46: Amplificador diferencial ideal

Como para la función que se lo requiere basta con que los transistores estén polarizados en modo activo, se supone una corriente $I_C = 1mA$, de manera tal que las resistencias que se obtengan resulten de ordenes similares a las ya trabajadas.

Planteando la malla de entrada, se tiene:

$$12V - V_{BE_{ON}} - 2I_C R_{EE} = 0$$

De la hoja de datos de los transistores, se tiene que $HFE = 160$, por lo que:

$$\frac{12V - V_{BE_{ON}}}{2I_C} = R_{EE} = 5,65K\Omega$$

Para simplificar los cálculos, se desprecia la resistencia vista desde la base del transistor de entrada hacia el divisor resistivo (dado que la I_B es pequeña y la caída de tensión que produce en la impedancia equivalente del divisor es pequeña comparada contra los 12V).

Normalizando se tiene $R_{EE} = 5,6K\Omega$. Para simplificar, suponiendo $V_{CE} = 12V$, se obtiene R_C recorriendo la malla de salida:

$$24V - V_{CE} - I_C R_C - 2I_C R_{EE} = 0$$

$$\frac{24V - V_{CE} - 2I_C R_{EE}}{I_C} = R_C = 800\Omega$$

Normalizando se toma $R_C = 1K\Omega$.