

Índice

1. Objetivos - Parámetros del diseño	2
2. Diseño del sistema	2
2.1. Circuito de control	3
2.2. Pre-regulador	3
2.3. Generador	4
2.4. Detector	5
2.5. Amplificador de error	6
2.6. Protección	7
2.7. Disipación de potencia	8
2.8. Ganancia de lazo - Compensación	10
3. Implementación - Resultados	11
3.1. Característica $V_O(I_O)$	11
3.2. Rendimiento	11
3.3. Impedancia de salida - Z_O	11
3.4. PSRR - Power Supply Rejection Ratio	12
4. Diseño de PCB - Consideraciones	13
4.1. Placa fuente	13
4.2. Placa de banco de pruebas	13

1. Objetivos - Parámetros del diseño

En el presente trabajo de laboratorio se realiza el diseño y análisis básico del funcionamiento de una fuente regulada de tensión, que cumple con las siguientes especificaciones:

Rango de tension de salida	$I_{O_{MAX}}$
$4V \leq V_O \leq 10V$	1,5A

El diseño se implementará en un PCB siguiendo determinadas consideraciones, y se realizará otro PCB adicional como banco de pruebas.

2. Diseño del sistema

Para implementar el diseño en cuestión, se propone un circuito de regulación serie, el cual puede modelarse con el siguiente esquema.

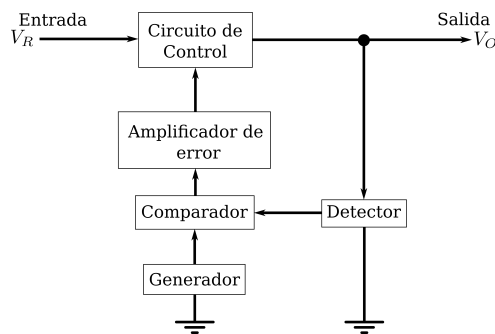


Figura 1: Diagrama en bloques de un regulador serie

La característica de 'serie' refiere a que el elemento de control se encuentra en serie a la carga R_L . En base a dicho esquema, se propone el siguiente circuito.

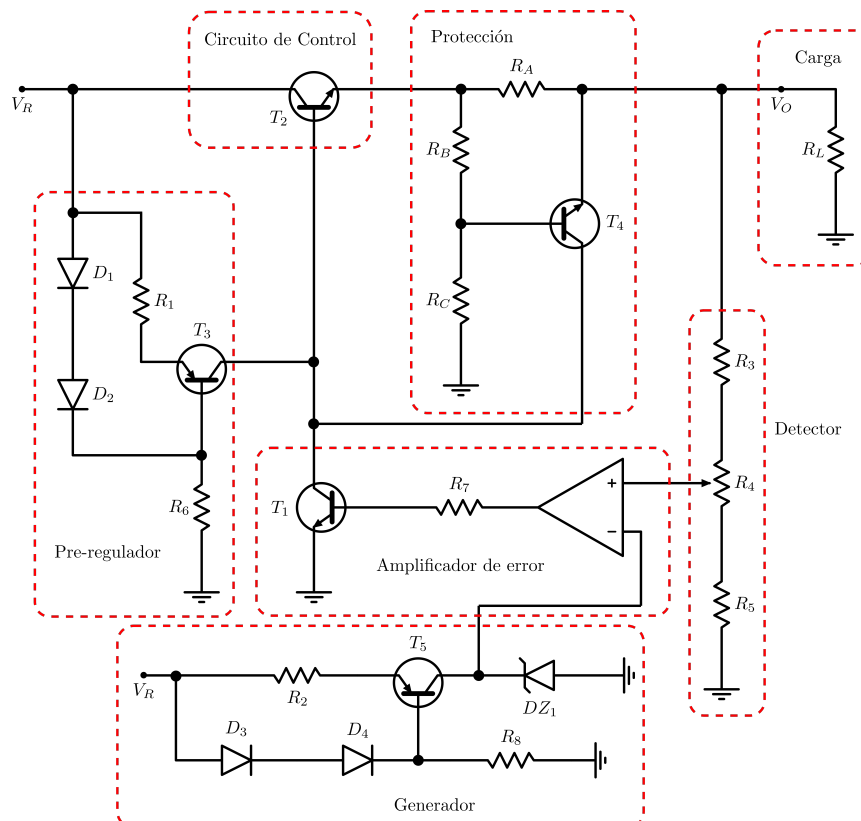


Figura 2: Circuito regulador serie propuesto

La característica de regulación se basa en un lazo de realimentación negativa entre la salida, el detector, el amplificador de error y el circuito de control. Si se supone que por un momento el valor de V_O aumenta, en consecuencia el valor a la salida del detector también aumenta. Dado que la tensión provista por el generador es constante, la diferencia entre la tensión a la salida del detector y el generador aumentará, por lo que la tensión a la salida del operacional también. Al ocurrir esto, el transistor T_1 conducirá más corriente entre colector y emisor. Dado que la corriente provista por el pre-regulador con T_3 es constante (como se tratará posteriormente), lo que sucede entonces es que se le quita corriente a la base del transistor T_2 . En consecuencia, éste conduce menos corriente, por lo que la carga R_L recibe menos corriente, reestableciendo el valor de V_O .

Cada bloque por separado se trata en las subsecciones siguientes.

2.1. Circuito de control

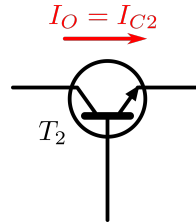


Figura 3: Circuito de control

El circuito de control, en este caso "serie", regula la intensidad de corriente que circula hacia la carga R_L (a través de los otros bloques) de acuerdo al valor de dicha carga. El control es realizado de manera tal que el valor de V_O seteado se mantenga, como se explicó anteriormente. Sabiendo que la I_O máxima en regulación es de 1,5A, se elige un transistor adecuado que en primera instancia pueda conducir dicha corriente, y luego verificar que la potencia máxima que vaya a disipar esté dentro de la dada por el fabricante.

Para dar un cierto margen a la corriente y poder alcanzar el valor de I_O máxima sin problemas se elige $T_2 = TIP112$, cuya máxima corriente de emisor es de 2A. En la sección de cálculo de disipador se detalla el análisis de la potencia a disipar y la elección del disipador en caso de necesitarlo.

2.2. Pre-regulador

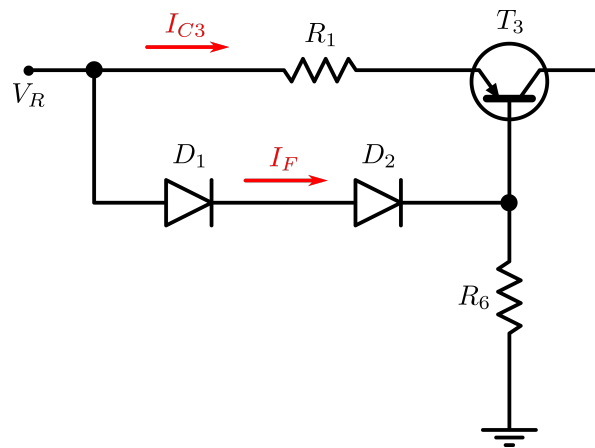


Figura 4: Circuito de pre-regulador

Se considera un margen para la corriente máxima, tomando $I_O = 1,6A$. Siendo $\beta_{2MIN} = 500$ (en DC), se calcula la corriente que se le debe proveer a la base de T_2 en el peor caso:

$$I_{B2} = \frac{I_{C2}}{\beta_{2MIN}} = \frac{I_O}{\beta_{2MIN}} = 3,2mA$$

Entonces I_{C3} será la I_{B2} máxima. Dado que no hay requerimientos particulares para T_3 , por simplicidad en la selección de componentes se utilizó $T_3 = BC327$, cuyo $\beta_{3MIN} = 100$ por lo que podremos luego despreciar la corriente de base para los cálculos. Planteando la malla comprendida por R_1 , BE_3 y los diodos D_1 y D_2 , se despeja el valor de R_1 :

$$2V_D - V_{BE3ON} - I_{C3}R_1 = 0$$

En la ecuación anterior se observa que la corriente I_{C3} resulta independiente de las variaciones de la entrada V_R . Se toma $V_D = V_{BEON} = 0,7V$. Como sólo se requiere que D_1 y D_2 estén correctamente polarizados para dar las caídas de tensión V_D consideradas, y no disiparán una potencia apreciable, se elijen $D_1 = D_2 = 1N4148$ por simplicidad. Entonces:

$$\frac{2V_D - V_{BE3ON}}{I_{C3}} = R_1 = 218,75\Omega$$

Como se tomó una I_O máxima mayor a la nominal para tener un margen, se normaliza sin problemas R_1 hacia arriba, entonces:

$$R_1(N) = 220\Omega$$

Tomando una corriente de polarización en directa para los diodos de $I_F = 5mA$, se tiene (despreciando la corriente de base de T_3):

$$V_R - 2V_D - I_F R_6 = 0 \quad (1)$$

Para definir la mínima V_R , se considera el caso donde el circuito entrega la máxima corriente para la máxima V_O , de manera tal que los transistores sigan funcionando en modo activo. Para ello se plantea:

$$V_R > V_{O_{MAX}} + I_{O_{MAX}} R_A + V_{BE2ON} + V_{CE3SAT} + V_D$$

Siendo de las hojas de datos de los transistores $V_{BE2ON} = 1,8V$ y $V_{CE3SAT} = 0,7V$, con $V_D = 0,7V$. Como se verá en el diseño de la protección, R_A tendrá un valor del orden de 1Ω , por lo que entonces se tiene:

$$V_R > 10V + 1,5V + 1,8V + 0,7 + 0,7V = 14,7V$$

Definiendo entonces una $V_R = 15V$. De la ecuación (1) podemos despejar ahora el valor de R_6 :

$$\frac{V_R - 2V_D}{I_F} = R_6 = 2,72K\Omega \Rightarrow R_6(N) = 2,7K\Omega$$

2.3. Generador

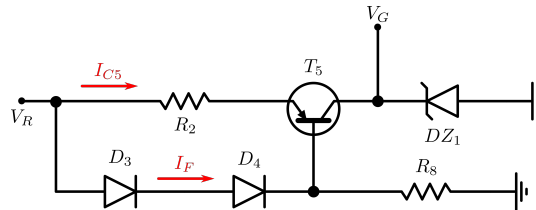


Figura 5: Circuito del generador

Realizando un plano similar al pre-regulador, se seleccionan $D_3 = D_4 = 1N4148$. Se fija una corriente I_{C5} , de manera que el diodo zener reciba una corriente constante, y por ende la V_Z no sufra variaciones importantes. Para no requerir una entrada V_R más grande, se utilizó un diodo zener de baja tensión de regulación, en este caso $V_Z = 2,7V$, donde el $DZ_1 = 1N5223$. Con la ecuación de malla:

$$2V_D - V_{BE5ON} - I_{C5}R_2 = 0$$

Para el zener, de la hoja de datos del fabricante, se tiene que $I_{ZK} = 0,25mA$. Se supone una corriente de polarización inversa de $I_R = 5mA$ (de manera tal que sea mayor a la mínima I_{ZK} mencionada), que será aproximadamente igual a I_{C5} . Se despeja entonces R_2 de la ecuación anterior y con la corriente impuesta se calcula su valor:

$$\frac{2V_D - V_{BE5ON}}{I_{C5}} = R_2 = 140\Omega \Rightarrow R_2(N) = 120\Omega$$

Dado que el circuito es similar al del pre-regulador, se utilizó por simplicidad el mismo transistor PNP, es decir que $T_5 = BC327$.

Con el mismo criterio, se supone una $I_F = 5mA$, de manera tal que obtenemos para R_8 el mismo valor que R_6 , entonces $R_8(N) = 2,7K\Omega$.

2.4. Detector

Analizando el circuito por realimentación negativa, se pueden identificar los bloques de 'amplificador', 'realimentador' y 'generador':

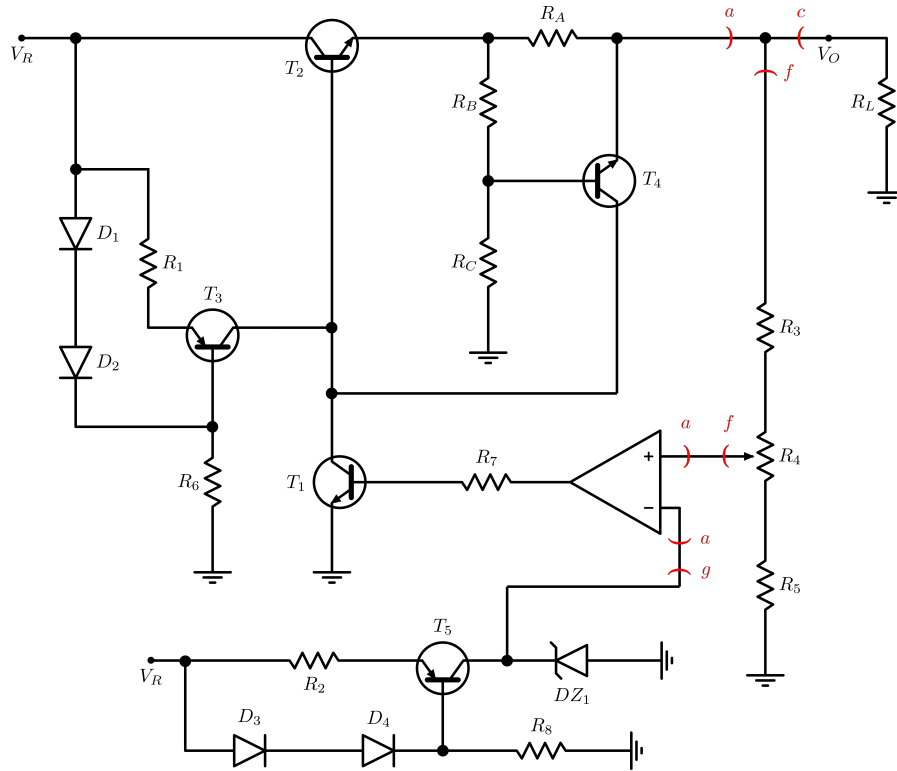


Figura 6: Análisis por realimentación negativa

A la salida se muestrea tensión y a la entrada se suma tensión, por lo que el parámetro estabilizado resulta:

$$PE = \frac{V_O}{V_G} = \frac{1}{f} \cdot \frac{|T|}{1 + |T|}$$

Donde $|T| = |a \cdot f|$. Asumiendo que $|T|$ es lo suficientemente grande:

$$\frac{V_O}{V_G} \approx \frac{1}{f}$$

Por lo que hallando f tendremos la relación entre la tensión de salida en función de la del generador, que es la V_Z .

$$f = \frac{\text{Magnitud que sumo}}{\text{Magnitud que muestreo}} \Big|_{\text{Parámetro común a la entrada} = 0}$$

Para hallar f planteamos el cuadripolo correspondiente:

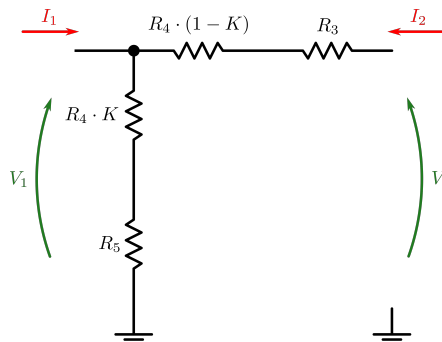


Figura 7: Modelo del cuadripolo f

Dado que R_4 es un potenciómetro, se la representa en dos partes ($0 \leq K \leq 1$). Entonces se tiene:

$$f = \frac{V_1}{V_2} \Big|_{I_1=0} = \frac{R_4 \cdot K + R_5}{R_3 + R_4 + R_5}$$

Según K valga 0 o 1, tendremos V_O máxima o mínima:

$$\begin{cases} V_{O_{MIN}} = V_G \cdot \frac{R_3 + R_4 + R_5}{R_4 + R_5} \\ V_{O_{MAX}} = V_G \cdot \frac{R_3 + R_4 + R_5}{R_5} \end{cases}$$

Para el diseño, mediante correcciones con simulación y prueba en protoboard, se tomó un margen más amplio para V_O respecto del nominal. Se utilizó entonces como resultado de dichas pruebas un rango $3,9V \leq V_O \leq 10,4V$. Dividiendo ambas ecuaciones se puede despejar R_5 en función de R_4 , resultando:

$$R_5 = \frac{3}{5} \cdot R_4$$

Tomando un potenciómetro nominal, se define $R_4(N) = 10K\Omega$, por lo que resulta $R_5 = 6K\Omega$. Normalizando, se tiene:

$$R_5(N) = 12K\Omega // 12K\Omega$$

De la segunda ecuación se despeja R_3 , obteniendo:

$$\left(\frac{V_{O_{MAX}}}{V_G} \right) R_5 - R_5 - R_4 = R_3 \implies R_3 = 7,11K\Omega$$

Normalizando se tiene que:

$$R_3(N) = 6,8K\Omega + 330\Omega$$

2.5. Amplificador de error

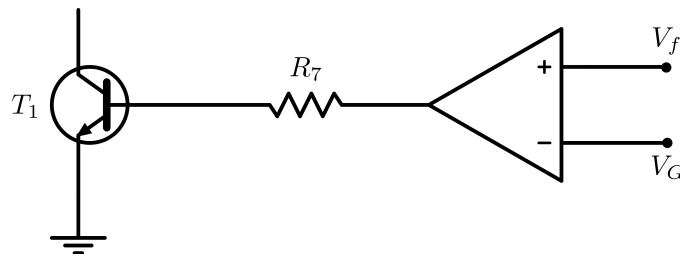


Figura 8: Circuito del amplificador de error

El amplificador de error se compone del operacional más el transistor T_1 . Dado que a la entrada de la fuente sólo se dispone de una sola tensión V_R positiva, se debió utilizar un operacional que pueda funcionar con fuente simple. Además, su ganancia a lazo abierto debe ser grande para que la ganancia de lazo $|T|$ sea grande, y valga la suposición realizada anteriormente para el diseño del detector. También el ancho de banda del operacional no debe ser muy grande, para reducir la posibilidad de tener oscilaciones a la salida del circuito (esto último se trata en la sección de ganancia de lazo y su compensación).

En base a esto, el operacional seleccionado es el LM358.

El transistor T_1 cumple la función de realizar la inversión para que la realimentación resulte negativa (conectando al operacional como no inversor). Por otra parte, al estar configurado como emisor común, aumenta más la ganancia de lazo.

El transistor seleccionado finalmente fue $T_1 = BC548C$. Dado su alto valor de β no exige corriente a la salida del operacional.

La resistencia R_7 se añadió para que el operacional entregue una tensión mayor a la $V_{BE1_{ON}}$, de manera tal que se encuentre con un cierto margen por encima de los 0V, dado que se lo alimentó con fuente simple. Se determinó un valor adecuado para ella mediante la simulación, de manera tal que el circuito funcionara correctamente, resultando:

$$R_7(N) = 100K\Omega$$

2.6. Protección

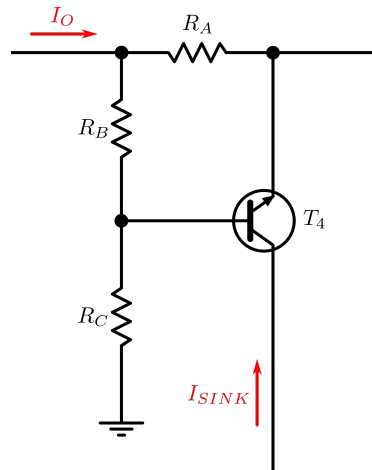


Figura 9: Circuito de la protección Foldback

La protección utilizada se denomina Foldback. Mientras la R_L sea mayor a la mínima en regulación, la tensión $V_{BE4} < V_{BE4ON}$, por lo que T_4 no se enciende y la protección no incide en el circuito. Cuando se disminuye la carga R_L por debajo de la mínima que puede conectarse en regulación, el lazo de realimentación se abre y el transistor T_4 comienza a conducir, tomando parte de la corriente que va a la base de T_2 (dado que $I_{PRE-REG}$ es constante) que es la indicada como I_{SINK} , y la tensión y corrientes de salida pasan a estar determinados por una expresión lineal, donde a medida que la V_O disminuye, la I_O también lo hace. De esta manera, veremos que la $I_{OCC} < I_{OMAX}$.

Para observar esto, se plantea la malla que contiene a V_{BE4ON} :

$$(V_O + I_O \cdot R_A) \cdot \frac{R_B}{R_B + R_C} + V_{BE4ON} = I_O R_A$$

Como no se requiere amplificar corriente sino que el objetivo es sensar I_O y derivar corriente de la base de T_2 , se elige $T_4 = BC337$, cuyo $\beta_{MIN} = 100$ (se tiene entonces que $V_{BE4ON} = 0,7V$). Para simplificar la notación, llamamos $\alpha = \frac{R_B}{R_B + R_C}$. Despejando I_O resulta:

$$I_O = \frac{V_O \cdot \alpha + V_{BE4ON}}{R_A(1 - \alpha)} \quad (2)$$

EL gráfico característico resultante es el siguiente:

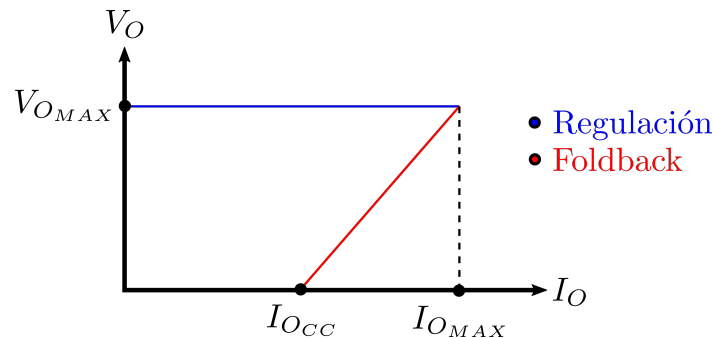


Figura 10: Característica de salida ideal con protección Foldback

Como la función de R_A es únicamente sensar la corriente de salida I_O , no debe ser muy grande para no perder demasiada potencia en ella. Teniendo en cuenta que:

$$R_{LMIN}|_{REG} = \frac{V_{O_{MAX}}}{I_{O_{MAX}}}|_{REG} = 6,4\Omega \quad (3)$$

Un criterio adecuado para seleccionar R_A es que sea 10 veces menor a la R_L mínima en regulación. Pero como puede observarse de la ecuación (3), al estar definidos $V_{O_{MAX}}$ e $I_{O_{MAX}}$ en regulación, queda formada una relación

de compromiso entre α y R_A , que también en consecuencia definirá la I_{OCC} , y por ende el punto donde la potencia disipada en T_2 sea máxima (esto último se tratará en la sección siguiente). Si de la ecuación (3) despejamos α :

$$\alpha = \frac{I_O \cdot R_A - 0,7V}{V_O + I_O \cdot R_A} \quad (4)$$

De la ecuación (4) vemos que, en referencia a lo mencionado anteriormente, si se reemplaza por $V_{O_{MAX}}$ e $I_{O_{MAX}}$, R_A no puede valer cualquier cosa sino que tendrá un valor mínimo, tal que $\alpha > 0$ (porque es un cociente de un divisor resistivo).

Seleccionando $R_A = 1\Omega$, con la $I_{O_{MAX}} = 1,6A$ que se dio de margen previamente, se tiene que la potencia máxima que debe disipar R_A es $R_A \cdot I_{O_{MAX}}^2 = 2,56W$. Por lo que normalizando se tiene:

$$R_A(N) = 1\Omega - 3W$$

Reemplazando $V_{O_{MAX}}$, $I_{O_{MAX}}$ y $R_A(N)$ en la ecuación (4) se obtiene:

$$\frac{R_A \cdot I_{O_{MAX}} - 0,7V}{V_{O_{MAX}} + R_A \cdot I_{O_{MAX}}} = \alpha = 0,076$$

Teniendo α , se seleccionan en forma simple R_B y R_C para el divisor resistivo, de forma tal que:

$$R_B(N) = 1K\Omega \quad R_C(N) = 12K\Omega$$

Con el valor de α calculado, si $V_O = 0V$, la I_O resultante es la de cortocircuito:

$$I_{OCC} = 0,76A$$

2.7. Disipación de potencia

Teniendo ya el circuito con los componentes seleccionados, resta definir la potencia máxima que disipará T_2 y si requiere o no un disipador. En general, la potencia que disipa el transistor T_2 está dada por:

$$P_D(T_2) = V_{CE2} \cdot I_O = (V_R - V_O - R_A \cdot I_O) \cdot I_O \quad (5)$$

A medida que se disminuye R_L desde el infinito hasta la mínima de regulación, la V_O se mantiene constante y la I_O aumenta, por lo que la $P_{D_{T_2}}$ va en aumento en forma monótona. Cuando la $R_L < R_{L_{MIN}}$, se sale de la regulación y se entra en la recta de foldback. Mientras se sigue disminuyendo R_L , la V_O comienza a disminuir por lo que la V_{CE2} aumenta; pero a su vez la I_O disminuye. Si se reemplaza la expresión de I_O de la ecuación (2) de foldback, en la expresión de potencia disipada (5):

$$P_D(T_2) = \left(V_R - V_O - R_A \cdot \frac{V_O \cdot \alpha + 0,7V}{R_A(1 - \alpha)} \right) \cdot \frac{V_O \cdot \alpha + 0,7V}{R_A(1 - \alpha)}$$

Queda entonces la $P_D(T_2)$ como una función cuadrática de V_O , con concavidad hacia abajo. Esto quiere decir que la potencia máxima se encuentra en la V_O del vértice de la parábola. En una ecuación cuadrática general:

$$ax^2 + bx + c \Rightarrow x_v = -\frac{b}{2a}$$

Si se hace la distributiva de los términos de la expresión de $P_D(T_2)$ y se los agrupa adecuadamente para tener el formato anterior con los coeficientes a , b , y c , se puede obtener la V_{O_v} (donde estará el máximo de la $P_D(T_2)$):

$$V_O \Big|_{PD_{MAX}} = \frac{V_R \cdot \alpha \cdot (1 - \alpha) - 0,7V \cdot (1 + \alpha)}{2\alpha} = 1,97V$$

Reemplazando en la expresión de I_O de la ecuación (2), se obtiene:

$$I_O \Big|_{PD_{MAX}} = 0,92A \Rightarrow P_D(T_2) \Big|_{MAX} = 11,14W$$

Como la potencia máxima total que admite disipar el TIP112 es de 50W, no hay inconveniente en utilizarlo. Con esta información calculamos ahora la potencia máxima sin disipador que soporta el transistor. De la hoja de datos del fabricante se tiene que:

$$T_j = 150^\circ C \quad R_{\theta ja} = 62,5 \left(\frac{^\circ C}{W} \right) \quad R_{\theta jc} = 2,5 \left(\frac{^\circ C}{W} \right)$$

$$\begin{cases} R_{\theta ja} : \text{Resistencia térmica entre juntura y ambiente} \\ R_{\theta jc} : \text{Resistencia térmica entre juntura y carcasa del transistor} \end{cases}$$

Suponiendo una $T_a = 25^\circ C$, se tiene:

$$P_D(T_2) \Big|_{S/D} = \frac{T_j - T_a}{R_{\theta_{ja}}} = 2W$$

La potencia que se requiere disipar (11,14W) es entonces mayor a la máxima sin disipador, por lo tanto se necesita incorporarle uno. Con disipador, se tiene:

$$P_D(T_2) \Big|_{C/D} = \frac{T_j - T_a}{R_{\theta_{jc}} + R_{\theta_{cd}} + R_{\theta_{da}}}$$

$$\begin{cases} R_{\theta_{cd}} : \text{Resistencia térmica entre carcasa del transistor y disipador} \\ R_{\theta_{da}} : \text{Resistencia térmica entre disipador y el ambiente} \end{cases}$$

Utilizando pasta térmica, la $R_{\theta_{cd}} \approx 1(^\circ C/W)$, y la $R_{\theta_{da}}$ máxima es la que se quiere averiguar para seleccionar el modelo de disipador a usar. Despejándola de la ecuación anterior:

$$R_{\theta_{da}} = \frac{T_j - T_a}{P_D(T_2)} - R_{\theta_{jc}} - R_{\theta_{cd}} = 7,45 \left(\frac{^\circ C}{W} \right)$$

Se necesita entonces un disipador cuya $R_{\theta_{da}}$ sea menor a la obtenida. Un disipador sencillo que cumple esta característica con margen es el ZD9, cuya $R_{\theta_{da}} = 3,8(^\circ C/W)$, por lo que se le incorporó dicho disipador a T_2 .



Figura 11: Disipador ZD9 comercial

2.8. Ganancia de lazo - Compensación

Utilizando LTSpice, se simula la respuesta en frecuencia de la ganancia de lazo, con el script provisto por la cátedra. El objetivo es verificar que se tenga un margen de fase y de amplitud adecuados para disminuir la posibilidad de oscilación de la fuente. En caso de no tenerlo, quiere decir que habrá alguna frecuencia para la cual la ganancia del lazo es mayor o igual a 1 cuando la fase cruza por los $\pm 180^\circ$ (criterio de Barkhausen para que se mantenga un oscilador). En ese caso se agregarán capacitores para compensarla, haciendo que se atenúe más con la frecuencia, evitando que se cumpla el criterio en cuestión. Simulando el circuito original sin compensación con $R_L = \infty$ se obtiene:

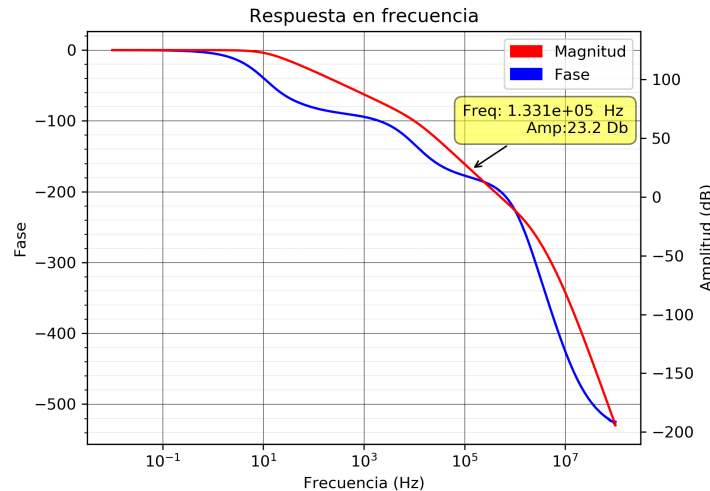


Figura 12: Respuesta en frecuencia de la ganancia de lazo sin compensar

Como se indica en la respuesta obtenida, para cuando la fase cruza los -180° la ganancia es de 21 dB, que está por encima de los 0 dB. Por lo tanto, hay altas probabilidades de que el circuito oscile sin carga. Como la oscilación ocurre a alta frecuencia, se observaría la oscilación montada sobre la tensión V_O en DC esperada (según el valor del potenciómetro R_4). Con un voltímetro, no es posible observar esto dado que el valor medido es el valor medio, que sería la V_O en DC esperada.

Para compensar esto, se colocó un capacitor de 1 μF entre la entrada no inversora del operacional y el colector del transistor T_1 del amplificador de error, más un capacitor de 10 μF a la salida del circuito (es decir en V_O), simulando en LTSpice para verificar que se realice la compensación.

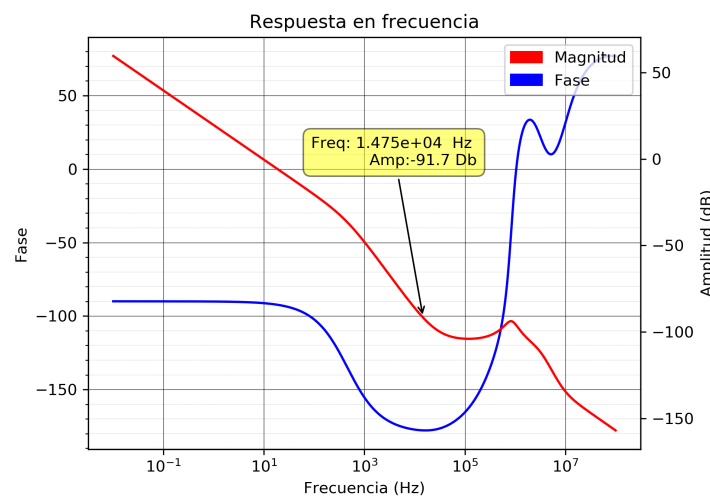


Figura 13: Respuesta en frecuencia de la ganancia de lazo compensada

La respuesta en frecuencia resultante efectivamente logra cumplir con el objetivo de tener un margen de fase y de amplitud apropiados, disminuyendo la probabilidad de tener oscilaciones en la implementación real.

3. Implementación - Resultados

3.1. Característica $V_O(I_O)$

Utilizando el banco de pruebas, se registraron pares de valores $V_O - I_O$ para trazar la curva característica $V_O(I_O)$. Los valores tomados se muestran en la siguiente tabla.

RL	VO	IO
∞	10,09V	0A
28,3 Ω	10V	0,37A
13,6 Ω	9,95V	0,77A
8,5 Ω	9,7V	1,21A
6,5 Ω	9,56V	1,55A
5,3 Ω	5,63V	1,2A
3,9 Ω	3,24V	1A
0 Ω (CC)	0V	0,76A

Cuadro 1: Valores de $V_O(I_O)$ experimentales

Con dichos valores, se compara ahora la característica obtenida experimentalmente con la teórica y la simulada.

ACA VA EL GRAFICO SUPERPUESTO DE VO IO

Figura 14: Característica $V_O(I_O)$

3.2. Rendimiento

Definimos el rendimiento de la fuente como la relación entre la máxima tensión de salida V_O y la mínima tensión de entrada V_R , en porcentaje. Es decir:

$$\eta\% = \frac{V_O}{V_R} \cdot 100$$

Se calcula entonces el rendimiento con los valores de V_O e I_O teóricos, simulados y experimentales a carga mínima en regulación. Se considera como valor de V_O teórico máximo 10,2V (es decir, incluyendo el margen), teniendo entonces:

$$V_{R_{MIN}} = V_{O_{MAX}} + R_A \cdot I_{O_{MAX}} + V_{BE2ON} + V_{CE3SAT} + V_{R1} = 10,2V + 1,6V + 1,4V + 0,7V + 0,7V = 14,8V$$

El valor de V_O simulado fue de 10,18V con una $V_{R_{MIN}} = 14V$.

	Teórico	Simulado	Experimental
$\eta\%$	68%	72.7%	67.3%

Cuadro 2: Valores de rendimiento obtenidos

3.3. Impedancia de salida - Z_O

Si la impedancia de salida fuera 0, en el caso de carga $R_{L_{MIN}}$ la V_O debería ser la misma que para $R_L = \infty$. Como dicha impedancia no es nula, se puede medir un ΔV_O entre ambos casos de carga. De esta forma, se puede estimar un valor para la Z_O (que será pequeño) mediante:

$$Z_O \simeq \frac{\Delta V_O}{I_{O_{MAX}}}$$

La característica de tensión real en general puede modelarse como se muestra a continuación.

En el caso experimental, como dicha pendiente puede cambiar en el trayecto desde 0A hasta $I_{O_{MAX}}$, se tomo de referencia el caso con carga $R_L = \infty$ y un caso intermedio, donde pudiera medirse más claramente una V_O diferente al primer caso, para obtener un estimador de Z_O . Dichos valores tomados se indican en el siguiente cuadro, obteniendo un estimador de Z_O experimental comparado con el teórico y el simulado.

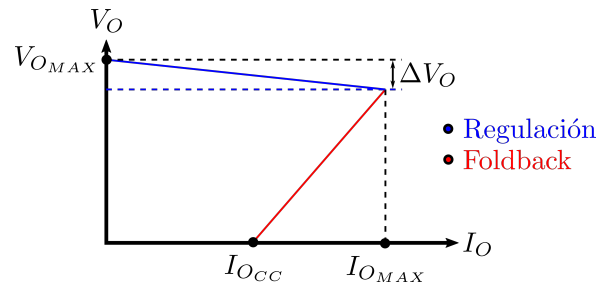


Figura 15: Característica de salida real con protección Foldback

	Teórico	Simulado	Experimental
ΔV_O	0V	2mV	10,09V – 9,95V = 0,14V
I_O	1,5A	1,61A	0,77A – 0A = 0,77A
Z_O	0Ω	1,2mΩ	0,2Ω

Cuadro 3: Valores de Z_O obtenidos

3.4. PSRR - Power Supply Rejection Ratio

La relación de rechazo del ripple de la entrada en la salida se la define como:

$$PSRR = 20 \cdot \log \left(\frac{\Delta V_R}{\Delta V_O} \right)$$

Para la simulación y la experimental, se toma el ΔV_O para carga mínima y sin carga, obteniendo los siguientes resultados.

		Simulado	Experimental
$R_L = \infty$	ΔV_R	2V	213mV
	ΔV_O	0,013V	80mV
	PSRR	44dB	8.5dB
$R_{L\text{MIN}}$	ΔV_R	2V	3,19V
	ΔV_O	0,04V	1,69V
	PSRR	34dB	5.52dB

Cuadro 4: Valores de PSRR

En el caso de la simulación da un valor más grande dado que la fuente utilizada es una senoidal que varía 15V y 17V ideal, es decir que no cae su valor al disminuir la carga R_L , por lo que el valor obtenido es más preciso. En el caso experimental, se utilizó una fuente de 15V de DC con ripple, pero cuyo valor nominal disminuye al cargarla y exigirle corrientes altas, lo que modifica los puntos de polarización en forma considerable. En cualquier caso, tanto el simulado como el medido coinciden en que el PSRR empeora al exigir corriente.

4. Diseño de PCB - Consideraciones

Al momento de realizar la implementación en PCB, como es una placa de potencia, se tienen en cuenta ciertas cuestiones en relación al ruteo y espacio de componentes.

4.1. Placa fuente

Para implementar la fuente, teniendo en cuenta los requerimientos de espacio y potencia:

- Dado que el transistor lleva un disipador, se lo colocó cerca de uno de los bordes, de manera tal que el disipador quede hacia afuera.
- Para la alimentación y salida, se utilizaron conectores polarizados,
- Se incluyeron soportes tipo tameco en las esquinas para mantener el PCB en pie.

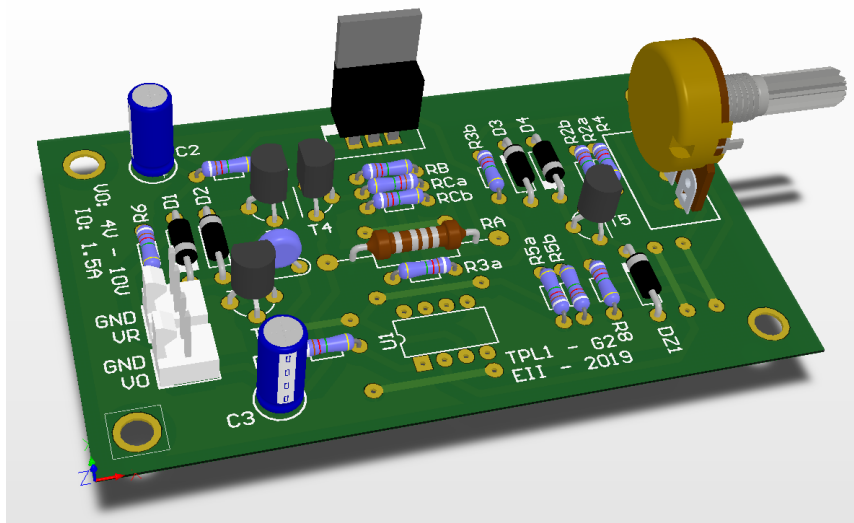


Figura 16: Modelo 3D del PCB de la fuente

4.2. Placa de banco de pruebas

Para poder realizar mediciones con carga R_L sobre la curva de foldback, se implementó una placa como banco de pruebas con resistencias de potencia de 15Ω, 10Ω, 1Ω y 0,47Ω. De esta manera se logra tener cargas resistivas puras, evitando utilizar un reóstato debido a la gran inductancia que posee.

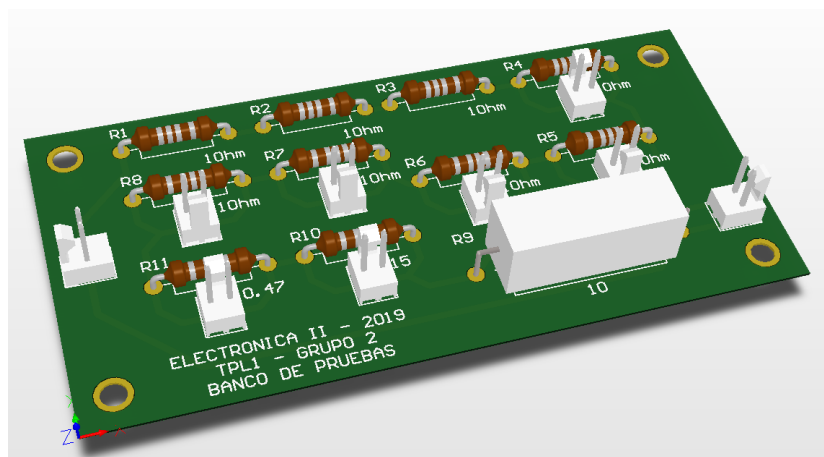


Figura 17: Modelo 3D del PCB del banco de pruebas