# Canny 边缘检测系统方案设计说明书

## 应用场景（设想）

## 原理说明

### 2.1 高斯平滑滤波器设计

记忆窗口为5x5，即更新一个中央像素点需要临近25个像素点的支持，系数呈对称特征，越靠近中央位置的像素，其权重值越大，如下图所示：



Figure2.0: Gaussian Filter (5x5)

算法方程式如下：

DSP48预加法器

DSP48后加法器

硬体方案设计中，针对Gaussian平滑滤波器处理后的数据而言，第1行、第2行、倒数第1行、倒数第2行、第1列、第2列、倒数第1列、倒数第2列的数据为处理前的数据，即复制；

### 2.2 中值滤波器设计

### 2.3 线型缓存器的设计Line Buffer

线型缓存器Line Buffer的目的就是为了匹配后端的图像窗口函数运算，对串行输入的数据流进行并行移位处理，并行移位后的数据块刚好与窗口大小匹配。

内置的缓存采用了单口RAM，在本例中内置了10个M9k基础存储器单元（方便后端布线，提升时序余量），读/写共享一套地址线，故设计中特别注意到了读数据与写数据之间的相位严格匹配关系。



相位被严格对齐的主要原因是因为对单口RAM的同步读、写操作共享了一套地址线，为了匹配数据流与窗口之间的关系，该线型缓存的行同步信号输出的相位必须严格滞后于输入的行同步信号相位。

第一行、第二行的输出数据就是复制输入数据流，启动第三行数据的计算时，内存RAM中已经缓存好了5行的图像数据信息，故只需要并行读出这5行的图形数据流代入到相应的数学方程式中就可以得到正确的输出结果了。

### 2.4 sobel边缘检测滤波器设计

### 2.5 非极大值抑制功能设计

Sobel算子定义的是边缘梯度函数的求解过程，边缘信号会隐藏在全局图像信号中，非极大值抑制的目的就是压制非边缘图像信号（即强制清零），把边缘图像信号从全局图像信号中抽取出来。

数学概念下，梯度函数的意义为变化量，变化越大则梯度越大，变化越小则梯度越小； 标量（梯度值）概念下图像边缘模型如下：



通常意义下边缘提取只是针对强边缘提取，具体方法就是设置梯度函数的两个阈值（强边缘门限值和弱边缘门限值），梯度函数大于强边缘门限值时，认为对应位置上像素信号为边缘信号，反之被值0（即被压制为清零）；

弱边缘信号被隐藏在在强边缘门限与弱边缘信号的中间区域（过渡区域），通过相关搜索策略找到弱边缘位置上的图像信号值，被将它设置为较大值（被设置为大于强边缘门限值）；

弱边缘区域搜索策略就是要在弱边缘搜索区域（过渡区域）找到梯度变化最大的图像信号，并将该处图像信号抽取出来作为边缘信号而存在；在3X3窗口的搜索运算中，斜率为特殊值（1、-1），故在3X3窗口弱边缘搜索过程本质就是一个逐次比较过程；因为斜率是固定的（1、-1），故梯度值搜索的方向是固定的（4个方向）；



弱边缘搜素方向可以通过枚举的方式表达出来，主要由4个量决定（dx，dy，dx的模，dy的模）；如下图所示：



弱边缘提取的可编程电路设计时，考虑到了提升时序余量的余量，插入了一级流水线；

匹配的HDL风格数字电路设计描述如下：



非极大值模块（non\_max\_filter）模块输入端口时序描述如下：

后续算法功能中的强边缘、弱边缘、非边缘的概念划分基础是根据图像梯度函数值是否大于上门限，若图像的梯度值大于上门限，那么该图像数据是出于强边缘区；若是图像梯度数数值小于下门限，那么图像数据出于非边缘区；若是梯度数值出于上、下门限值区间，那么通过搜索的策略进行抉择该处图像数据是否是弱边缘区。



线性缓存（nline3\_buffer）模块输出时序描述如下：

后续算法功能模块中存在一个用于搜索的3x3的梯度函数数据空间，为了进行时序匹配，参与搜索功能的偏导数dx与dy也参与了缓存，所以4路关键信号（dx\_out、dy\_out、grad\_sout、grad\_out）的时序是匹配好的。

non\_max功能模块描述：

输入的梯度函数首先与上、下门限进行了比较，得到强边缘区、弱边缘区、非边缘区的划分，信号nlow\_en为选通信号。

梯度函数（dx、dy）首先进行了绝对值运算，因为搜索条件时需要用到该值；考虑电路设计的时序冗余，易于升级插入了一级流水线；

## 算法设计

## 设计实现

根据PL处理器内置的DSP48部件架构，本部件可以将DSP48配置为预加法器+乘法器、4加法器两种形式，考虑到一般性，选择预加法器+乘法器+后加法器架构。

## 验证仿真

## 结论

## 基础部件介绍

|  |  |
| --- | --- |
| **Name** | **Description** |
| wl\_srl | 参数化的延迟部件，底层模型为Xilinx原语SRL16E；位宽、延迟量是可配置的，方便时序匹配调试； |
| wl\_regd | 寄存器描述，相当于插入一级流水线；位宽为流水线可配置，即可以定义为插入流水线，也可以定义为线型行为（OREG），方便电路调试；常用于插入流水线提升时序余量、数据流流水线信号处理（存储记忆单元）； |
| wl\_sort3 | 3个无符号数排序基础模块，输入的大小顺序为乱序，输出为从大到小排序输出；用在中值滤波器中，方便电路设计； |
| wl\_sram | sram的基础电路模型，参数可配置，方便电路调试； |
| wl\_sdram | 简单双口RAM的基础电路模型，参数可配置，方便电路调试； |
| wl\_add | 无符号数加法器（本平台主要是基于机器视觉、图像处理），位宽、流水线可配置，方便调试； |
| wl\_round | 四舍五入基础模块，输入位宽、输出位宽、流水线可配置； |