*ARP\_ ukol\_01a*

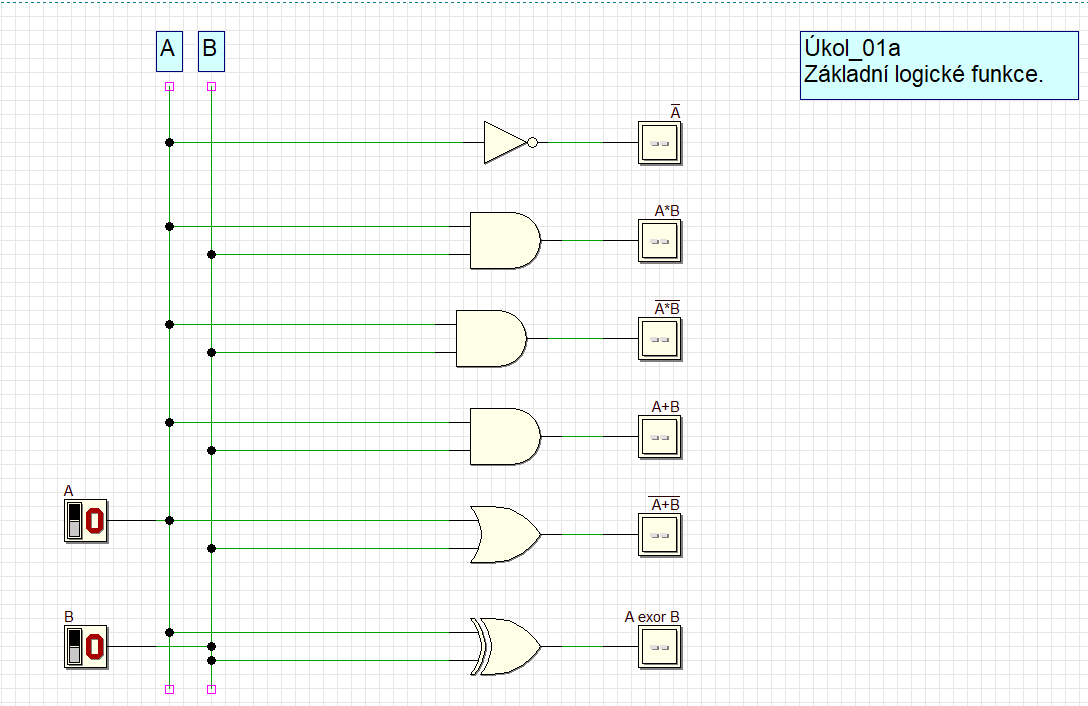
**Analýza jednoduchých logických obvodů€#**

Spusťte program Digital Circuit Simulator, který je součástí programového balíku Deeds (Digital Electronics Education and Design Suite) pro simulaci logických a sekvenčních obvodů. Nebo jej stáhněte z adresy <https://www.digitalelectronicsdeeds.com/downloads.html> a nainstalujte si program do svého počítače.

V programu **2.50.200 (February 18, 2022)** otevřete soubor ARP\_01.PBS. Doplňte propojení k základním logickým obvodům a doplňte následující úkoly.

**1) Schéma**

*zde vložte vaše schéma zapojení jako výstřižek plochy z programu Digital Circuit Simulator (původní obrázek odstraňte)*



**2) Pravdivostní tabulka**

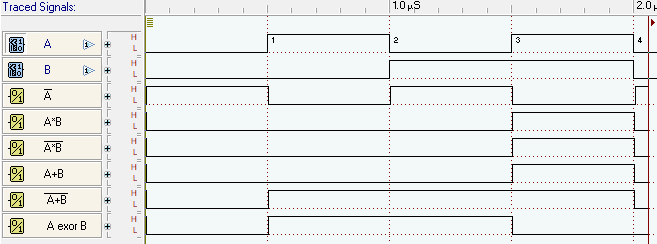
*Vyplňte pravdivostní tabulku na základě činnosti simulátoru a ověřte na základě teoretických znalostí.*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **B** | A | NOT A | A AND B | A NAND B | A OR B | A NOR B | A EXOR B |
| **0** | **0** | **1** | **0** | **1** | **0** | **1** | **0** |
| **0** | **1** | **0** | **0** | **1** | **1** | **0** | **1** |
| **1** | **0** | **1** | **0** | **1** | **1** | **0** | **1** |
| **1** | **1** | **0** | **1** | **0** | **1** | **0** | **0** |

**3) Časový diagram**

*Zde vložte časový diagram z programu Digital Circuit Simulator, který bude prezentovat časový průběh činnosti jednotlivých logických obvodů. Načtěte testovací sekvenci AllCombinations a otestujte funkci obvodů Execute Timing Simulation*

*zde vložte vaše otestování funkce logických obvodů pomocí časového diagramu a ověřte si správnost (původní obrázek odstraňte)*



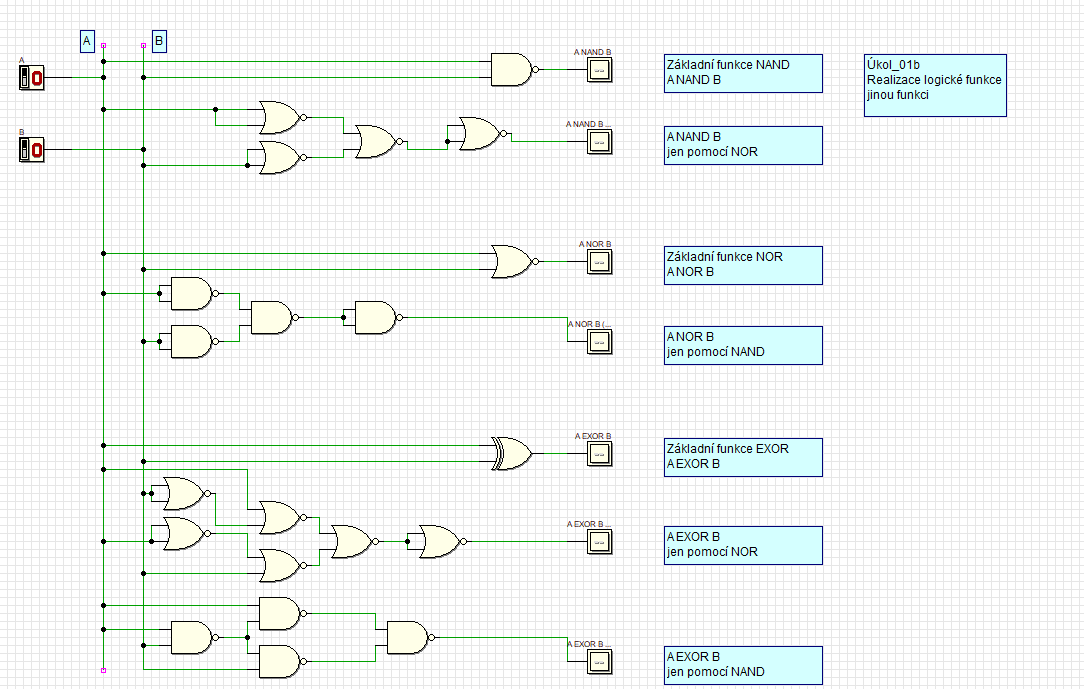
*ARP\_ ukol\_01b*

**Analýza jednoduchých logických obvodů€**

V programu Digital Circuit Simulator otevřete soubor ARP\_01b.PBS. Doplňte propojení a doplňte základní obvody tak, abyste ověřili platnost De Morganových zákonů. Vašim úkolem je vytvořit logický obvod NAND bez použití logického obvodu NAND a tak podobně.

**1) Schéma**

*zde vložte vaše schéma zapojení jako obrázek z programu Digital Circuit Simulator. (původní obrázek odstraňte)*



**2) Pravdivostní tabulka**

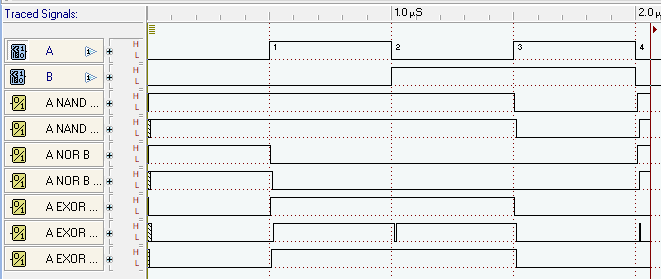
*Vyplňte pravdivostní tabulku na základě činnosti simulátoru a ověřte na základě teoretických znalostí.*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **B** | A | A NAND B | A NAND B | A NOR B | A NOR B | A XOR B | A XOR B | A XOR B |
| **0** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **0** |
| **0** | **1** | **1** | **1** | **0** | **0** | **1** | **1** | **1** |
| **1** | **0** | **1** | **1** | **0** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** | **0** |

**3) Časový diagram**

*Zde vložte časový diagram z programu Digital Circuit Simulator, který bude prezentovat časový průběh činnosti jednotlivých logických obvodů. Načtěte testovací sekvenci AllCombinations a otestujte funkci obvodů Execute Timing Simulation*

*zde vložte vaše otestování funkce logických obvodů pomocí časového diagramu a ověřte si správnost (původní obrázek odstraňte)*



*ARP\_ ukol\_01c*

**Analýza jednoduchých logických obvodů€**

V programu Digital Circuit Simulator otevřete soubor ARP\_01c.PBS.

Na základě následující pravdivostní tabulky popisující logickou funkci F (X, Y, Z):

|  |  |  |  |
| --- | --- | --- | --- |
| X | Y | Z | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

Doplňte do zapojení tak, aby obě varianty plnily předepsanou funkci, jež je dána pravdivostní tabulkou.

**1) Logická funkce:**

**Varianta AND – OR (součin součtů)**

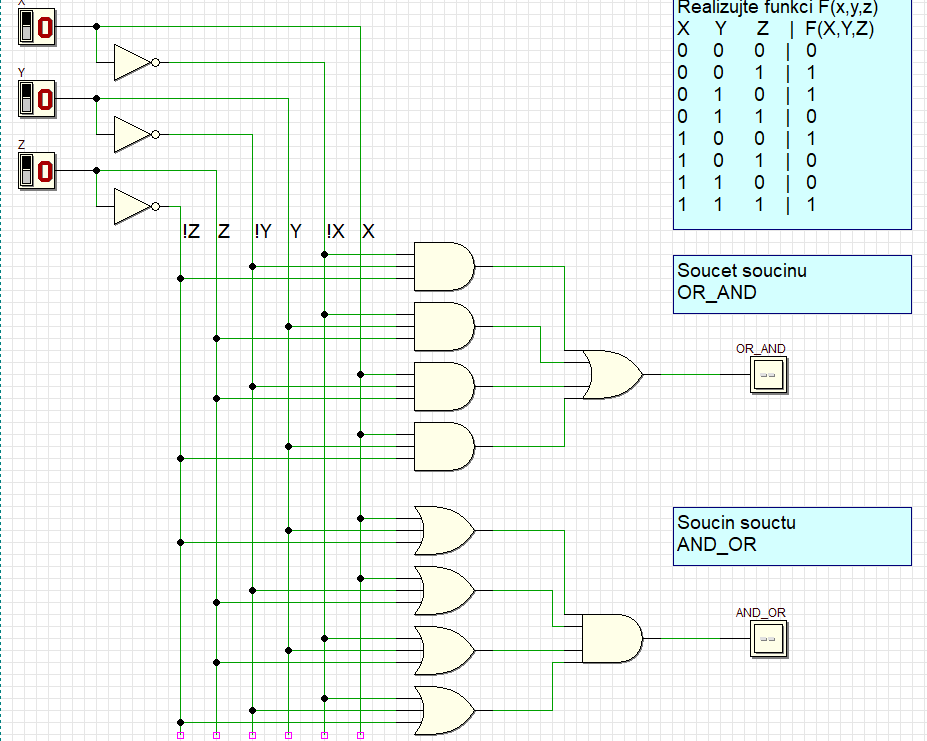
Zde vložte logický výraz do objektu za rovnítko.

**Varianta OR – AND (součet součinů)**

Zde vložte logický výraz do objektu za rovnítko.

**2) Schéma:**

*zde vložte vaše schéma zapojení jako obrázek z programu Digital Circuit Simulator.*



**3) Časový diagram**

*Zde vložte časový diagram z programu Digital Circuit Simulator, který bude prezentovat časový průběh činnosti jednotlivých logických obvodů.*

