

**МИНОБРНАУКИ РОССИИ**  
**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ**  
**ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**  
**«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)**  
**Кафедра вычислительной техники**

**ПОЯСНИТЕЛЬНАЯ ЗАПИСКА К КУРСОВОМУ ПРОЕКТУ**  
**по дисциплине «Элементная база цифровых систем»**  
**Тема: «Счетчик с программированием приращений содержимого»**

Студентка гр.0305

\_\_\_\_\_

Петракова М. А.

Преподаватель

\_\_\_\_\_

Бондаренко П.Н.

Санкт – Петербург

2023

## СОДЕРЖАНИЕ

1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА .....	3
2. ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА.....	4
2.1.Формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ) .....	4
2.2.Схема с двоичным счетчиком и ППЗУ .....	6
3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ ВАРИАНТОВ УЗЛА	8
4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ ПРЕДЛОЖЕННЫХ ВАРИАНТОВ СРЕДСТВАМИ САПР QUARTUS II .....	10
4.1 Синтез и моделирование узла с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ.....	10
4.2 Синтез и моделирование узла на основе двоичного счетчика и ППЗУ	12
5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ.....	16
6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА .....	18
7. ОПРЕДЕЛЕНИЕ ЧАСТОТЫ ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ	20
ЗАКЛЮЧЕНИЕ ПО ПРОДЕЛАННОЙ РАБОТЕ.....	22
СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ .....	23

## 1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

### Вариант 6.1.

Разработать принципиальную электрическую схему 10-разрядного, двоично-кодированного счетчика. Содержимое счетчика изменяется на  $\Delta N$  с приходом каждого входного импульса. Возможны два режима работы счетчика: с  $\Delta N = +3$  и  $\Delta N = +5$ . Код режима, сигналы сброса, пуска и останова счетчика поступают от управляющего устройства (процессора). Код, полученный в счетчике к моменту останова, фиксируется. Счетчик рассматривается как внешнее устройство процессорной системы, его адреса расположены в заданной области адресного пространства системы, имеющего емкость 256 адресов.

Возможные варианты реализации:

- формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ);
- схема с применением комбинационного сумматора и регистра в младших разрядах;
- вариант с изменением содержимого счетчика на  $0,5(\Delta N_1 + \Delta N_2)$  и последующим прибавлением или вычитанием единицы;
- схема с двоичным счетчиком и ППЗУ и др.

Критерий выбора наилучшего варианта — минимум аппаратных затрат.

## 2. ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

### 2.1. Формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ)

Для рассматриваемого варианта реализации десятиразрядного счетчика потребуется 10 JK-триггеров. Определим функции возбуждения триггеров по таблице перехода состояний (табл. 1). При заданных приращениях ( $+3_{10}=011_2$ ,  $+5_{10}=101_2$ ) можно рассматривать изменения только в трех младших битах (разрядах счетчика) и в следующем, четвертом бите – для определения комбинаций, требующих переноса. Следующие же значения битов рассчитываются как  $J_i=Q_{i-1} * J_{i-1}$  – перенос, общий для счетчиков, реализованных на триггерах.

В таблице 1 приняты следующие обозначения: М (mode) – режим работы ( $M = 0 \rightarrow \Delta N = +3$ ,  $M = 1 \rightarrow \Delta N = +5$ ),  $Q_i$  – выходной сигнал  $i$ -го триггера: до черты старые значения, после – результат сложения.

По словарю JK-триггера были получены и минимизированы функции возбуждения триггеров. Для удобства, с учетом полученных недоопределенных функций, функции J и K были приняты равными, т.е. в зависимости от приходящего сигнала триггер либо хранит информацию, либо инвертирует ее.

Функции возбуждения триггеров, приводя к базису И-НЕ:

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = \sim M \sim Q_0 \vee M Q_0 = \sim(\sim(\sim Q_0 \sim M) * \sim(Q_0 M))$$

$$J_2 = K_2 = Q_1 \sim Q_0 \vee M \sim Q_1 \vee \sim M Q_0 = \sim(\sim(\sim(\sim Q_0 Q_1) \sim(\sim Q_1 M))) \sim(\sim M Q_0)$$

$$J_3 = K_3 = (Q_0 Q_1 \vee Q_2) M \vee (Q_1 \vee Q_0) \sim M Q_2$$

Счетчик работает циклически от нуля до достижения  $2^{10}$  (последнего числа в последовательности, меньшего  $2^{10}$ ), затем сбрасывает значение в 0.

Таблица 2.1

M	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	1	1	0	*	0	*	1	*	1	*
0	0	0	0	1	0	1	0	0	0	*	1	*	0	*	*	1
0	0	0	1	0	0	1	0	1	0	*	1	*	*	1	1	*
0	0	0	1	1	0	1	1	0	0	*	1	*	*	0	*	1
0	0	1	0	0	0	1	1	1	0	*	*	0	1	*	1	*
0	0	1	0	1	1	0	0	0	1	*	*	1	0	*	*	1
0	0	1	1	0	1	0	0	1	1	*	*	1	*	1	1	*
0	0	1	1	1	1	0	1	0	1	*	*	1	*	0	*	1
0	1	0	0	0	1	0	1	1	*	0	0	*	1	*	1	*
0	1	0	0	1	1	1	0	0	*	0	1	*	0	*	*	1
0	1	0	1	0	1	1	0	1	*	0	1	*	*	1	1	*
0	1	0	1	1	1	1	1	0	*	0	1	*	*	0	*	1
0	1	1	0	0	1	1	1	1	*	0	*	0	1	*	1	*
0	1	1	0	1	0	0	0	0	*	1	*	1	0	*	*	1
0	1	1	1	0	0	0	0	1	*	1	*	1	*	1	1	*
0	1	1	1	1	0	0	1	0	*	1	*	1	*	0	*	1
1	0	0	0	0	0	1	0	1	0	*	1	*	0	*	1	*
1	0	0	0	1	0	1	1	0	0	*	1	*	1	*	*	1
1	0	0	1	0	0	1	1	1	0	*	1	*	*	0	1	*
1	0	0	1	1	1	0	0	0	1	*	0	*	*	1	*	1
1	0	1	0	0	1	0	0	1	1	*	*	1	0	*	1	*
1	0	1	0	1	1	0	1	0	1	*	*	1	1	*	*	1
1	0	1	1	0	1	0	1	1	1	*	*	1	*	0	1	*
1	0	1	1	1	1	1	0	0	1	*	*	0	*	1	*	1
1	1	0	0	0	1	1	1	0	1	*	0	1	*	0	*	1
1	1	0	0	1	1	1	1	0	*	0	1	*	1	*	*	1
1	1	0	1	0	1	1	1	1	*	0	1	*	*	0	1	*
1	1	0	1	1	0	0	0	0	*	1	0	*	*	1	*	1
1	1	1	0	0	0	0	0	1	*	1	*	1	0	*	1	*
1	1	1	0	1	0	0	1	0	*	1	*	1	1	*	*	1
1	1	1	1	0	0	0	1	1	*	1	*	1	*	0	1	*
1	1	1	1	1	0	1	0	0	*	1	*	0	*	1	*	1

Функциональная схема узла приведена на рисунке 2.1.

Входные сигналы: M – режим работы счетчика, Reset – сигнал сброса счетчика в значение 0, Start/Stop – сигнал, при высоком уровне которого запускается работа счетчика, при низком – остановка с сохранением последнего результата счета, Clock – входной сигнал от генератора тактовых импульсов необходимой частоты.

Выходные сигналы Q[0]-Q[9] задают значения соответствующих разрядов счетчика.

## 2.2. Схема с двоичным счетчиком и ППЗУ

Схема на основе двоичного счетчика с ППЗУ предполагает, что каждому значению счетчика будет соответствовать значение, равное каждому следующему приращению результата на  $\Delta N$ . Значение, сформированное на выходе счетчика, будет рассматриваться как адрес слова в ППЗУ, содержащего 10 бит.

Все биты адреса, кроме старшего, определяются значением соответствующего разряда счетчика в данный момент времени. Старший бит определяется значением режима (M): в ППЗУ для адресов с старшим нулем записаны значения счета с шагом +3, со старшей единицей – с шагом +5. Сигналы с выходов ППЗУ будут являться искомыми выходными сигналами.

Проектируемый узел работает циклично, один цикл равен счету от 0 до 1024 с шагом  $\Delta N$ . Таким образом, в основе узла будет лежать 9-разрядный двоичный счетчик и ППЗУ с 10-разрядной адресацией, хранящее слова из 10 бит.

Функциональная схема узла приведена на рисунке 2.2.

Входные сигналы: M – режим работы счетчика, Reset – сигнал сброса счетчика в значение 0, Start/Stop – сигнал, при высоком уровне которого запускается работа счетчика, при низком – остановка с сохранением последнего результата счета, Clock – входной сигнал от генератора тактовых импульсов необходимой частоты. Сброс счетчика происходит в случае достижения максимального значения или при поступлении входного сигнала Reset.

Выходные сигналы Q[0]-Q[9] задают значения соответствующих разрядов счетчика.

ПЛИС Cyclone II, на которой будет реализовываться устройство, не позволяет реализовать асинхронное ППЗУ, поэтому адресация к словам ППЗУ осуществляется по переднему фронту тактового сигнала Clock.

Данные для занесения в ППЗУ, необходимые для формирования результатов, приведены в таблице 2.

Таблица 2

Адрес ячейки	Значение (decimal)
0	0
1	3
2	6
3	9
4	12
...	...
n	1023
512	0
513	5
514	10
515	15
516	20
...	...
m	1020

### 3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ ВАРИАНТОВ УЗЛА

Для реализации различных вариантов узла в САПР QUARTUS II, помимо логических примитивов, которые не нуждаются в особом описании, использованы элементы библиотеки, которые будут описаны ниже.

В первом варианте реализации был использован синхронный JK-триггер с динамическим управлением (рис. 3.1).

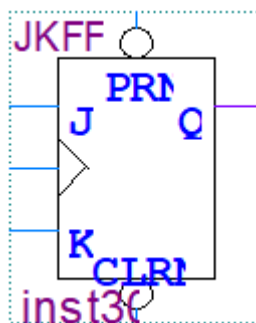


Рисунок 3.1. Примитив JKFF

Данный примитив обладает асинхронными инверсными входами сбросами установки (CLR $\overline{N}$ , PR $\overline{N}$ ), асинхронным входом разрешения переключения (ENA), входом тактирующего сигнала, входом данных (T) и выходом состояния триггера (Q).

Для реализации двоичного счетчика во втором варианте узла используется мегафункция `lpm_counter` (рис. 3.2).

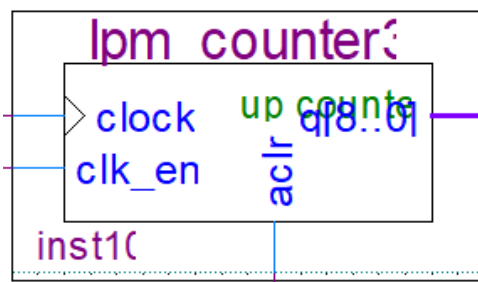


Рисунок 3.2. Мегафункция `lpm_counter`

В мастере настроек данной мегафункции было указано 9 разрядов счетчика, соответствующих выходам `q[8..0]`. Кроме этого, в мегафункции задействован вход для тактирующего сигнала (`clock`), вход асинхронного



сброса (aclr) и clk\_en – входной сигнал, разрешающий работу синхронных узлов.

Для реализации ППЗУ во втором варианте узла была использована мегафункция lpm\_rom (рис. 3.3).

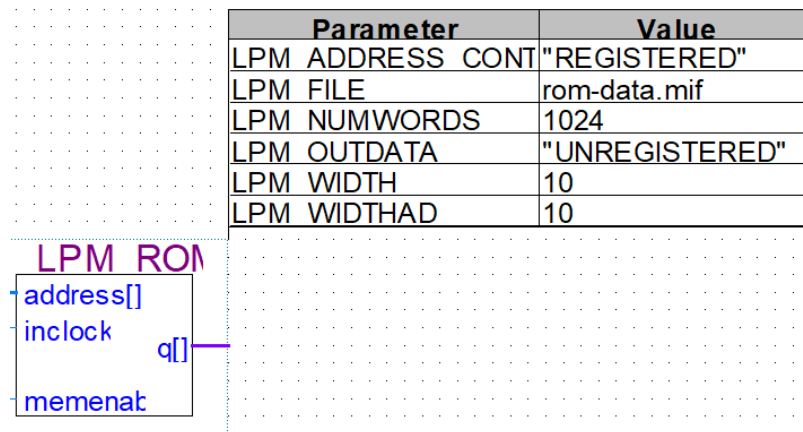


Рисунок 3.3. Мегафункция lpm\_rom

В данной мегафункции была задействована выходная десятиразрядная шина данных (q[]), входная десятиразрядная шина адреса (address[]), вход для синхронизирующего сигнала адресных регистров (inclock) и вход для разрешения выдачи выходных сигналов (memenab). Синхронизация регистров адреса в мегафункции понадобилась ввиду того, что на выбранной для реализации узла ПЛИС CYCLONE II невозможно реализовать асинхронное ППЗУ.

## 4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ ПРЕДЛОЖЕННЫХ ВАРИАНТОВ СРЕДСТВАМИ САПР QUARTUS II

### 4.1 Синтез и моделирование узла с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ

Основываясь на схеме (рис. 2.1) и примитивах, описанных в предыдущем разделе, узел был синтезирован в САПР QUARTUS II (рис. 4.1).

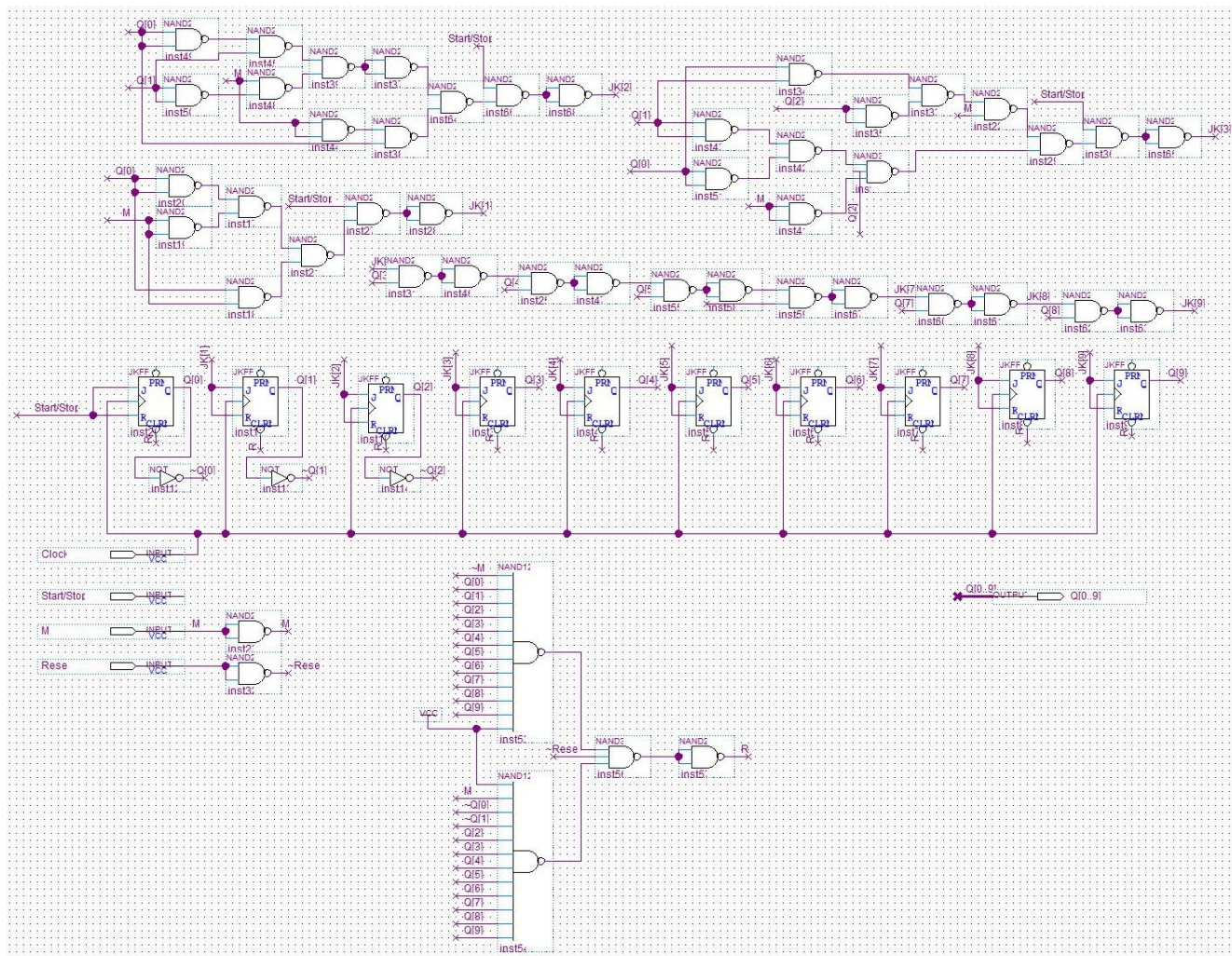


Рисунок 4.1. Реализация первого варианта узла в САПР QUARTUS II

Описание функционирования данного узла дано в разделе 2.1. Результат компиляции данной схемы представлен на рисунке 4.2.

Flow Summary	
Flow Status	Successful - Sat May 13 13:30:36 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	1
Top-level Entity Name	1
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	21 / 4,608 ( < 1 % )
Total combinational functions	21 / 4,608 ( < 1 % )
Dedicated logic registers	10 / 4,608 ( < 1 % )
Total registers	10
Total pins	14 / 142 ( 10 % )
Total virtual pins	0
Total memory bits	0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рисунок 4.2. Результаты компиляции узла на основе JK-триггеров

После компиляции схемы узла было проведено временное моделирование его работы. Соответствующие результаты приведены на рисунках 4.3 и 4.4.

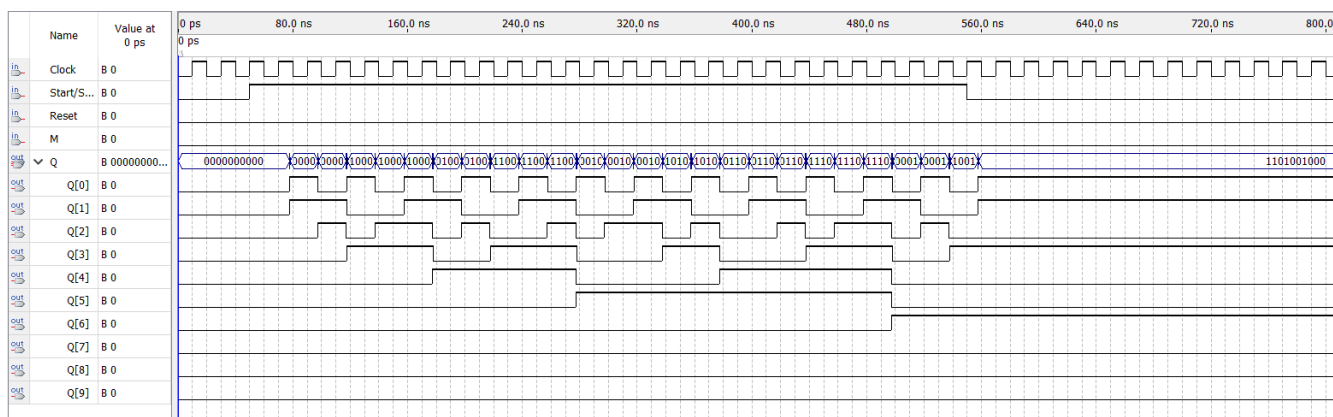


Рисунок 4.3. Временная диаграмма моделирования работы узла на основе JK-триггеров при  $M = 0$  ( $\Delta N = +3$ )

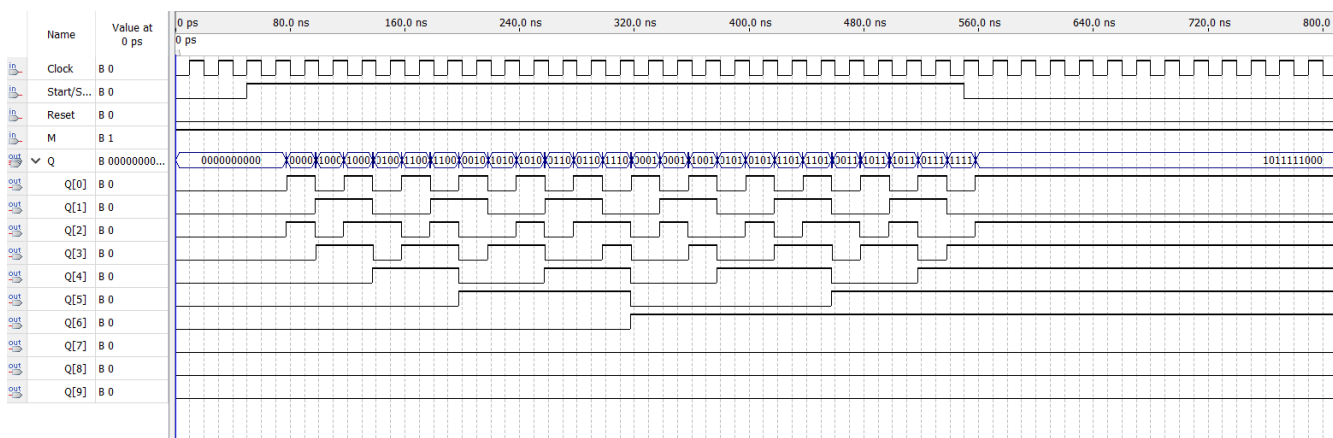


Рисунок 4.4. Временная диаграмма моделирования работы узла на основе JK-триггеров при  $M = 1$  ( $\Delta N = +5$ )

При запуске моделирования, и до прихода сигнала Start, выходной сигнал на всех разрядах нулевой. После чего подается сигнал Start, запускающий счетчик. Переход сигнала Start в низкий уровень соответствует команде остановки узла; при поступлении такта, на котором сигнал Start нулевой, счет останавливается на том значении, до которого дошёл. При следующей подаче сигнала Start счет продолжается с этого значения. Обнуление счета происходит либо по достижении максимального значения, либо по приходе сигнала Reset.

Как видно из временной диаграммы, выходные сигналы в точности соответствуют необходимым по заданию работы.

#### 4.2 Синтез и моделирование узла на основе двоичного счетчика и ППЗУ

Основываясь на схеме (рис. 2.2) и примитивах, описанных в разделе 3, узел был синтезирован в САПР QUARTUS II (рис. 4.5).

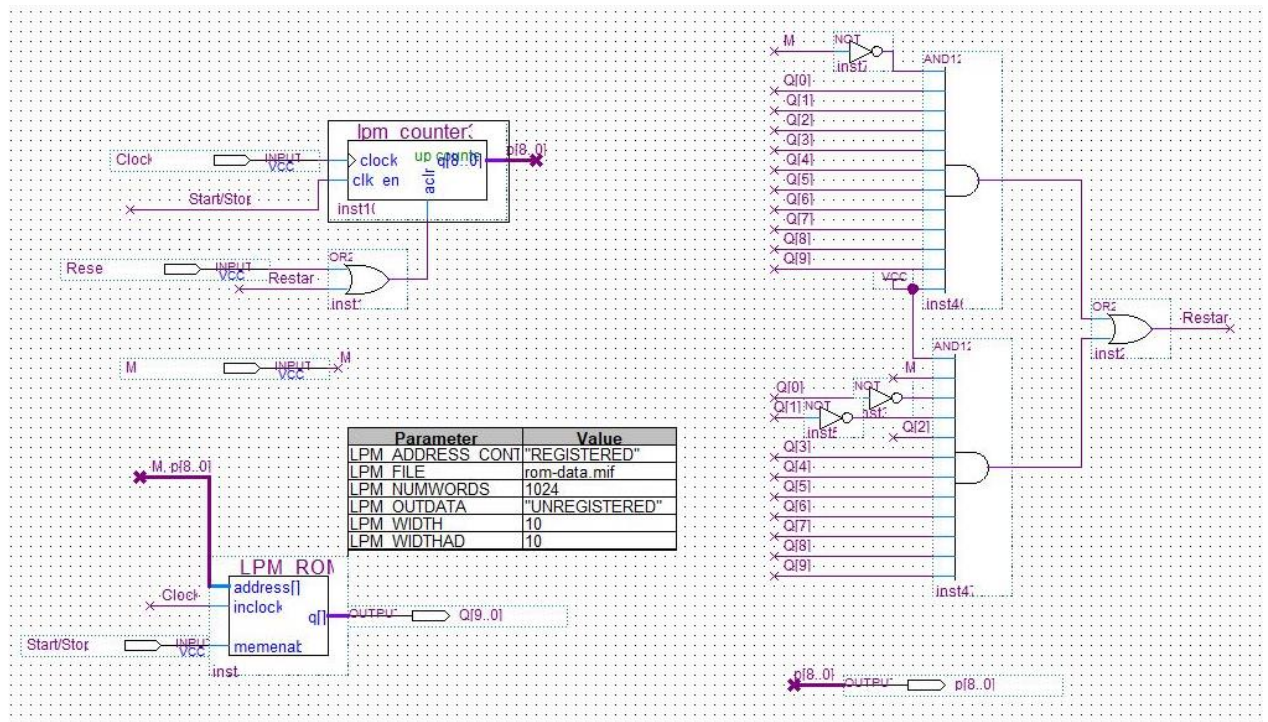


Рисунок 4.5. Реализация второго варианта узла в САПР QUARTUS II

Мегафункция lpm\_rom, с помощью которой реализовано ППЗУ, нуждается в специальном файле, непосредственно задающем содержимое памяти. Данный файл представлен на рисунке 4.6. Ячейки памяти, старший бит

двоичной формы адреса которых равен нулю, заполнены числами от 0 до 1023 с шагом 3; где старший бит – 1, числами от 0 до 1020 с шагом 5. Все числа представлены в шестнадцатеричной форме; прочие ячейки заполнены нулем.

Addr	+0	+1	+2	+3	+4	+5	+6	+7
000	000	003	006	009	00C	00F	012	015
008	018	01B	01E	021	024	027	02A	02D
010	030	033	036	039	03C	03F	042	045
018	048	04B	04E	051	054	057	05A	05D
020	060	063	066	069	06C	06F	072	075
028	078	07B	07E	081	084	087	08A	08D
030	090	093	096	099	09C	09F	0A2	0A5
038	0A8	0AB	0AE	0B1	0B4	0B7	0BA	0BD
040	0C0	0C3	0C6	0C9	0CC	0CF	0D2	0D5

...

Addr	+0	+1	+2	+3	+4	+5	+6	+7
1f8	000	000	000	000	000	000	000	000
200	000	005	00A	00F	014	019	01E	023
208	028	02D	032	037	03C	041	046	04B
210	050	055	05A	05F	064	069	06E	073
218	078	07D	082	087	08C	091	096	09B
220	0A0	0A5	0AA	0AF	0B4	0B9	0BE	0C3
228	0C8	0CD	0D2	0D7	0DC	0E1	0E6	0EB
230	0F0	0F5	0FA	0FF	104	109	10E	113
238	118	11D	122	127	12C	131	136	13B
240	140	145	14A	14F	154	159	15E	163
248	168	16D	172	177	17C	181	186	18B

Рисунок 4.6. Данные ППЗУ

Описание функционирования данного узла дано в разделе 2.2. Результат компиляции данной схемы представлен на рисунке 4.7.



Flow Summary	
Flow Status	Successful - Sat May 13 14:03:01 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	2
Top-level Entity Name	2
Family	Cyclone II
Device	EP2C20Q240C8
Timing Models	Final
Total logic elements	13 / 18,752 ( < 1 % )
Total combinational functions	13 / 18,752 ( < 1 % )
Dedicated logic registers	9 / 18,752 ( < 1 % )
Total registers	9
Total pins	23 / 142 ( 16 % )
Total virtual pins	0
Total memory bits	10,240 / 239,616 ( 4 % )
Embedded Multiplier 9-bit elements	0 / 52 ( 0 % )
Total PLLs	0 / 4 ( 0 % )

Рисунок 4.7. Результаты компиляции узла на основе двоичного счетчика с ППЗУ

После компиляции схемы узла было проведено временное моделирование его работы. Соответствующие результаты приведены на рисунках 4.8 и 4.9.

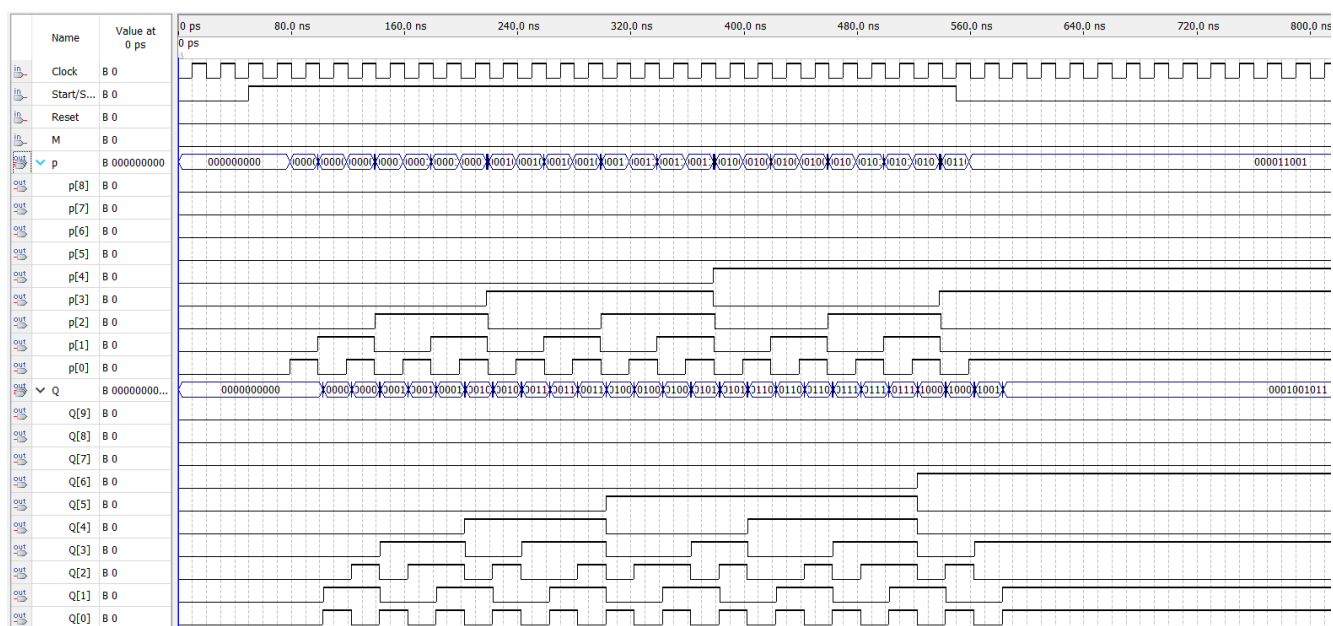


Рисунок 4.8. Временная диаграмма моделирования работы узла на основе двоичного счетчика и ППЗУ при  $M = 0$  ( $\Delta N = +3$ )

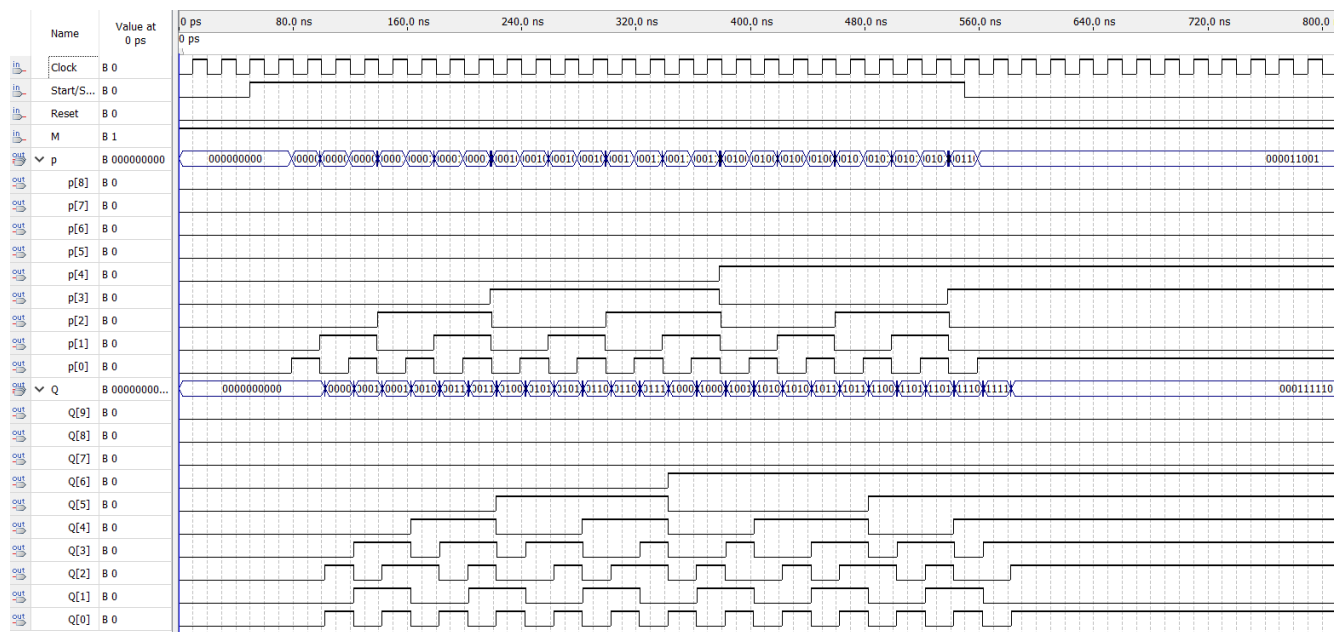


Рисунок 4.9. Временная диаграмма моделирования работы узла на основе двоичного счетчика и ППЗУ при  $M = 1$  ( $\Delta N = +5$ )

Как видно из временной диаграммы, выходные сигналы в точности соответствуют необходимым по заданию работы. В связи с наличием в схеме логических элементов, необходимых для сброса счетчика, максимальная допустимая частота около 50 МГц.

Стоит отметить, что для реализации узла на основе JK-триггеров было задействовано большее количество логических элементов ПЛИС, чем для варианта на основе двоичного счетчика с ППЗУ. Вариант на основе двоичного счетчика с ППЗУ выглядит предпочтительней с точки зрения минимума аппаратных затрат.

## **5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ**

Сопряжение схемы узла с процессорной системой происходит посредством шины Microbus. Для работы схемы используются следующие сигналы шины: Clock – тактирующий сигнал шины; Reset – сигнал сброса устройства в начальное состояние; M – режим работы; нулевой бит шины данных для передачи команды от процессорной системы (0 – стоп, 1 – старт). Для выбора режима передачи команды в устройство, ПС выставляет на младшие 8 разрядов шины адреса значение 0x40.

Управление узлом генерации выходных сигналов осуществляется подачей на него значения текущей команды Data0, а также подачей сигнала Reset с шины. Кроме того, на узел подается тактирующая последовательность с внешнего генератора. Функциональная схема интерфейса сопряжения представлена на рисунке 5.1. Схема синтеза данного узла в САПР QUARTUS II представлена на рисунке 5.2.



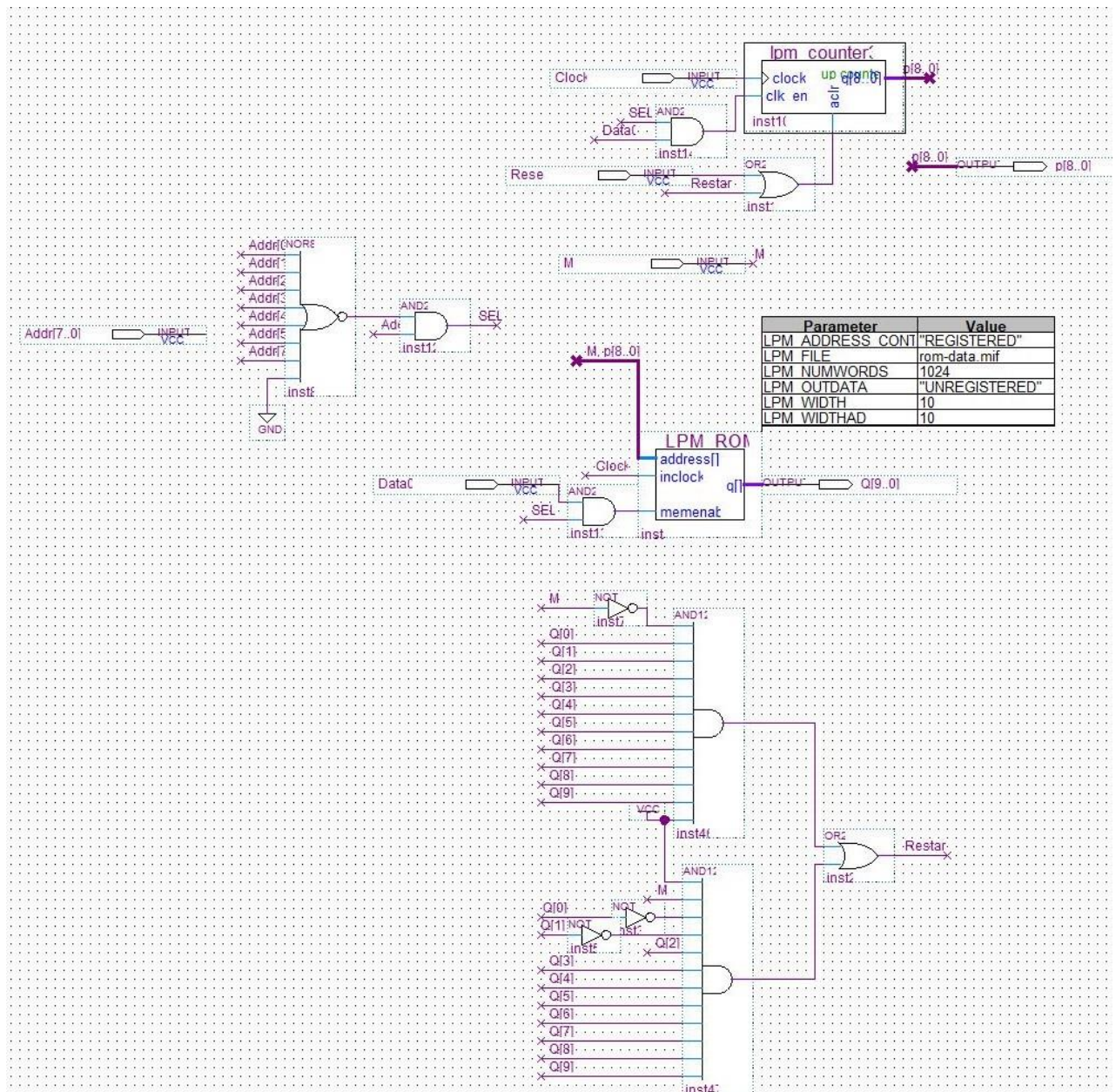


Рисунок 5.2. Схема интерфейса сопряжения с ПС в QUARTUS II

## 6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА

Результат моделирования работы проектируемого узла приведена на временной диаграмме (рисунок 6.1).

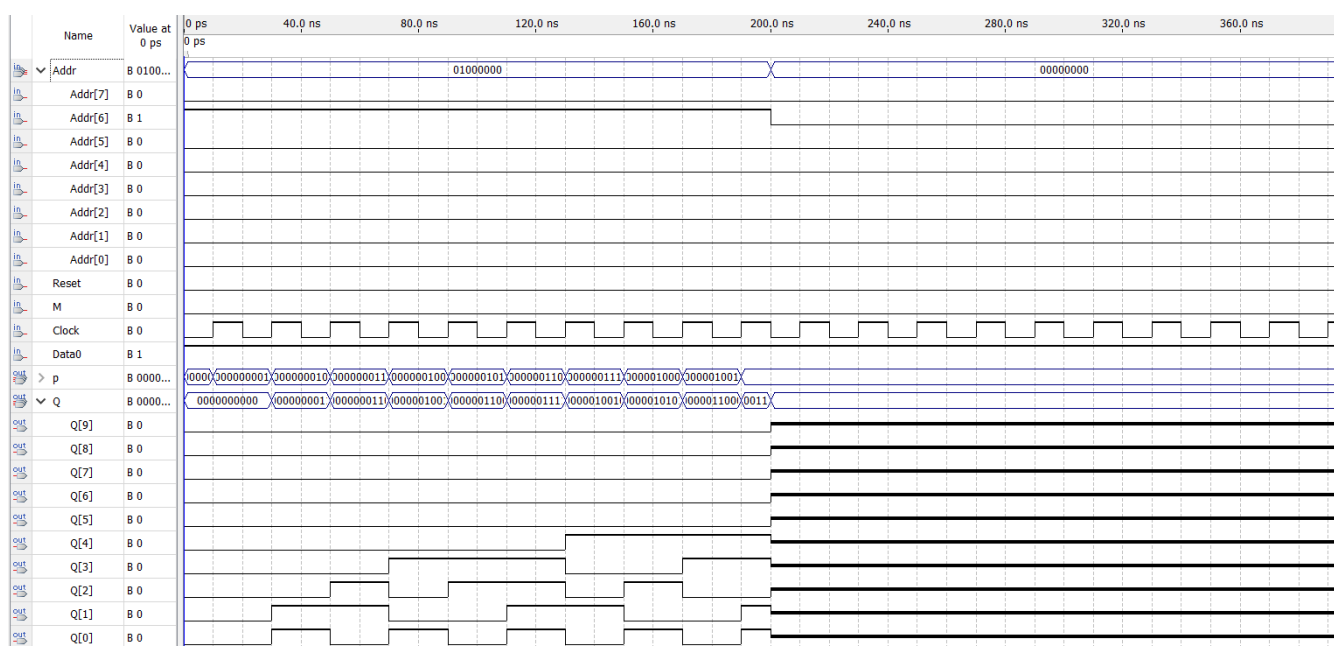


Рисунок 6.1 (а). Временная диаграмма работы узла при  $M = 0$

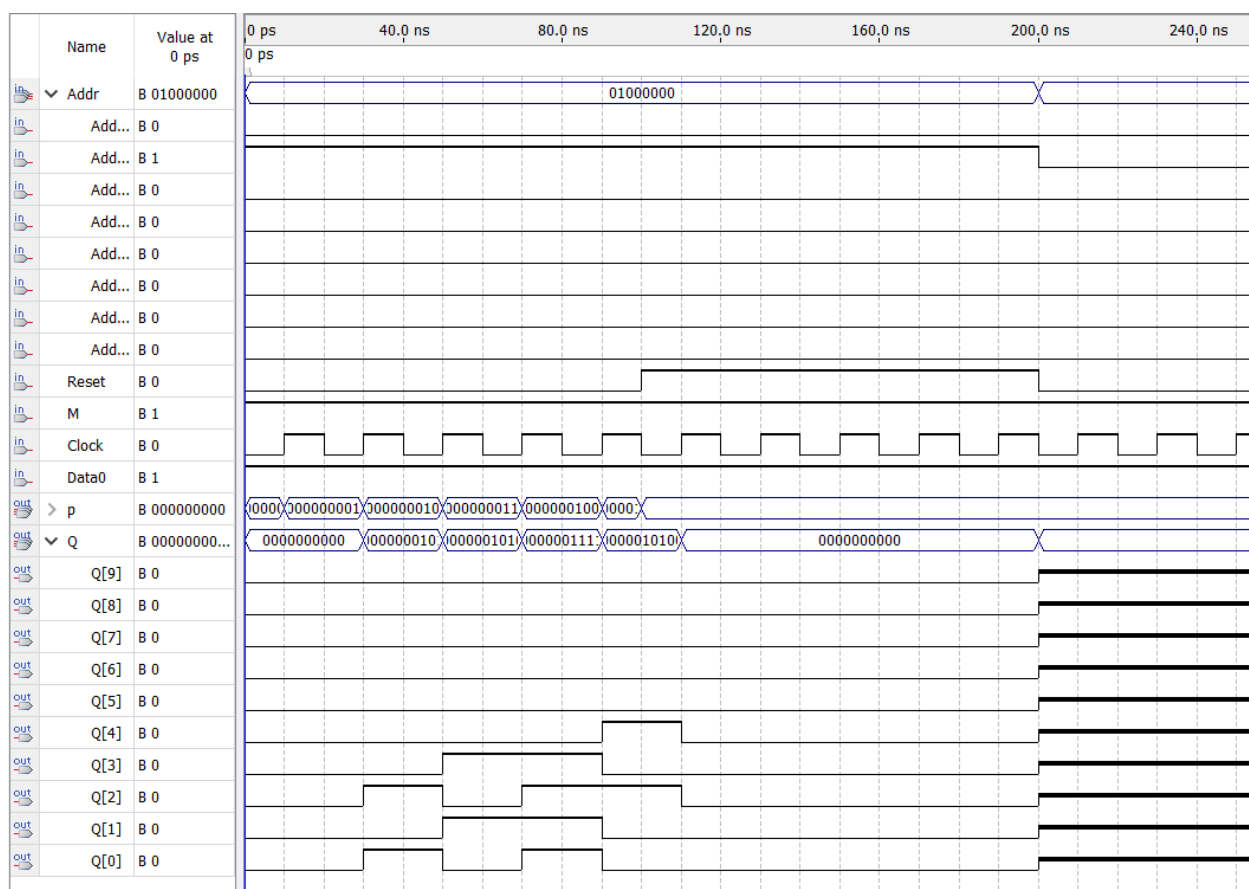


Рисунок 6.1 (б). Временная диаграмма работы узла при  $M = 1$

В начале работы узла счетчик установлен в 0. ПС подает команду на запуск устройства, для этого на адресной шине выставляется значение 0x40, на шине данных выставляется бит в нулевом разряде (команда Старт). Устройство запускает генерацию выходных сигналов (счёт) в режиме, установленном сигналом М на шине управления. Счёт продолжается до тех пор, пока не будет достигнуто максимальное значение или не будет подан сигнал Reset с ПС.

Далее ПС подает команду остановки генерации выходных сигналов выставляя на адресной шине 0x40, сбрасывая нулевой бит шины данных (команда стоп) и подавая управляющий сигнал. Получив данную команду, устройство останавливает работу, сохраняя последнюю последовательность выходных сигналов.

## 7. ОПРЕДЕЛЕНИЕ ЧАСТОТЫ ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ

Для обеспечения заданных временных характеристик генерируемых последовательностей, период генерируемых сигналов должен составлять 0,05мкс.

Выбор технической реализации генератора тактовых импульсов зависит от целого ряда факторов. Определяющим фактором является требуемая стабильность частоты выходных импульсов.

Наибольшую стабильность обеспечивают схемы, содержащие в своем составе кварцевые резонаторы. Промышленностью выпускается достаточно обширный круг таких ИС. Основной недостаток этих схем – достаточно высокая стоимость.

При допустимой нестабильности частоты порядка единиц процентов применяют простые кольцевые генераторы или RC-генераторы, с времязадающими элементами в виде цепочек, содержащих конденсаторы и резисторы.

В схеме (рисунок 7.1) времязадающая цепочка RC определяет частоту выходных импульсов, равную приблизительно  $0,53/RC$ .

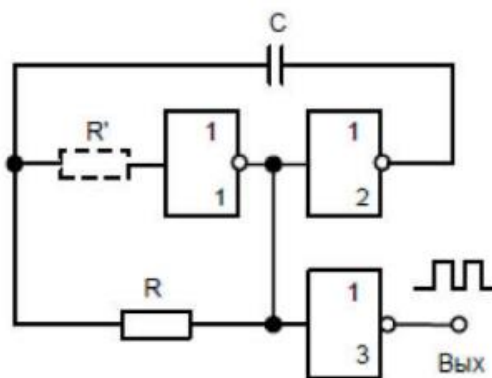


Рисунок 7.1.

Для стандартных элементов ТТЛ вследствие значительных входных токов сопротивление R должно быть малым. Рекомендуется выбирать его в пределах 200...400 Ом. Резистор R' в схемах на элементах ТТЛ не требуется.

При выборе резистора номиналом в 270 Ом, номинал сопротивления будет составлять  $C \approx 100$  пФ.

Полная принципиальная схема разработанного устройства с перечнем элементов представлена в приложении к пояснительной записке.

## **ЗАКЛЮЧЕНИЕ ПО ПРОДЕЛАННОЙ РАБОТЕ**

В процессе выполнения курсовой работы был разработан десятиразрядный счетчик с программированием приращения содержимого. Для данного устройства было разработано два варианта узла: на основе JK-триггеров и логических элементов, и на основе двоичного счетчика с ППЗУ. Сравнение различных вариантов реализации показало, что узел на основе ППЗУ, хоть и требует некоторого количества памяти, несет за собой меньшие аппаратные затраты, чем узел на основе триггеров.

Устройство было синтезировано в САПР QUARTUS II, после чего было произведено временное моделирование для подтверждения правильности его работы. Кроме того, был разработан необходимый для работы устройства генератор тактовых импульсов и составлена полная принципиальная схема устройства с учетом реализации на ПЛИС Cyclone II.

## **СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ**

1. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов.— БХВ-Петербург, 1-е изд. 2000г., 2-е изд. 2006г., 3-е изд. 2010г.— 797с.
2. <https://www.chipdir.ru/> - наименования элементов
3. Грушвицкий Р.И., Угрюмов Е.П. Проектирование цифровых узлов: Методические указания к курсовому проектированию. - СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011.