МИНОБРНАУКИ РОССИИ

САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ

ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)

Кафедра вычислительной техники

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА К КУРСОВОМУ ПРОЕКТУ

по дисциплине «Элементная база цифровых систем»

Тема: «Счетчик с программированием приращений содержимого»

Студентка гр.0305 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Петракова М. А.

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Бондаренко П.Н.

Санкт – Петербург

2023

**СОДЕРЖАНИЕ**

[1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА 3](#_Toc135513163)

[2. ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА 4](#_Toc135513164)

[2.1. Формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ) 4](#_Toc135513165)

[2.2. Схема с двоичным счетчиком и ППЗУ 6](#_Toc135513166)

[3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ ВАРИАНТОВ УЗЛА 8](#_Toc135513167)

[4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ ПРЕДЛОЖЕННЫХ ВАРИАНТОВ СРЕДСТВАМИ САПР QUARTUS II 10](#_Toc135513168)

[4.1 Синтез и моделирование узла с использованием JK-триггеров и логических элементов типа И-НЕ 10](#_Toc135513169)

[4.2 Синтез и моделирование узла на основе двоичного счетчика и ППЗУ 12](#_Toc135513170)

[5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ 16](#_Toc135513171)

[6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА 18](#_Toc135513172)

[ЗАКЛЮЧЕНИЕ ПО ПРОДЕЛАННОЙ РАБОТЕ 20](#_Toc135513173)

[СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ 21](#_Toc135513174)

# ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

Вариант 6.1.

Разработать принципиальную электрическую схему 10-разрядного, двоично-кодированного счетчика. Содержимое счетчика изменяется на ∆N с приходом каждого входного импульса. Возможны два режима работы счетчика: с ∆N =+3 и ∆N =+5. Код режима, сигналы сброса, пуска и останова счетчика поступают от управляющего устройства (процессора). Код, полученный в счетчике к моменту останова, фиксируется. Счетчик рассматривается как внешнее устройство процессорной системы, его адреса расположены в заданной области адресного пространства системы, имеющего емкость 256 адресов.

Возможные варианты реализации:

* формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ);
* схема с применением комбинационного сумматора и регистра в младших разрядах;
* вариант с изменением содержимого счетчика на 0,5(∆N1+∆N2) и последующим прибавлением или вычитанием единицы;
* схема с двоичным счетчиком и ППЗУ и др.

Критерий выбора наилучшего варианта — минимум аппаратных затрат.

# ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

## Формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ)

Для рассматриваемого варианта реализации десятиразрядного счетчика потребуется 10 JK-триггеров. Определим функции возбуждения триггеров по таблице перехода состояний (табл. 1). При заданных приращениях (+310=0112, +510=1012) можно рассматривать изменения только в трех младших битах (разрядах счетчика) и в следующем, четвертом бите – для определения комбинаций, требующих переноса. Следующие же значения битов рассчитываются как Ji=Qi-1\*Ji-1 – перенос, общий для счетчиков, реализованных на триггерах.

В таблице 1 приняты следующие обозначения: M (mode) – режим работы (M = 0 -> ΔN = +3, M = 1 -> ΔN = +5), Qi – выходной сигнал i-го триггера: до черты старые значения, после – результат сложения.

По словарю JK-триггера были получены и минимизированы функции возбуждения триггеров. Для удобства, с учетом полученных недоопределенных функций, функции J и K были приняты равными, т.е. в зависимости от приходящего сигнала триггер либо хранит информацию, либо инвертирует ее.

Функции возбуждения триггеров, приводя к базису И-НЕ:

J0 = K0 = 1

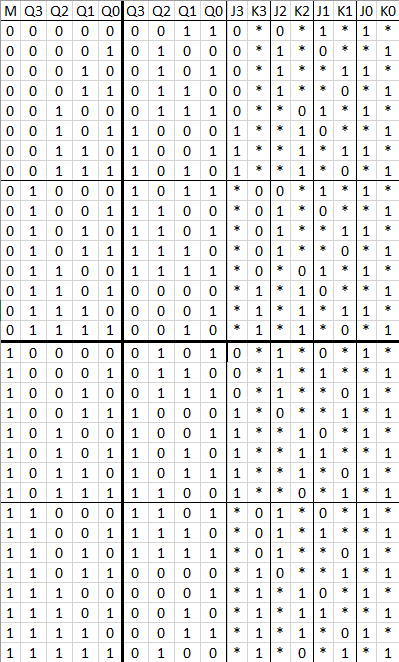
J1 = K1 = ~M ~Q0 v M Q0 = ~(~(~Q0  ~M) \* ~(Q0  M))

J2 = K2 = Q1 ~Q0 v M ~Q1 v ~M Q0  = ~(~(~(~(~Q0 Q1) ~(~Q1 M))) ~(~M Q0))

J3 = K3 = (Q0 Q1 v Q2) M v (Q1 v Q0) ~M Q2

Счетчик работает циклически от нуля до достижения 210 (последнего числа в последовательности, меньшего 210), затем сбрасывает значение в 0.

Таблица 2.1



Функциональная схема узла приведена на рисунке 2.1.

Входные сигналы: M – режим работы счетчика, Reset – сигнал сброса счетчика в значение 0, Start/Stop – сигнал, при высоком уровне которого запускается работа счетчика, при низком – остановка с сохранением последнего результата счета, Clock – входной сигнал от генератора тактовых импульсов необходимой частоты.

Выходные сигналы Q[0]-Q[9] задают значения соответствующих разрядов счетчика.

## Схема с двоичным счетчиком и ППЗУ

Схема на основе двоичного счетчика с ППЗУ предполагает, что каждому значению счетчика будет соответствовать значение, равное каждому следующему приращению результата на ΔN. Значение, сформированное на выходе счетчика, будет рассматриваться как адрес слова в ППЗУ, содержащего 10 бит.

Все биты адреса, кроме старшего, определяются значением соответствующего разряда счетчика в данный момент времени. Старший бит определяется значением режима (М): в ППЗУ для адресов с старшим нулем записаны значения счета с шагом +3, со старшей единицей – с шагом +5. Сигналы с выходов ППЗУ будут являться искомыми выходными сигналами.

Проектируемый узел работает циклично, один цикл равен счету от 0 до 1024 с шагом ΔN. Таким образом, в основе узла будет лежать 9-разрядный двоичный счетчик и ППЗУ с 10-разрядной адресацией, хранящее слова из 10 бит.

Функциональная схема узла приведена на рисунке 2.2.

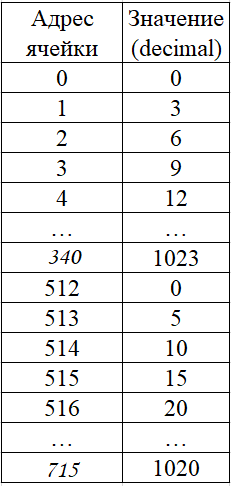
Входные сигналы: M – режим работы счетчика, Reset – сигнал сброса счетчика в значение 0, Start/Stop – сигнал, при высоком уровне которого запускается работа счетчика, при низком – остановка с сохранением последнего результата счета, Clock – входной сигнал от генератора тактовых импульсов необходимой частоты. Сброс счетчика происходит в случае достижения максимального значения или при поступлении входного сигнала Reset.

Выходные сигналы Q[0]-Q[9] задают значения соответствующих разрядов счетчика.

ПЛИС Cyclone II, на которой будет реализовываться устройство, не позволяет реализовать асинхронное ППЗУ, поэтому адресация к словам ППЗУ осуществляется по переднему фронту тактового сигнала Clock.

Данные для занесения в ППЗУ, необходимые для формирования результатов, приведены в таблице 2.

Таблица 2



# ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ ВАРИАНТОВ УЗЛА

Для реализации различных вариантов узла в САПР QUARUS II, помимо логических примитивов, которые не нуждаются в особом описании, использованы элементы библиотеки, которые будут описаны ниже.

В первом варианте реализации был использован синхронный JK-триггер с динамическим управлением (рис. 3.1).

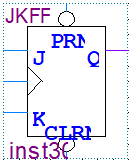


Рисунок 3.1. Примитив JKFF

Данный примитив обладает асинхронными инверсными входами сбросами

установки (CLRN, PRN), асинхронным входом разрешения переключения

(ENA), входом тактирующего сигнала, входом данных(T) и выходом состояния триггера(Q).

Для реализации двоичного счетчика во втором варианте узла используется мегафункция lpm\_counter (рис. 3.2).

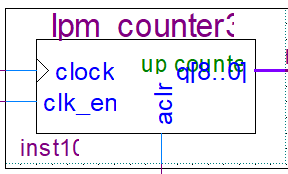


Рисунок 3.2. Мегафункция lpm\_counter

В мастере настроек данной мегафункции было указано 9 разрядов счетчика, соответствующих выходам q[8..0]. Кроме этого, в мегафункции задействован вход для тактирующего сигнала (clock), вход асинхронного сброса (aclr) и clk\_en – входной сигнал, разрешающий работу синхронных узлов.

Для реализации ППЗУ во втором варианте узла была использована мегафункция lpm\_rom (рис. 3.3).

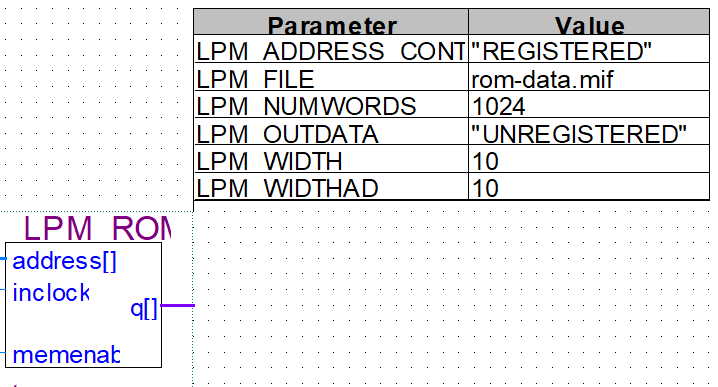


Рисунок 3.3. Мегафункция lpm\_rom

В данной мегафункции была задействована выходная десятиразрядная шина данных (q[]), входная десятиразрядная шина адреса (address[]), вход для синхронизирующего сигнала адресных регистров (inclock) и вход для разрешения выдачи выходных сигналов (memenab). Синхронизация регистров адреса в мегафункции понадобилась ввиду того, что на выбранной для реализации узла ПЛИС CYCLONE II невозможно реализовать асинхронное ППЗУ.

# ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ ПРЕДЛОЖЕННЫХ ВАРИАНТОВ СРЕДСТВАМИ САПР QUARTUS II

## 4.1 Синтез и моделирование узла с использованием JK-триггеров и логических элементов типа И-НЕ

Основываясь на схеме (рис. 2.1) и примитивах, описанных в предыдущем разделе, узел был синтезирован в САПР QUARTUS II (рис. 4.1).

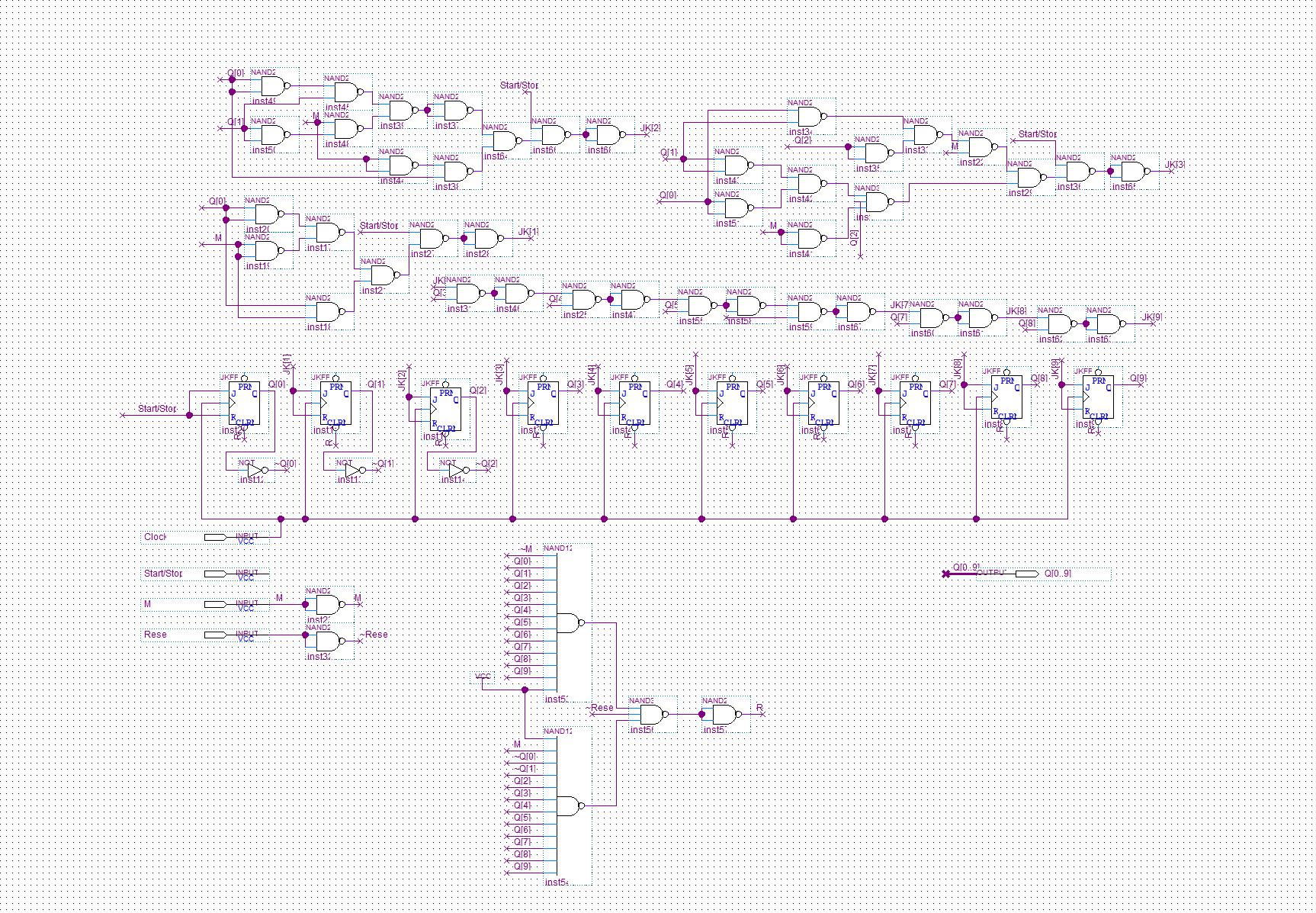


Рисунок 4.1. Реализация первого варианта узла в САПР QUARTUS II

Описание функционирования данного узла дано в разделе 2.1. Результат компиляции данной схемы представлен на рисунке 4.2.

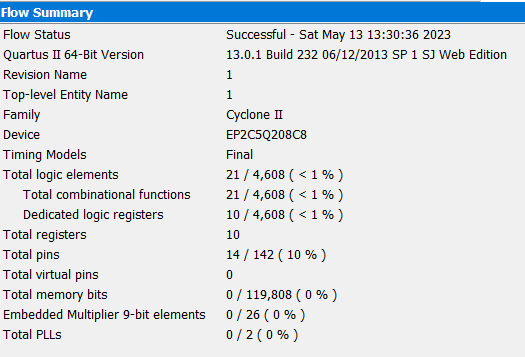


Рисунок 4.2. Результаты компиляции узла на основе JK-триггеров

После компиляции схемы узла было проведено временное моделирование его работы. Соответствующие результаты приведены на рисунках 4.3 и 4.4.

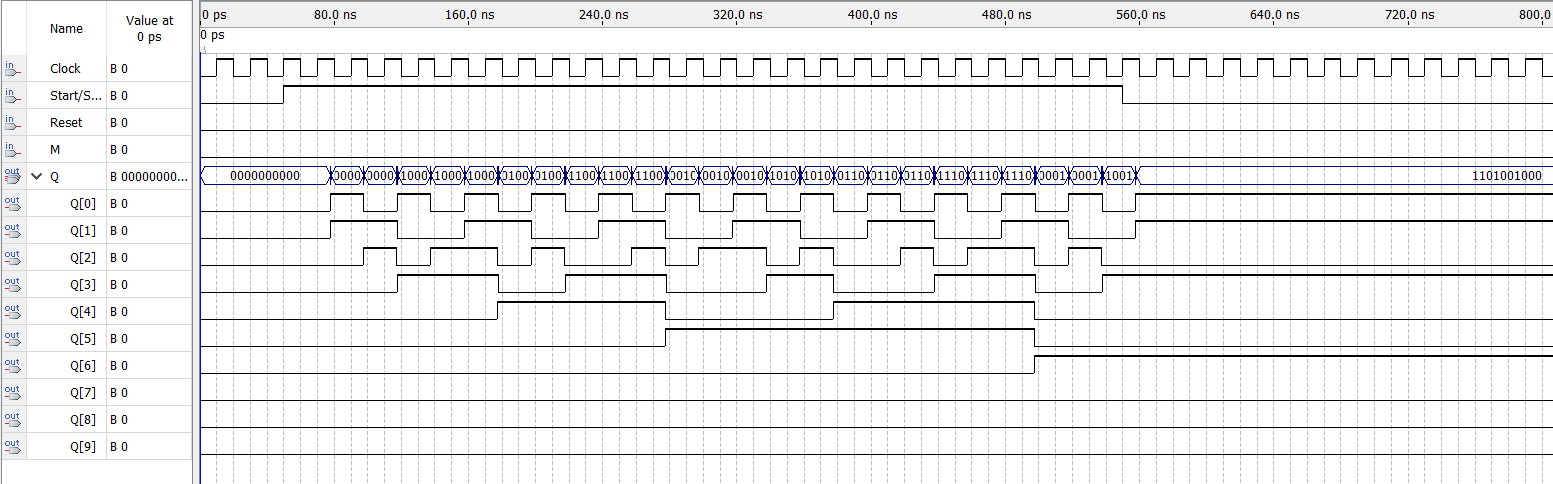


Рисунок 4.3. Временная диаграмма моделирования работы узла на основе JK-триггеров при M = 0 (ΔN = +3)

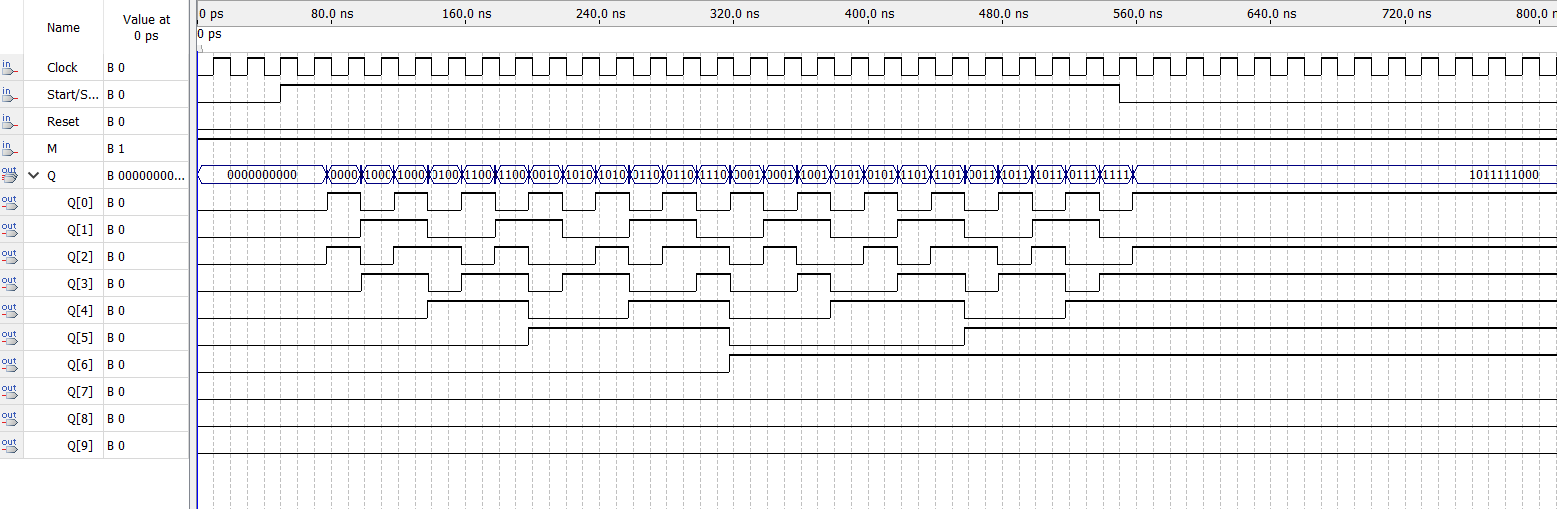


Рисунок 4.4. Временная диаграмма моделирования работы узла на основе JK-триггеров при M = 1 (ΔN = +5)

При запуске моделирования, и до прихода сигнала Start, выходной сигнал на всех разрядах нулевой. После чего подается сигнал Start, запускающий счетчик. Переход сигнала Start в низкий уровень соответствует команде остановки узла; при поступлении такта, на котором сигнал Start нулевой, счет останавливается на том значении, до которого дошёл. При следующей подаче сигнала Start счет продолжается с этого значения. Обнуление счета происходит либо по достижении максимального значения, либо по приходе сигнала Reset.

Как видно из временной диаграммы, выходные сигналы в точности соответствуют необходимым по заданию работы.

## 4.2 Синтез и моделирование узла на основе двоичного счетчика и ППЗУ

Основываясь на схеме (рис. 2.2) и примитивах, описанных в разделе 3, узел был синтезирован в САПР QUARTUS II (рис. 4.5).

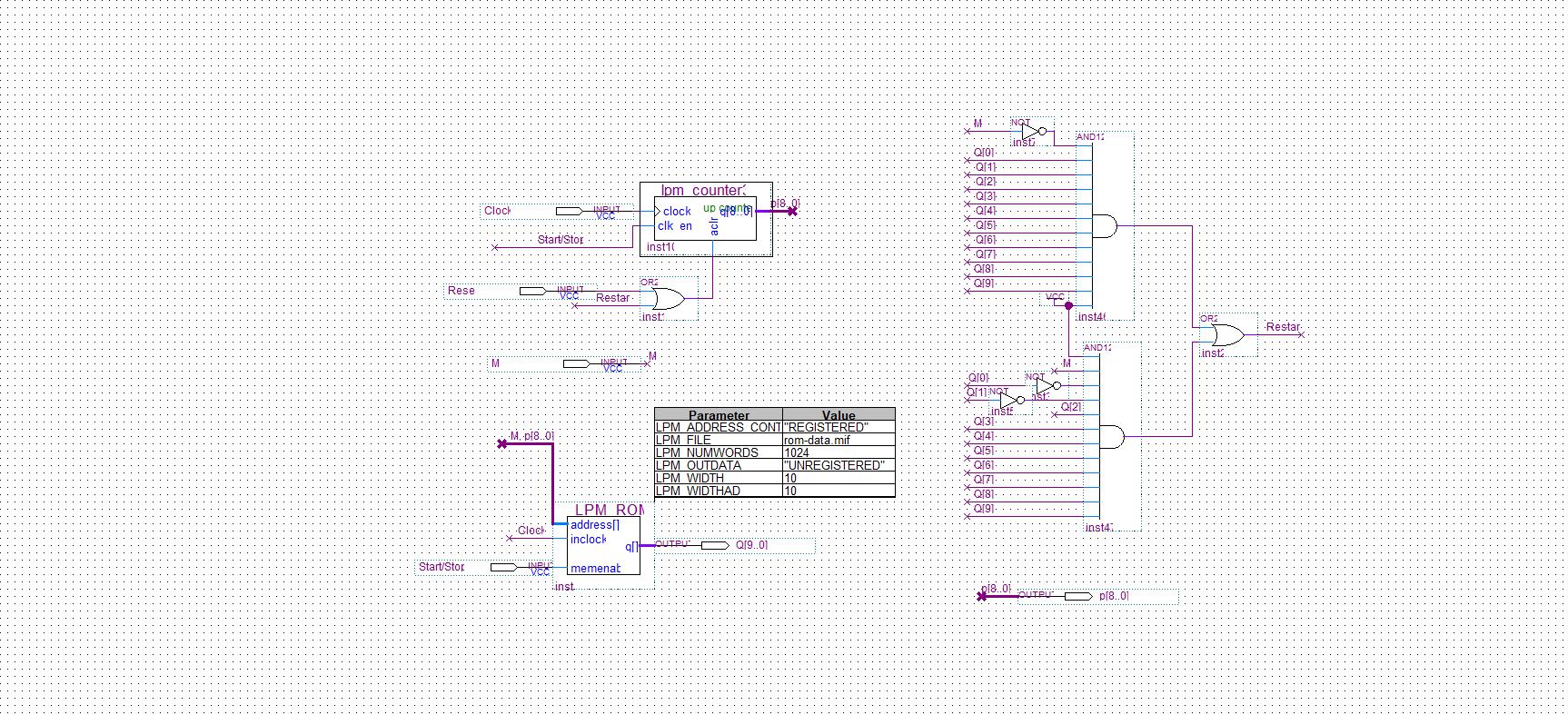
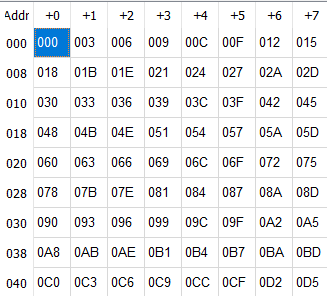


Рисунок 4.5. Реализация второго варианта узла в САПР QUARTUS II

Мегафункция lpm\_rom, с помощью которой реализовано ППЗУ, нуждается в специальном файле, непосредственно задающем содержимое памяти. Данный файл представлен на рисунке 4.6. Ячейки памяти, старший бит двоичной формы адреса которых равен нулю, заполнены числами от 0 до 1023 с шагом 3; где старший бит – 1, числами от 0 до 1020 с шагом 5. Все числа представлены в шестнадцатеричной форме; прочие ячейки заполнены нулем.



…

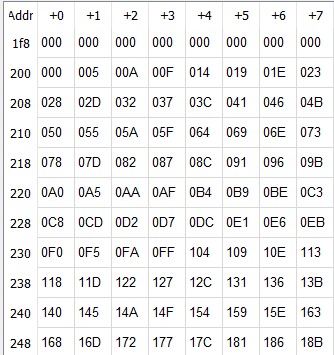


Рисунок 4.6. Данные ППЗУ

Описание функционирования данного узла дано в разделе 2.2. Результат компиляции данной схемы представлен на рисунке 4.7.

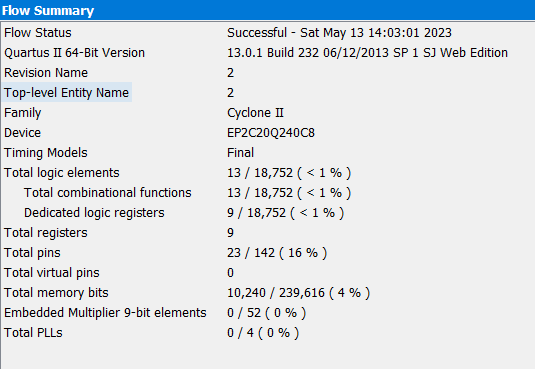


Рисунок 4.7. Результаты компиляции узла на основе двоичного счетчика с ППЗУ

После компиляции схемы узла было проведено временное моделирование его работы. Соответствующие результаты приведены на рисунках 4.8 и 4.9.

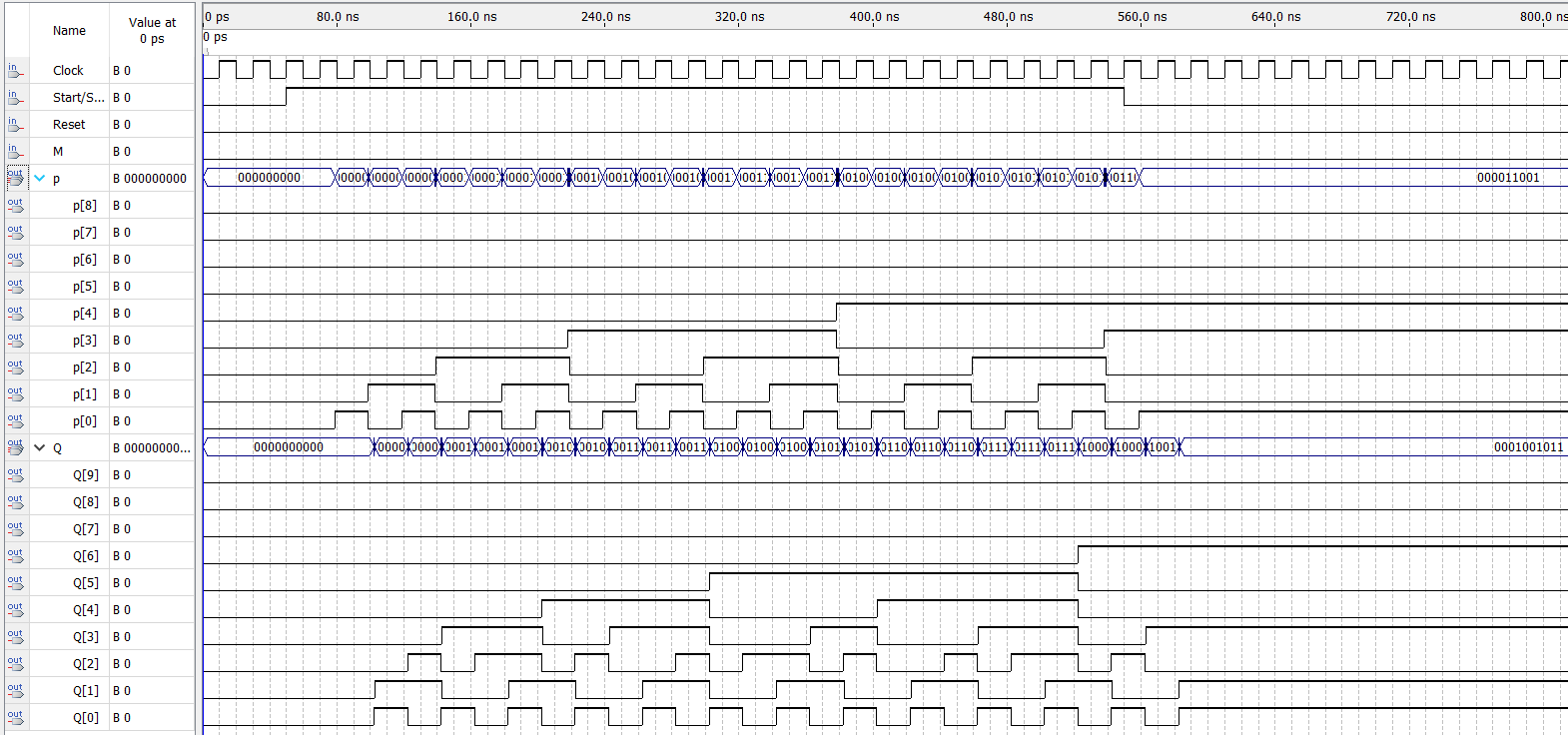


Рисунок 4.8. Временная диаграмма моделирования работы узла на основе двоичного счетчика и ППЗУ при M = 0 (ΔN = +3)

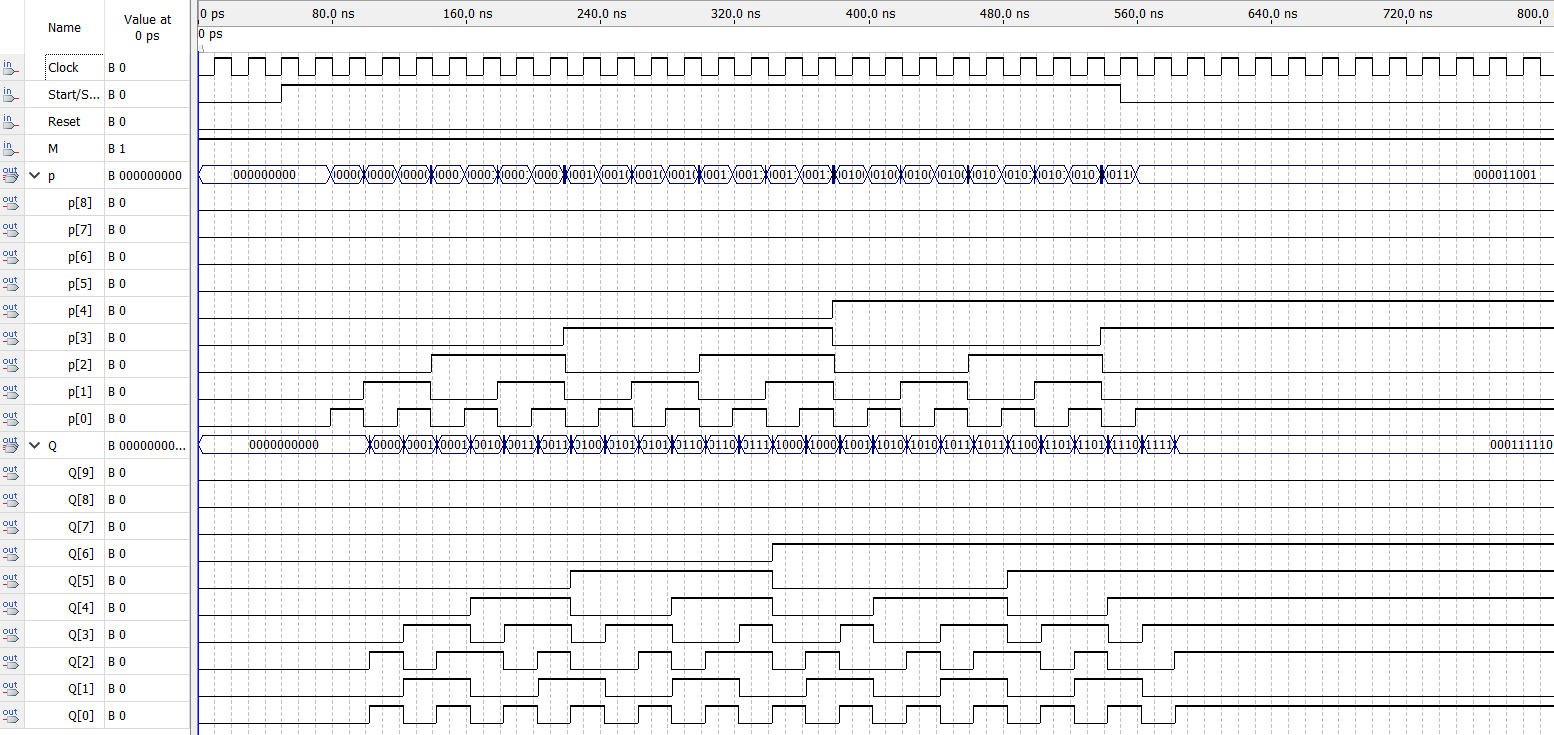


Рисунок 4.9. Временная диаграмма моделирования работы узла на основе двоичного счетчика и ППЗУ при M = 1 (ΔN = +5)

Как видно из временной диаграммы, выходные сигналы в точности соответствуют необходимым по заданию работы. В связи с наличием в схеме логических элементов, необходимых для сброса счетчика, максимальная допустимая частота около 50 МГц.

Стоит отметить, что для реализации узла на основе JK-триггеров было задействовано большее количество логических элементов ПЛИС, чем для варианта на основе двоичного счетчика с ППЗУ. Вариант на основе двоичного счетчика с ППЗУ выглядит предпочтительней с точки зрения минимума аппаратных затрат.

# РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ

Сопряжение схемы узла с процессорной системой происходит посредством шины Microbus. Для работы схемы используются следующие сигналы шины: Clock – тактирующий сигнал шины; – сигнал подачи ПС очередной команды на шину данных; Reset – сигнал сброса устройства в начальное состояние; M – режим работы; Start/Stop для передачи команды от процессорной системы (0 – стоп, 1 – старт). Сигналы Start/Stop, Reset, M подаются на 0, 1 и 2 биты шины данных соответственно Для выбора режима работы с узлом ПС выставляет на младшие 8 разрядов шины адреса значение 0x40.

Для хранения текущей команды в схеме сопряжения используется 3 D-триггера: нулевой хранит записанное в момент значение Start/Stop, первый – Reset, второй – режим M. Эти значения хранятся в триггерах до прихода нового управляющего сигнала записи данных.

Управление узлом генерации выходных сигналов осуществляется подачей на него значения текущей команды Data[0] (Start/Stop), а также подачей сигнала Data[1] (Reset) с шины. Кроме того, на узел подается тактирующая последовательность с внешнего генератора. Функциональная схема интерфейса сопряжения представлена на рисунке 5.1. Схема синтеза данного узла в САПР QUARTUS II представлена на рисунке 5.2.

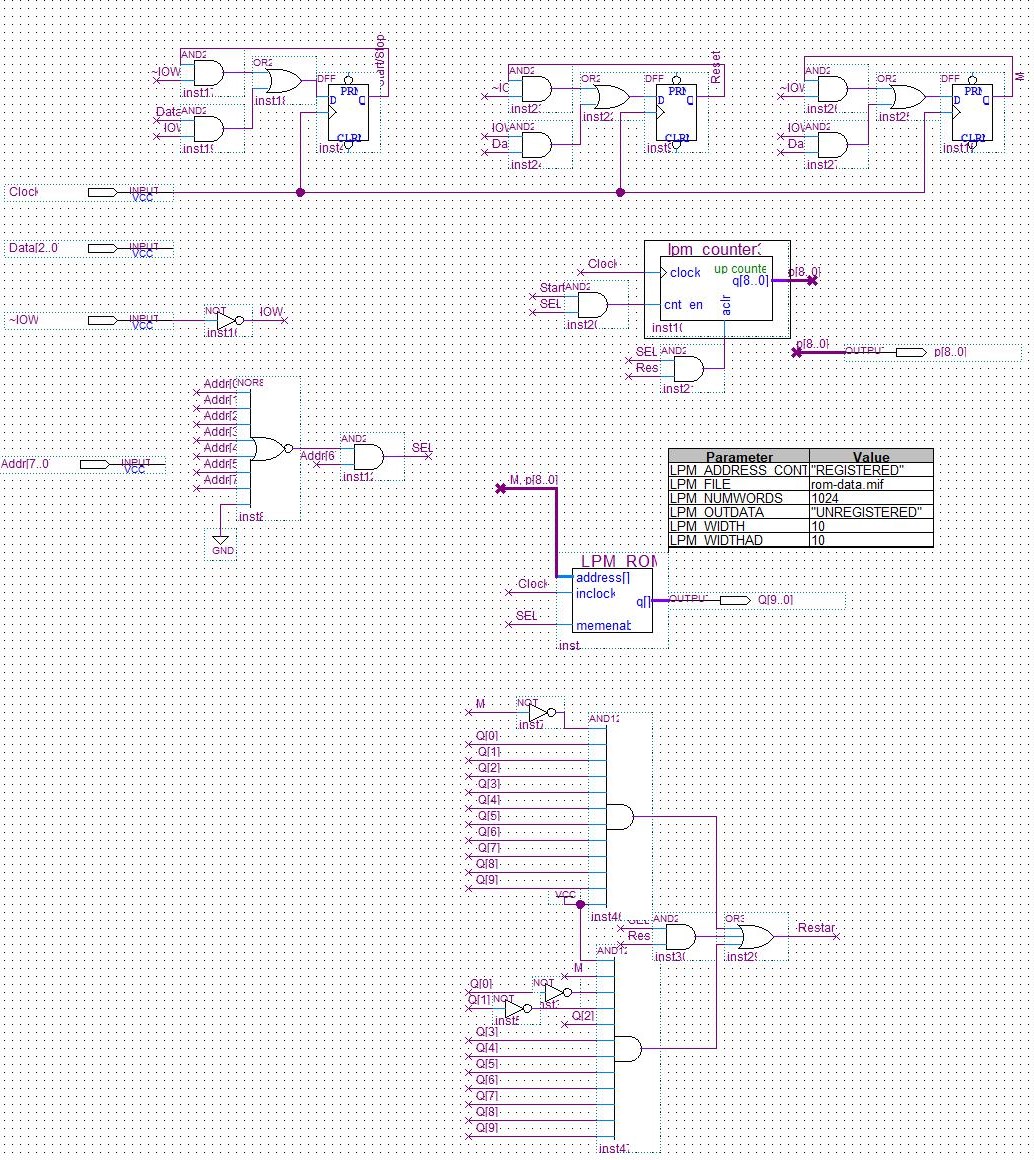


Рисунок 5.2. Схема интерфейса сопряжения с ПС в QUARTUS II

# ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА

Результат моделирования работы проектируемого узла приведена на временной диаграмме (рисунок 6.1).

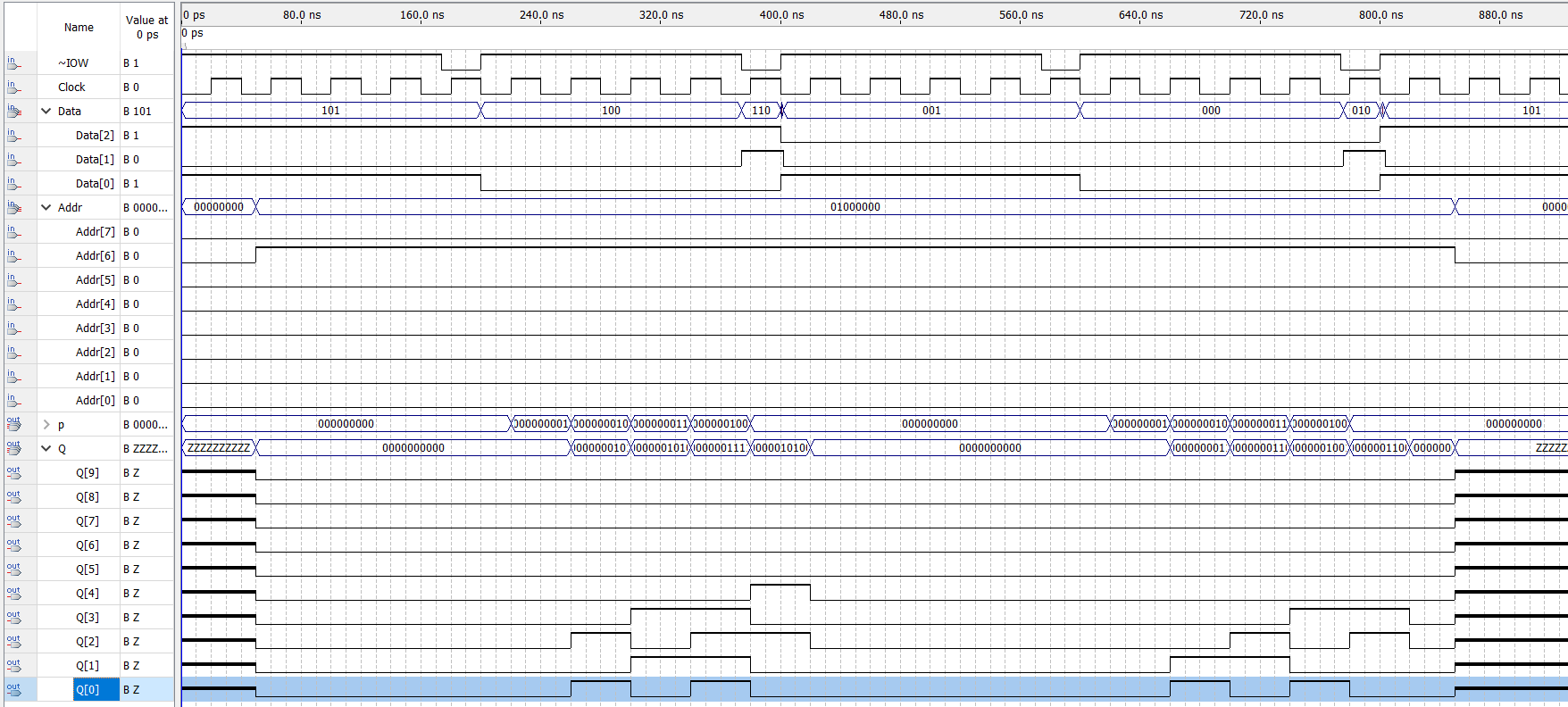


Рисунок 6.1 (б). Временная диаграмма работы узла

В начале работы узла счетчик установлен в 0. ПС подает команду на запуск устройства, для этого на адресной шине выставляется значение 0х40, на шине данных выставляется бит в нулевом разряде (команда Старт) и подается команда . Устройство запускает генерацию выходных сигналов (счёт) в режиме, установленном сигналом М на шине данных (второй бит). Счёт продолжается до тех пор, пока не будет достигнуто максимальное значение или не будет подан сигнал Reset (первый бит с шины данных) с ПС.

Далее ПС подает команду остановки генерации выходных сигналов сбрасывая нулевой бит шины данных (команда Стоп) и подавая управляющий сигнал . Получив данную команду, устройство останавливает работу, сохраняя последнюю последовательность выходных сигналов.

Полная принципиальная схема разработанного устройства с перечнем элементов представлена в приложении к пояснительной записке.

# ЗАКЛЮЧЕНИЕ ПО ПРОДЕЛАННОЙ РАБОТЕ

В процессе выполнения курсовой работы был разработан десятиразрядный счетчик с программированием приращения содержимого. Для данного устройства было разработано два варианта узла: на основе JK-триггеров и логических элементов, и на основе двоичного счетчика с ППЗУ. Сравнение различных вариантов реализации показало, что узел на основе ППЗУ, хоть и требует некоторого количества памяти, несет за собой меньшие аппаратные затраты, чем узел на основе триггеров.

Устройство было синтезировано в САПР QUARTUS II, после чего было произведено временное моделирование для подтверждения правильности его работы. Кроме того, был разработан необходимый для работы устройства генератор тактовых импульсов и составлена полная принципиальная схема устройства с учетом реализации на ПЛИС Cyclone II.

# СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов.— БХВ-Петербург, 1-еизд. 2000г., 2-еизд. 2006г., 3-еизд. 2010г.— 797c.
2. https://www.chipdip.ru/ - наименования элементов
3. Грушвицкий Р.И., Угрюмов Е.П. Проектирование цифровых узлов: Методические указания к курсовому проектированию. - СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011.