МИНОБРНАУКИ РОССИИ

САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ

ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)

Кафедра вычислительной техники

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА К КУРСОВОМУ ПРОЕКТУ

по дисциплине «Элементная база цифровых систем»

Тема: «Счетчик с программированием приращений содержимого»

Студентка гр.0305 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Петракова М. А.

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Бондаренко П.Н.

Санкт – Петербург

2023

**СОДЕРЖАНИЕ**

[1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА 3](#_Toc135513163)

[2. ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА 4](#_Toc135513164)

[2.1. Формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ) 4](#_Toc135513165)

[2.2. Схема с двоичным счетчиком и ППЗУ 6](#_Toc135513166)

[3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ ВАРИАНТОВ УЗЛА 8](#_Toc135513167)

[4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ ПРЕДЛОЖЕННЫХ ВАРИАНТОВ СРЕДСТВАМИ САПР QUARTUS II 10](#_Toc135513168)

[4.1 Синтез и моделирование узла с использованием JK-триггеров и логических элементов типа И-НЕ 10](#_Toc135513169)

[4.2 Синтез и моделирование узла на основе двоичного счетчика и ППЗУ 12](#_Toc135513170)

[5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ 16](#_Toc135513171)

[6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА 18](#_Toc135513172)

[ЗАКЛЮЧЕНИЕ ПО ПРОДЕЛАННОЙ РАБОТЕ 20](#_Toc135513173)

[СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ 21](#_Toc135513174)

# ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

Вариант 6.1.

Разработать принципиальную электрическую схему 10-разрядного, двоично-кодированного счетчика. Содержимое счетчика изменяется на ∆N с приходом каждого входного импульса. Возможны два режима работы счетчика: с ∆N =+3 и ∆N =+5. Код режима, сигналы сброса, пуска и останова счетчика поступают от управляющего устройства (процессора). Код, полученный в счетчике к моменту останова, фиксируется. Счетчик рассматривается как внешнее устройство процессорной системы, его адреса расположены в заданной области адресного пространства системы, имеющего емкость 256 адресов.

Возможные варианты реализации:

* формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ);
* схема с применением комбинационного сумматора и регистра в младших разрядах;
* вариант с изменением содержимого счетчика на 0,5(∆N1+∆N2) и последующим прибавлением или вычитанием единицы;
* схема с двоичным счетчиком и ППЗУ и др.

Критерий выбора наилучшего варианта — минимум аппаратных затрат.

# ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

## Формальный синтез (с использованием JK-триггеров и логических элементов типа ИЛИ-НЕ)

Для рассматриваемого варианта реализации десятиразрядного счетчика потребуется 10 JK-триггеров. Определим функции возбуждения триггеров по таблице перехода состояний (табл. 1). При заданных приращениях (+310=0112, +510=1012) можно рассматривать изменения только в трех младших битах (разрядах счетчика) и в следующем, четвертом бите – для определения комбинаций, требующих переноса. Следующие же значения битов рассчитываются как Ji=Qi-1\*Ji-1 – перенос, общий для счетчиков, реализованных на триггерах.

В таблице 1 приняты следующие обозначения: M (mode) – режим работы (M = 0 -> ΔN = +3, M = 1 -> ΔN = +5), Qi – выходной сигнал i-го триггера: до черты старые значения, после – результат сложения.

По словарю JK-триггера были получены и минимизированы функции возбуждения триггеров. Для удобства, с учетом полученных недоопределенных функций, функции J и K были приняты равными, т.е. в зависимости от приходящего сигнала триггер либо хранит информацию, либо инвертирует ее.

Функции возбуждения триггеров, приводя к базису И-НЕ:

J0 = K0 = 1

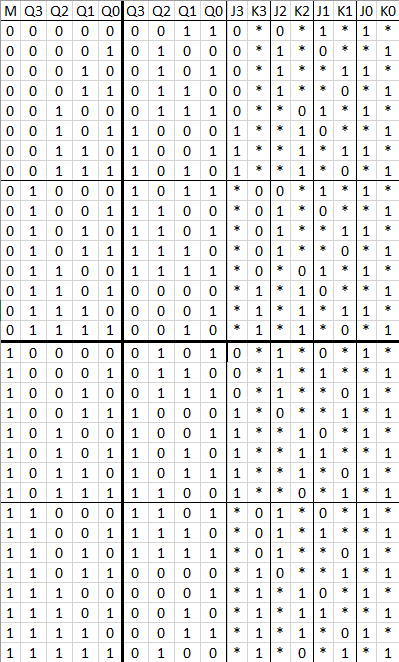
J1 = K1 = ~M ~Q0 v M Q0 = ~(~(~Q0  ~M) \* ~(Q0  M))

J2 = K2 = Q1 ~Q0 v M ~Q1 v ~M Q0  = ~(~(~(~(~Q0 Q1) ~(~Q1 M))) ~(~M Q0))

J3 = K3 = (Q0 Q1 v Q2) M v (Q1 v Q0) ~M Q2

Счетчик работает циклически от нуля до достижения 210 (последнего числа в последовательности, меньшего 210), затем сбрасывает значение в 0.

Таблица 2.1



Функциональная схема узла приведена на рисунке 2.1.

Входные сигналы: M – режим работы счетчика, Reset – сигнал сброса счетчика в значение 0, Start/Stop – сигнал, при высоком уровне которого запускается работа счетчика, при низком – остановка с сохранением последнего результата счета, Clock – входной сигнал от генератора тактовых импульсов необходимой частоты.

Выходные сигналы Q[0]-Q[9] задают значения соответствующих разрядов счетчика.