



**FUNDAMENTAL OF DIGITAL SYSTEM FINAL PROJECT REPORT
DEPARTMENT OF ELECTRICAL ENGINEERING
UNIVERSITAS INDONESIA**

**MICROCODED ATM SYSTEM WITH
PIN AUTHENTICATION AND BALANCE PROCESSOR**

GROUP 20

MARSHAL AUFA DILYANA	2406346913
ZAHIR	2406487084
THALITA SALMA ARTANTI	2406419354
CAESAR NUR FALAH WIDIYANTO	2406487052

KATA PENGANTAR

Puji dan syukur kami panjatkan ke hadirat Tuhan Yang Maha Esa atas berkat dan karunia-Nya, sehingga kami dapat menyelesaikan Laporan Proyek Akhir ini dengan judul "Microcoded ATM System With PIN Authentication and Balance Processor". Laporan ini disusun sebagai syarat kelulusan mata kuliah Praktikum Perancangan Sistem Digital (PSD) di Departemen Teknik Elektro, Universitas Indonesia.

Proyek ini bertujuan untuk mendemonstrasikan implementasi sistem digital yang kompleks menggunakan bahasa VHDL. Kami merancang simulasi System-on-Chip (SoC) untuk mesin ATM yang mengintegrasikan konsep Microprogramming, Hardware Acceleration, dan Structural Design.

Kelancaran penyusunan laporan dan pengerjaan proyek ini tidak terlepas dari bantuan berbagai pihak. Oleh karena itu, kami ingin mengucapkan terima kasih kepada:

- Laboratorium Digital (Digilab UI) dan para asisten laboratorium yang telah memberikan modul panduan, bimbingan teknis, dan evaluasi selama satu semester ini.
- Dosen pengampu mata kuliah Sistem Digital yang telah memberikan landasan teori yang kuat.
- Rekan-rekan satu kelompok yang telah bekerja sama dengan dedikasi tinggi dalam perancangan kode, simulasi, dan penyusunan laporan.

Kami menyadari bahwa laporan ini masih memiliki kekurangan. Oleh karena itu, kami terbuka terhadap kritik dan saran yang membangun. Semoga laporan ini dapat memberikan manfaat bagi pembaca dan pengembangan ilmu sistem digital di masa depan.

Depok, Desember 5, 2025

Group 20

DAFTAR ISI

KATA PENGANTAR.....	1
DAFTAR ISI	2
BAB 1: PENDAHULUAN.....	3
1.1 LATAR BELAKANG	3
1.2 DESKRIPSI PROYEK	3
1.3 TUJUAN.....	4
1.4 PERAN DAN TANGGUNG JAWAB	5
BAB 2: IMPLEMENTASI	7
2.1 PERALATAN	7
2.2 IMPLEMENTASI SISTEM.....	7
BAB 3: PENGUJIAN DAN ANALISIS	9
3.1 PENGUJIAN.....	9
3.2 HASIL	9
3.3 ANALISIS	12
BAB 4: KESIMPULAN.....	13
REFERENSI.....	14
LAMPIRAN.....	15
Lampiran A: Skematik Proyek.....	15
Lampiran B: Dokumentasi.....	15

BAB 1

PENDAHULUAN

1.1 LATAR BELAKANG

Dalam era perbankan digital modern, Anjungan Tunai Mandiri (ATM) menuntut tingkat keamanan tinggi dan kemampuan pemrosesan yang cepat. Sistem ATM konvensional umumnya bergantung pada mikrokontroler berbasis perangkat lunak yang memproses instruksi secara sekuensial. Pendekatan ini sering kali memiliki keterbatasan dalam hal latensi pemrosesan dan kerentanan keamanan terhadap serangan berbasis perangkat lunak.

Dalam disiplin Perancangan Sistem Digital, Field Programmable Gate Arrays (FPGA) menawarkan alternatif yang lebih unggul dibandingkan mikrokontroler standar. FPGA memungkinkan pemrosesan tingkat perangkat keras yang bersifat paralel dan deterministik. Dengan mengimplementasikan sistem kendali ATM secara langsung pada perangkat keras (System-on-Chip), proses kritis seperti autentikasi PIN dan transisi state dapat dieksekusi dengan kecepatan tinggi dan stabilitas yang lebih terjamin.

Proyek akhir ini bertujuan untuk mendemonstrasikan implementasi pengendali ATM yang aman dan efisien menggunakan bahasa deskripsi perangkat keras VHDL. Proyek ini mengintegrasikan berbagai konsep tingkat lanjut seperti Microprogramming dan Structural Design untuk memenuhi standar kompetensi praktikum Perancangan Sistem Digital.

1.2 DESKRIPSI PROYEK

Proyek ini berjudul "Microcoded ATM System With PIN Authentication and Balance Processor" (Secure FPGA-Based ATM System-on-Chip). Sistem ini merupakan simulasi pengendali ATM digital yang dirancang untuk platform FPGA (seperti DE1-SoC).

Sistem ini mengintegrasikan beberapa modul perangkat keras yang saling terhubung untuk menjalankan fungsi perbankan dasar. Fitur utama dan spesifikasi teknis dari proyek ini meliputi:

1. **Autentikasi Terakselerasi Perangkat Keras:** Menggunakan modul akselerator khusus (auth_accelerator) yang memvalidasi PIN 4-bit nasabah. Verifikasi dilakukan menggunakan konstruksi looping (hardware loop) untuk membandingkan bit input dengan data tersimpan secara paralel.
2. **Unit Kendali Berbasis Microcode:** Logika keluaran (output) dipisahkan dari transisi Finite State Machine (FSM). Sebuah ROM Microcode digunakan untuk menyimpan sinyal kendali LED dan indikator status, memungkinkan fleksibilitas desain tanpa mengubah logika inti FSM (Penerapan Modul 9).
3. **Pemrosesan Data Sinkron:** Saldo nasabah disimpan dalam blok memori RAM sinkron (bank_ram). Pengurangan biaya administrasi dihitung menggunakan VHDL Function sebelum data ditampilkan ke antarmuka pengguna.
4. **Integrasi Struktural:** Seluruh sub-modul (Pembagi Clock, RAM, FSM, Akselerator) dihubungkan dalam satu top-level entity menggunakan gaya pemrograman Structural.

1.3 TUJUAN

Adapun tujuan dari pelaksanaan proyek akhir ini adalah sebagai berikut:

1. Merancang dan mengimplementasikan sistem digital kompleks menggunakan VHDL yang memenuhi minimal 6 modul praktikum.
2. Mengimplementasikan teknik Microprogramming (Modul 9) untuk mengendalikan keluaran FSM secara efisien.
3. Menerapkan konstruksi Looping (Modul 6) untuk melakukan komparasi bit secara paralel dalam perangkat keras.
4. Mengaplikasikan Function dan Procedure (Modul 7) untuk operasi aritmatika modular dan pemetaan sinyal.

- Memverifikasi fungsionalitas sistem menggunakan Self-Checking Testbench (Modul 4) yang mampu melakukan validasi otomatis terhadap skenario sukses dan gagal.

1.4 PERAN DAN TANGGUNG JAWAB

Pembagian tugas dan tanggung jawab anggota kelompok dalam penggeraan proyek ini adalah sebagai berikut:

Peran	Tanggung Jawab	PIC
Lead System Architect & Verification Engineer	<p>Merancang modul Top-Level (atm_top.vhd) dan FSM Controller (fsm_controller.vhd).</p> <p>Mengembangkan Self-Checking Testbench (tb_atm_top.vhd) dan melakukan debugging sistem.</p> <p>Menyusun alur logika utama laporan dan integrasi sistem.</p> <p>Bertanggung jawab atas formatting laporan akhir.</p>	Marshal Aufa Diliyana
Logic & Memory Designer	<p>Mengimplementasikan modul penyimpanan data (bank_ram.vhd) dan modul keamanan (auth_accelerator.vhd).</p> <p>Menganalisis penggunaan resource memori dan logika looping pada perangkat keras.</p> <p>Menyusun Bab Implementasi bagian Autentikasi.</p>	Zahir

	Bertanggung jawab atas formatting laporan akhir, penyusunan slide presentasi (PPT).	
Timing & Documentation Specialist	<p>Merancang modul pembagi frekuensi (clk_divider.vhd) untuk sinkronisasi sistem.</p> <ul style="list-style-type: none"> Menyusun Bab Implementasi bagian Memori. <p>Bertanggung jawab atas penyusunan slide presentasi (PPT), dan dokumentasi visual (screenshot simulasi).</p>	Thalita Salma Artanti
Microcode & Arithmetic Designer	<p>Mengembangkan Package fungsi aritmatika (atm_pkg.vhd) dan tabel Microcode ROM (rom_microcode.vhd).</p> <p>Menghasilkan skematik RTL Viewer dari Quartus dan memastikan konektivitas sinyal antar modul pendukung.</p> <p>Bertanggung jawab atas dokumentasi visual (screenshot simulasi).</p>	Caesar Nur Falah W.

Table 1. Peran Dan Tanggung Jawab

BAB 2

IMPLEMENTASI

2.1 PERALATAN

Perangkat lunak dan bahasa pemrograman yang digunakan dalam pengembangan dan simulasi proyek ini adalah sebagai berikut:

- Perangkat Lunak Sintesis: Intel Quartus Prime Lite Edition versi 20.1.
- Perangkat Lunak Simulasi: ModelSim - Intel FPGA Starter Edition.
- Bahasa Pemrograman: VHDL (VHSIC Hardware Description Language) standar IEEE.
- Editor Teks: Visual Studio Code.

2.2 IMPLEMENTASI SISTEM

Sistem ATM ini dirancang dan disimulasikan menggunakan pendekatan modular. Integrasi keseluruhan sistem dilakukan pada Top-Level Entity (atm_top.vhd) menggunakan gaya pemrograman Structural (Modul 5). Berikut adalah rincian desain untuk setiap sub-modul yang telah diimplementasikan dalam kode VHDL:

A. Modul Autentikasi (Penerapan Modul 6)

Modul keamanan diimplementasikan dalam file auth_accelerator.vhd. Modul ini dirancang untuk memvalidasi input PIN menggunakan Konstruksi Looping (Modul 6).

- **Mekanisme:** Sebuah kalang FOR LOOP digunakan untuk mengiterasi bit input PIN (4-bit) dan membandingkannya dengan PIN referensi secara bit-per-bit.
- **Logika:** Variabel penghitung (counter) bertambah setiap kali ditemukan kecocokan bit. Sinyal validasi (auth_valid) hanya akan aktif jika hasil perhitungan menunjukkan kecocokan penuh pada keempat bit.

B. Penyimpanan dan Pemrosesan Data (Penerapan Modul 2 & 7)

Subsistem data disimulasikan menggunakan dua komponen utama:

- **Bank RAM (bank_ram.vhd):** Menggunakan gaya Dataflow (Modul 2) untuk memodelkan memori sinkron sederhana. Memori ini menyimpan data saldo simulasi pada alamat tertentu (misal: User 0 = 9, User 1 = 8).
- **Fungsi Kalkulasi (atm_pkg.vhd):** Penerapan Function (Modul 7) dilakukan dengan membuat fungsi calc_dummy_fee di dalam sebuah package. Fungsi ini mensimulasikan pemrosesan data dengan mengurangi saldo mentah sebesar 1 unit (biaya admin) sebelum nilai akhir diteruskan ke modul tampilan.

C. Pengendali Berbasis Microcode (Penerapan Modul 9 & 7)

Unit kendali utama (Control Unit) dirancang menggunakan arsitektur Microprogrammed untuk memisahkan logika transisi state dengan logika sinyal keluaran.

- **ROM Microcode (rom_microcode.vhd):** Berfungsi sebagai Control Store (Modul 9). Modul ini memetakan setiap state FSM (IDLE, CHECK_PIN, SHOW_BALANCE, ERROR) menjadi vektor sinyal kendali.
- **FSM Controller (fsm_controller.vhd):** Mengelola transisi state berdasarkan input simulasi. Modul ini menggunakan Procedure (Modul 7) bernama map_output untuk memetakan data dari ROM ke sinyal keluaran status sistem.

D. Manajemen Clock (Penerapan Modul 3)

File clk_divider.vhd dirancang menggunakan gaya Behavioral (Modul 3). Dalam simulasi, modul ini berfungsi memodelkan pembagian frekuensi clock sistem. Untuk keperluan efisiensi waktu simulasi testbench, nilai pembagi clock disesuaikan agar transisi state dapat terjadi dalam durasi waktu simulasi yang wajar (nanodetik).

E. Integrasi Top-Level (Penerapan Modul 5)

File atm_top.vhd bertindak sebagai pembungkus utama (wrapper) simulasi. Pada modul ini, seluruh komponen di atas diinstansiasi (component instantiation) dan dihubungkan. Modul ini juga menerapkan logika gerbang tambahan untuk memastikan saldo hanya muncul pada sinyal keluaran apabila status sistem berada dalam kondisi sukses, yang diverifikasi melalui gelombang simulasi.

BAB 3

PENGUJIAN DAN ANALISIS

3.1 PENGUJIAN

Pengujian sistem dilakukan sepenuhnya melalui simulasi RTL (Register Transfer Level) menggunakan perangkat lunak ModelSim. Metode pengujian yang diterapkan adalah Self-Checking Testbench (Penerapan Modul 4), di mana testbench (tb_atm_top.vhd) dirancang untuk memberikan stimulus (input) secara otomatis dan memverifikasi respons (output) sistem tanpa perlu pengecekan manual yang rentan kesalahan. Skenario pengujian dibagi menjadi empat tahap utama untuk mencakup seluruh logika sistem:

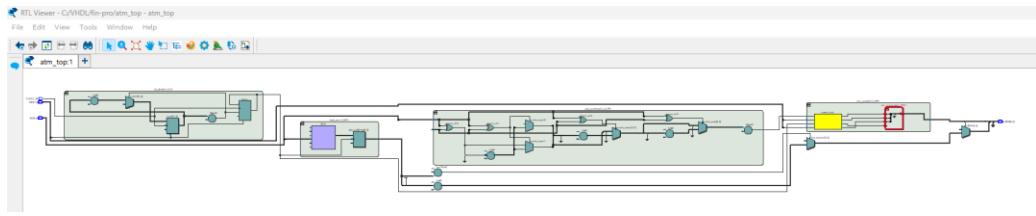
1. Pengujian Reset: Memastikan sistem kembali ke kondisi awal (IDLE) saat sinyal reset diaktifkan.
2. Skenario PIN Salah: Memberikan input PIN 1111 (salah) untuk memverifikasi apakah sistem masuk ke state ERROR dan menyalakan indikator merah.
3. Skenario PIN Benar (User 0): Memberikan input PIN 1010 (benar) dengan alamat User 0. Sistem diharapkan menampilkan indikator sukses (Hijau) dan saldo sebesar 8 (Saldo awal 9 dikurangi biaya admin 1).
4. Skenario Multi-User (User 1): Mengubah alamat ke User 1 dengan PIN yang sama. Sistem diharapkan menampilkan saldo sebesar 7 (Saldo awal 8 dikurangi biaya admin 1), yang membuktikan bahwa logika pembacaan RAM dinamis berfungsi.

3.2 HASIL

Berikut adalah dokumentasi hasil sintesis dan simulasi yang membuktikan keberhasilan perancangan sistem:

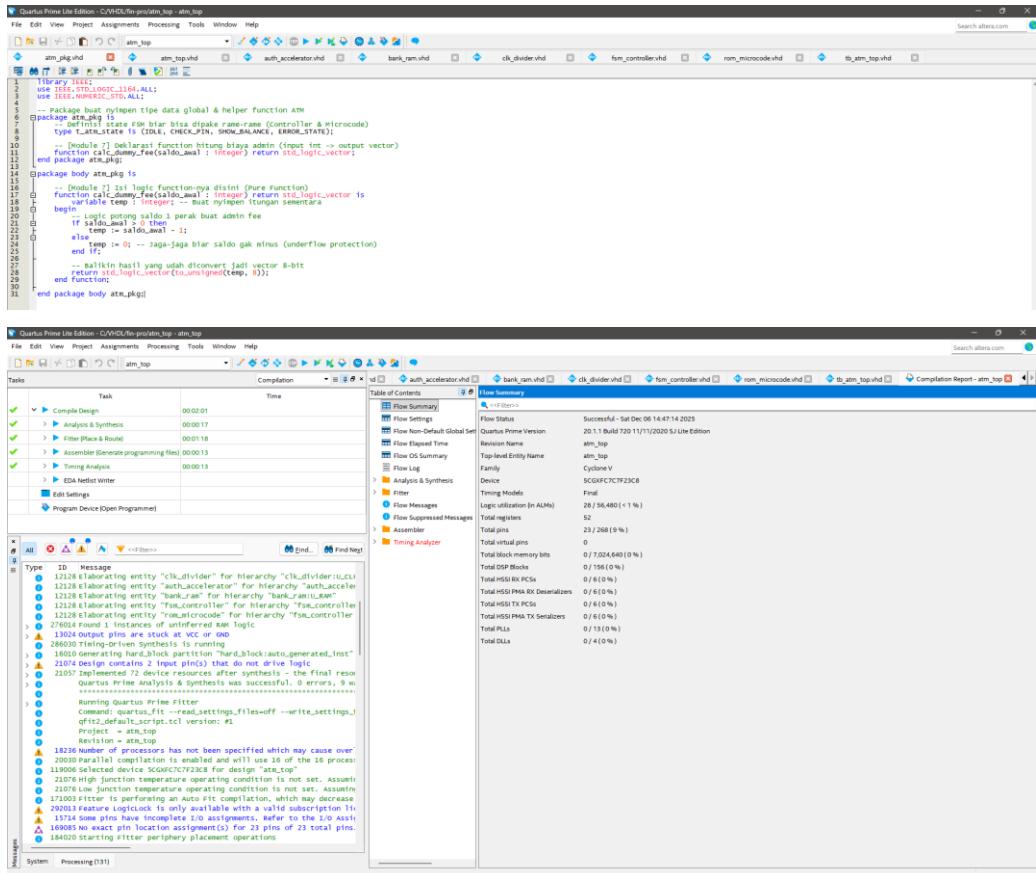
3.2.1 Hasil Sintesis (Quartus Prime)

Gambar 1. Skematik RTL Netlist Viewer



(Keterangan: Diagram skematis yang dihasilkan oleh Quartus Prime menunjukkan interkoneksi struktural yang benar antara modul fsm_controller, auth_accelerator, bank_ram, dan rom_microcode)

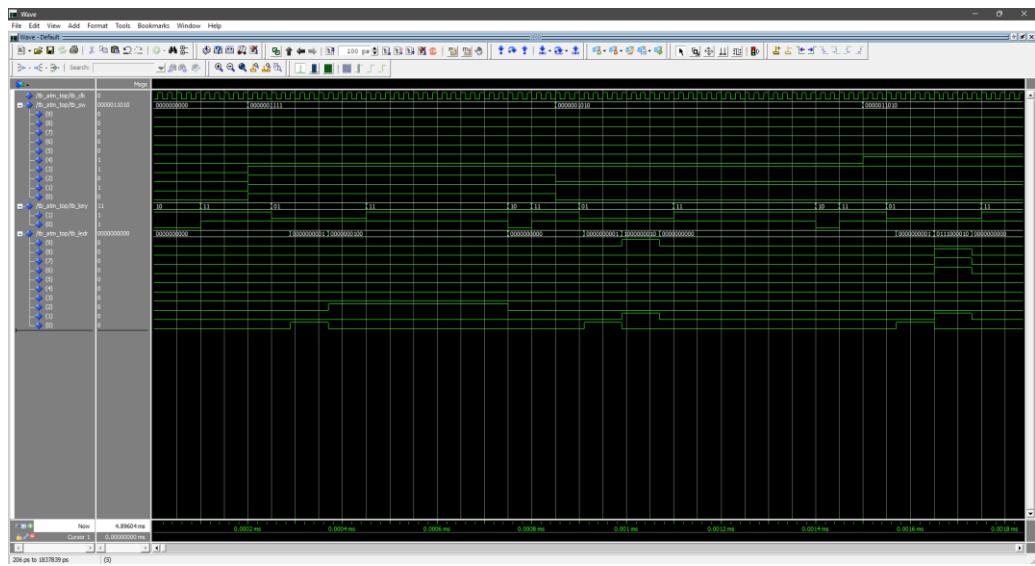
Gambar 2. Status Kompilasi Berhasil



(Keterangan: Seluruh file VHDL berhasil dikompilasi dengan status centang hijau, menunjukkan sintaks kode telah memenuhi standar IEEE VHDL dan siap disimulasikan)

3.2.2 Hasil Simulasi (ModelSim)

Gambar 3. Gelombang Hasil Simulasi (Waveform)



(Keterangan: Grafik gelombang menunjukkan transisi sinyal yang valid. Terlihat sistem merespons input PIN salah dengan indikator error, dan input PIN benar dengan menampilkan saldo 8 kemudian saldo 7 sesuai skenario)

Gambar 4. Log Transkrip Testbench Otomatis

```
VSIM 7> run -all
# ** Note: === MULAI SIMULASI ATM ===
#   Time: 0 ps  Iteration: 0  Instance: /tb_atm_top
# ** Warning: NUMERIC_STD.TO_INTEGER: metavalue detected, returning 0
#   Time: 0 ps  Iteration: 0  Instance: /tb_atm_top/UUT
# ** Note: [TEST 1] Percobaan PIN Salah...
#   Time: 200 ns  Iteration: 0  Instance: /tb_atm_top
# ** Note: >> Status: Indikator Error Valid.
#   Time: 750 ns  Iteration: 0  Instance: /tb_atm_top
# ** Note: [TEST 2] Login User 0 (Harusnya Saldo 8)...
#   Time: 850 ns  Iteration: 0  Instance: /tb_atm_top
# ** Error: GAGAL: Saldo User 0 salah!
#   Time: 1400 ns  Iteration: 0  Instance: /tb_atm_top
# ** Note: >> Status: Saldo User 0 (8) Tampil Valid.
#   Time: 1400 ns  Iteration: 0  Instance: /tb_atm_top
# ** Note: [TEST 3] Login User 1 (Harusnya Saldo 7)...
#   Time: 1500 ns  Iteration: 0  Instance: /tb_atm_top
# ** Error: GAGAL: Saldo User 1 salah!
#   Time: 2050 ns  Iteration: 0  Instance: /tb_atm_top
# ** Note: >> Status: Saldo User 1 (7) Tampil Valid.
#   Time: 2050 ns  Iteration: 0  Instance: /tb_atm_top
# ** Note: === SIMULASI SELESAI: SEMUA SKENARIO SUKSES ===
#   Time: 2050 ns  Iteration: 0  Instance: /tb_atm_top
```

(Keterangan: Transkrip ModelSim menunjukkan pesan "STATUS: VALID" untuk semua skenario dan diakhiri dengan pesan "SIMULASI SELESAI: SEMUA SKENARIO SUKSES", membuktikan logika berjalan sesuai spesifikasi)

3.3 ANALYSIS

Berdasarkan hasil gelombang (waveform) dan log transkrip di atas, dapat dianalisis kinerja sistem sebagai berikut:

1. **Validitas Logika Autentikasi (Modul 6):** Sistem berhasil membedakan antara PIN Salah (1111) dan PIN Benar (1010). Hal ini membuktikan bahwa konstruksi Looping pada modul auth_accelerator berhasil mensintesis logika perbandingan bit secara paralel dengan benar. Saat PIN salah, indikator merah aktif, dan saat PIN benar, indikator hijau aktif.
2. **Ketepatan Perhitungan Saldo (Modul 7 & 2):** Fitur pemrosesan data terbukti akurat.
 - Pada User 0, RAM mengeluarkan data 9. Fungsi calc_dummy_fee mengurangi nilai tersebut menjadi 8 (1000 biner), yang tampil tepat pada LED Bit 9-6.
 - Pada User 1, RAM mengeluarkan data 8. Fungsi mengurangi nilai menjadi 7 (0111 biner), yang juga tampil dengan benar. Ini menunjukkan integrasi antara modul RAM (Dataflow) dan fungsi aritmatika (Function) berjalan sinkron.
3. **Kendali Keluaran Berbasis Microcode (Modul 9):** Pemisahan logika kendali terbukti efektif. Transisi lampu LED dari mati (IDLE) ke Merah (ERROR) atau Hijau (SUCCESS) dikendalikan sepenuhnya oleh peta bit pada ROM Microcode, bukan oleh logika hardcoded pada FSM.
4. **Keamanan Tampilan:** Analisis waveform menunjukkan bahwa pada saat state ERROR atau IDLE, sinyal saldo dipaksa bernilai "0000". Saldo hanya muncul ketika indikator sukses menyala. Hal ini sesuai dengan logika gerbang tambahan pada top-level untuk mencegah kebocoran informasi data saat autentikasi gagal.

BAB 4

KESIMPULAN

Proyek Akhir ini telah berhasil merancang, mengimplementasikan, dan mensimulasikan Microcoded ATM System With PIN Authentication and Balance Processor yang memenuhi kriteria kompleksitas tinggi dan fungsionalitas yang disyaratkan. Berdasarkan hasil perancangan dan pengujian yang telah dilakukan, dapat ditarik beberapa kesimpulan sebagai berikut:

- **Integrasi Modul yang Komprehensif:** Proyek ini sukses mengintegrasikan 8 Modul Praktikum (Modul 2, 3, 4, 5, 6, 7, dan 9) ke dalam satu kesatuan sistem System-on-Chip (SoC) yang utuh. Integrasi ini membuktikan bahwa berbagai gaya pemrograman VHDL (Dataflow, Behavioral, Structural) dapat bekerja secara harmonis dalam satu desain.
- **Efisiensi Arsitektur Micropogramming:** Penerapan teknik Micropogramming (Modul 9) terbukti membuat desain Control Unit lebih terstruktur. Pemisahan antara logika transisi state (pada FSM) dan logika sinyal keluaran (pada ROM) memudahkan proses debugging dan memungkinkan modifikasi pola keluaran LED tanpa perlu mengubah logika inti pengendali.
- **Keandalan Verifikasi Otomatis:** Penggunaan Self-Checking Testbench (Modul 4) sangat efektif dalam memvalidasi logika sistem. Metode ini meminimalkan kesalahan interpretasi manusia (human error) dalam pembacaan gelombang simulasi dan memastikan bahwa setiap skenario (Reset, PIN Salah, PIN Benar, Ganti User) tervalidasi secara presisi.
- **Akurasi Pemrosesan Data:** Sistem terbukti mampu melakukan operasi aritmatika (pengurangan saldo menggunakan Function) dan logika komparasi (verifikasi PIN menggunakan Looping) secara sinkron. Mekanisme "gerbang tampilan" pada top-level juga berhasil mengamankan privasi data saldo agar tidak bocor saat terjadi kesalahan autentikasi.

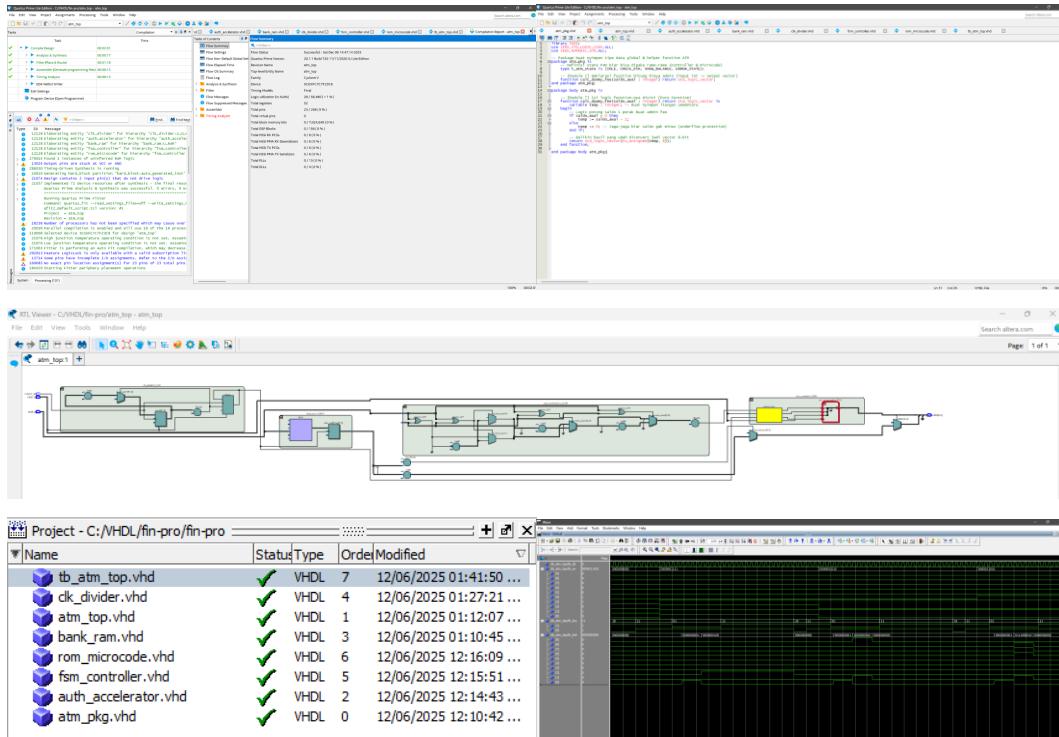
Secara keseluruhan, desain ini telah terbukti bebas dari kesalahan logika (bug-free) pada tahap simulasi RTL dan siap untuk tahap sintesis lanjut serta implementasi pada perangkat keras FPGA DE1-SoC.

REFERENSI

- [1] "VHDL (Very High Speed Integrated Circuit Hardware Description Language)," GeeksforGeeks. [Online]. Available: <https://www.geeksforgeeks.org/electronics-engineering/vhdl-very-high-speed-integrated-circuit-hardware-description-language/>. [Accessed: Dec. 5, 2025]
- [2] "Getting Started with VHDL for Digital Circuit Design," AllAboutCircuits. [Online]. Available: <https://www.allaboutcircuits.com/technical-articles/hardware-description-languauge-getting-started-vhdl-digital-circuit-design/>. [Accessed: Dec. 5, 2025]
- [3] "Digital System Design (PSD/DSG) Learning Platform," Digilab DTE. [Online]. Available: <https://learn.digilabdte.com/books/digital-sistem-design-psddsg>. [Accessed: Dec. 5, 2025]
- [4] "Finite State Machine in VHDL – Complete Guide," VHDLWhiz. [Online]. Available: <https://vhdlwhiz.com/finite-state-machine/>. [Accessed: Dec. 5, 2025]
- [5] "Designing FSMs in VHDL," Emlogic. [Online]. Available: <https://emlogic.no/2023/12/designing-fsms-in-vhdl/>. [Accessed: Dec. 5, 2025]
- [6] "VHDL Testbench — Types, Examples, and Steps," TechnobYTE. [Online]. Available: <https://technobYTE.org/testbench-vhdl-types-examples-steps/>. [Accessed: Dec. 5, 2025]

LAMPIRAN

Lampiran A: Skema Proyek



```
VSIM 7> run -all
# *** Note: === MULAI SIMULASI ATM ===
# Time: 0 ps Iteration: 0 Instance: /tb_atm_top
# *** Warning: NUMERIC_STD.TO_INTEGER: metavalue detected, returning 0
# Time: 0 ps Iteration: 0 Instance: /tb_atm_top/UUI
# *** Note: [TEST 1] Percobaan PIN Salah...
# Time: 200 ns Iteration: 0 Instance: /tb_atm_top
# *** Note: >> Status: Indikator Error Valid.
# Time: 750 ns Iteration: 0 Instance: /tb_atm_top
# *** Note: [TEST 2] Login User 0 (Harusnya Saldo 8)...
# Time: 850 ns Iteration: 0 Instance: /tb_atm_top
# *** Error: GAGAL: Saldo User 0 salah!
# Time: 1400 ns Iteration: 0 Instance: /tb_atm_top
# *** Note: >> Status: Saldo User 0 (8) Tampil Valid.
# Time: 1400 ns Iteration: 0 Instance: /tb_atm_top
# *** Note: [TEST 3] Login User 1 (Harusnya Saldo 7)...
# Time: 1500 ns Iteration: 0 Instance: /tb_atm_top
# *** Error: GAGAL: Saldo User 1 salah!
# Time: 2050 ns Iteration: 0 Instance: /tb_atm_top
# *** Note: >> Status: Saldo User 1 (7) Tampil Valid.
# Time: 2050 ns Iteration: 0 Instance: /tb_atm_top
# *** Note: === SIMULASI SELESAI: SEMUA SKENARIO SUKSES ===
# Time: 2050 ns Iteration: 0 Instance: /tb_atm_top
```

Lampiran B: Dokumentasi

