



SAYISAL SİSTEMLER LABORATUVARI DENEYLERİ

Prof. Dr. Avni Morgül

İÇİNDEKİLER

ÖNSÖZ	ii
LABORATUVAR KURALLARI	iii
1. Deney: LOJİK KAPILAR	1
2. Deney: LOJİK KAPILAR İLE TASARIM	6
3. Deney: YARIM VE TAM TOPLAMA ELEMANI	11
4. Deney: VERİ SEÇİCİLER (MULTIPLEXER) İLE TASARIM	16
5. Deney: GENLİK KARŞILAŞTIRICI	20
6. Deney: İKİLİ DEVRELER (FLIP-FLOP)	24
7. Deney: ARDIŞIL DEVRE TASARIMI	29
8. Deney: ASENKRON SAYICILAR	34
9. Deney: SENKRON SAYICILAR	37
10. Deney: PROGRAMLANABİLİR SAYICILAR	41
YARARLANILABİLECEK KAYNAKLAR	45

Önsöz

Bu kitap Fatih Sultan Mehmet Vakıf Üniversitesi'nde verilen Sayısal Sistemler dersinin Laboratuvarı için hazırlanmış olan deney föylerinden oluşmaktadır. Her deney için konu ile ilgili kısa, temel teorik bilgiler verilmekte ve deneyin yapılışı anlatılmaktadır. Her deneyin sonuna deney sonuçlarının yazılacağı, deney esnasında doldurulacak olan formlar eklenmiştir. Her öğrenci bu sayfayı deney esnasında kendisi dolduracak ve deneyin sonunda öğretim görevlisine onaylatacaktır. Bu bilgiler kullanılarak daha sonra deney raporları hazırlanacaktır.

Öğrencilerin deneyleri anlamaları, deney sonuçlarını yorumlayabilmeleri için mutlaka deneyden önce o deneyle ilgili teorik bilgileri okumaları, gerekirse başka kitaplara ve ders notlarına bakmaları gerekir. Aksi halde, konuyu anlamadan yazılanları robot gibi yaparak deneyden birşeyler öğrenmek mümkün değildir. Öğrencilerin deney için yaptığı hazırlıklar her deneyden önce kontrol edilecek ve not verilecektir. Bu notlar "Laboratuvar performans notu" olarak yıl sonu notunu etkileyecektir. Ayrıca her öğrencinin deneye katılımı, deney esnasında öğretim görevlilerinin soracağı sorulara vereceği cevaplar göz önüne alınarak yıl içi başarı notları verilecektir. Bunların dışında ara sınav (vize) ve final sınavı yapılacaktır.

Laboratuvarlardaki deneylerin amacı öğrencinin gerçek dünyayı tanıması, teori ile gerçekler arasında bağlantı kurması, aradaki uyumsuzlukların nedenleri hakkında yorum yapabilmesidir. Bu yüzden raporlardaki "yorum" ve "soruların cevapları" bölümü en önemli kısımdır. Bu bölümde kendi düşüncelerinizi detaylı olarak yazınız.

Kitabın elektronik ve haberleşme mühendiliğinin temel konularından biri olan "sayısal devreler"i'nin anlaşılmasında yararlı ve yol gösterici olacağını umuyorum.

Avni Morgül

İstanbul, Ekim 2013

Laboratuvar Kuralları

1. Her öğrenci dönem başında ilan edilen bütün deneyleri yapmak zorundadır.
2. Geçerli bir mazereti yüzünden en çok iki deneyi kaçıran öğrenciler dönem içinde veya dönem sonunda bu deneyleri yaparak telafi ederler.
3. Yapılacak deneylerin %20'sine gelmeyen öğrenci devamsızlık nedeniyle dersten başarısız duruma düşer.
4. Bir gruptaki bütün öğrenciler gelmeden deneye başlanmaz.
5. Deney başlama saatinden sonra 15 dakika geçtiği halde laboratuvara gelmeyen öğrenci yok sayılır ve diğer grup üyeleri deneye başlarlar.
6. Her deneyin raporu bir öğrenci tarafından hazırlanır. Grup üyeleri deney raporlarını sırayla yaparlar.
7. **Öğrenciler laboratuvara gelmeden önce yapacakları deneyle ilgili bölümü okumak ve konuyla ilgili diğer kaynakları ve ders notlarını incelemek ve "Ön Çalışma" kısmındaki işleri yapmakla yükümlüdür. Her deneyden önce öğrencilerin deneye hazırlanıp hazırlanmadığı kısa sınavlar veya sözlü olarak kontrol edilecek ve not verilecektir.**
8. Her öğrenci deney sırasında doldurduğu "Deney Ön Raporu" sayfasını deney bitiminde görevli öğretim elemanına imzalatacak ve fotokopisini teslim edecektir.
9. Deney raporları izleyen hafta deney başlamadan önce teslim edilecektir. Geç verilen ödevlerden gün başına 5 puan kırılır.
10. Öğrenciler kullanacakları ölçü aletleri ve deney setlerini öğrenmek ve bunları dikkatli olarak kullanmak zorundadır. Yanlış kullanım veya dikkatsizlik sonucu meydana gelecek maddi zararlar öğrenciler tarafından karşılanır. Bu yüzden deneyler kurulduktan sonra devreye gerilim vermeden önce devrenin öğretim elemanlarına gösterilmesi tavsiye edilir.

1. Deney: **LOJİK KAPILAR**

1.1 DENEYİN GAYESİ:

Çeşitli lojik kapıların davranışlarının incelenmesi ve doğruluk tablolarının çıkarılması

1.2 KULLANILACAK ALETLER VE MALZEMELER:

Tümdevreler: 74HC08 (quad 2-input AND), 74HC32 (quad 2-input OR), 74HC04 (Hex inverter)

Direnç: 470Ω

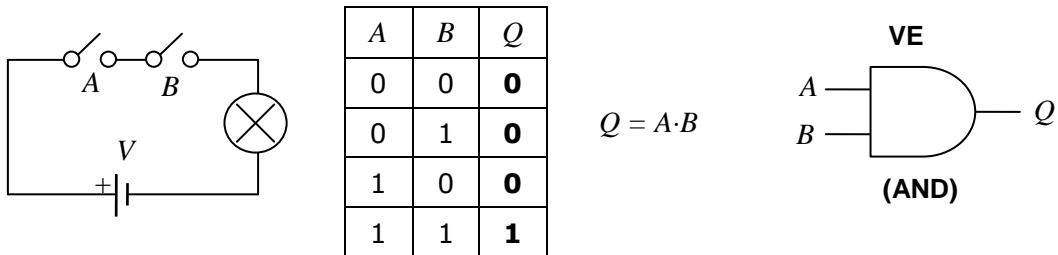
Diyot: LED

1.3 TEMEL BİLGİLER

Lojik kapılar, dijital devrelerin yapıtaşlarıdır. Kapı devreleri ikilik tabanda işlem yaparlar. Girişlerindeki "yüksek" seviye (HIGH) "1" olarak, "alçak" seviye (LOW) "0" olarak tanımlanır.

1.3.1 VE Kapısı (AND gate):

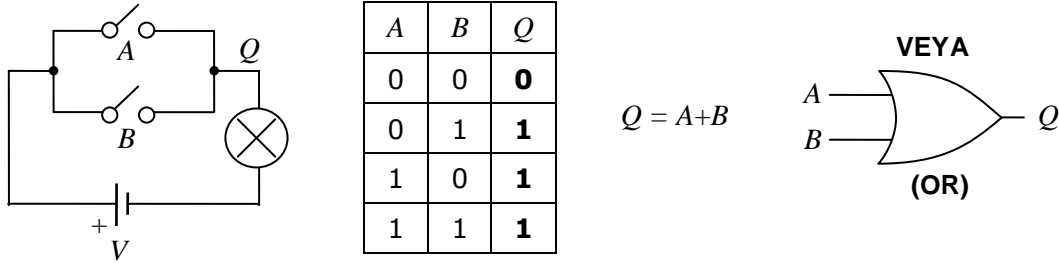
VE kapısının elektriksel eşdeğeri Şekil 1-1.de gösterilmiştir. A ve B anahtarlarının her ikisi de kapalı olduğunda devredeki lamba yanacaktır. Anahtarların kapalı konumu "lojik 1" , açık konumu ise "lojik 0" olarak tanımlanır. Şekil 1-2.deki doğruluk tablosundan da anlaşılacağı gibi, VE kapısının girişlerinden herhangi biri "0" seviyesinde olduğunda çıkış "0" seviyesinde kalacaktır. Her iki giriş "1" olduğunda çıkış seviyesi "1" olacaktır.



Şekil 1-1 "VE" kapısı elektriksel eşdeğer devresi, doğruluk tablosu, lojik fonksiyonu ve sembolü

1.3.2 VEYA Kapısı (OR gate):

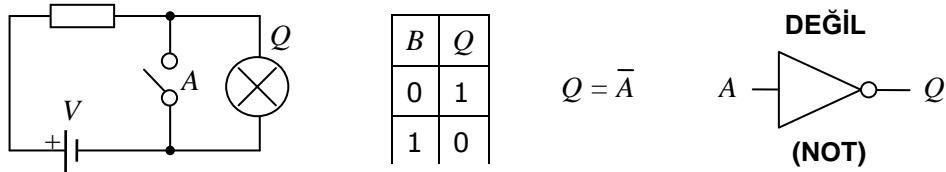
VEYA kapısının elektriksel eşdeğeri Şekil 1-3.de gösterilmiştir. A **veya** B anahtarlarının herhangi biri kapalı olduğunda devredeki lamba yanacaktır. Anahtarların kapalı konumu "lojik 1", açık konumu ise "lojik 0" olarak tanımlanır. Şekil 1-4.deki doğruluk tablosundan da anlaşılacağı gibi, VEYA kapısının girişlerinden her ikisi de "0" seviyesinde olduğunda çıkış "0" seviyesinde kalacaktır.



Şekil 1-2 "VEYA" kapısı elektriksel eşdeğer devresi, doğruluk tablosu, lojik fonksiyonu ve sembolü

1.3.3 DEĞİL Kapısı veya EVİRİCİ (INVERTER):

DEĞİL kapısının elektriksel eşdeğeri Şekil 1-5.de gösterilmiştir. Şekil 1-6.daki doğruluk tablosundan da anlaşılacağı gibi, DEĞİL giriş değişkeninin değilini almaktadır. Giriş "1" olduğunda çıkış seviyesi "0", giriş "0" olduğunda ise çıkış seviyesi "1" olacaktır.



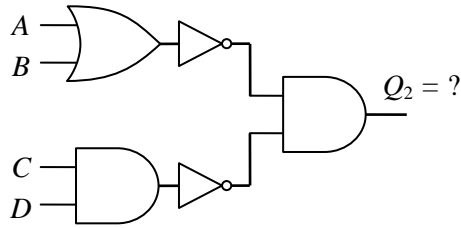
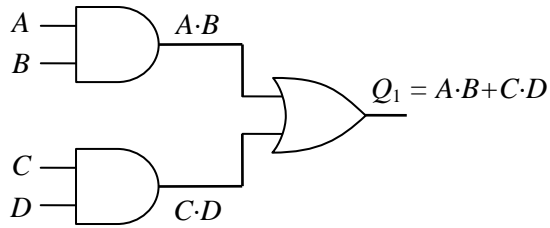
Şekil 1-3 "DEĞİL" kapısı elektriksel eşdeğer devresi, doğruluk tablosu, lojik fonksiyonu ve sembolü

1.4 SORULAR

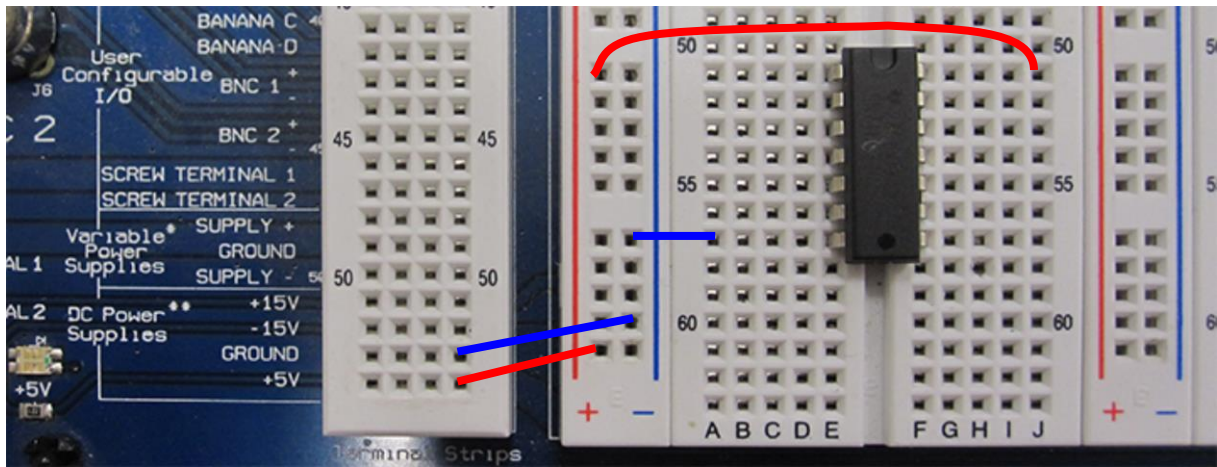
1. Temel lojik fonksiyonları VENN diyagramları ile açıklayınız.
2. VE-DEĞİL ve VEYA-DEĞİL Kapılarının lojik doğruluk tablolarını çiziniz. Normal (VE, VEYA, DEĞİL) kapıları kullanılarak bu kapılar nasıl gerçekleştirilebilir. Şekillerini çiziniz.
3. TTL kapılarla CMOS kapıların farkları nelerdir? Biri diğerinin yerine kullanılabilir mi? Araştırınız.

1.5 ÖN ÇALIŞMA

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. VE, VEYA ve DEĞİL kapılarının doğruluk tablolarını kullanarak aşağıda verilen devrelerin doğruluk tablolarını elde ediniz. İkinci devrenin lojik fonksiyonunu yazınız.



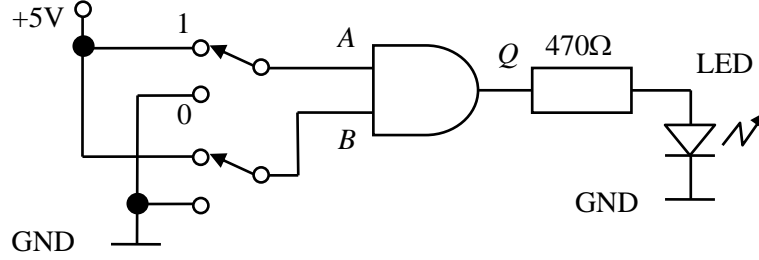
A	B	C	D	Q_1	Q_2
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		



Resim 1-1 Tümdevre besleme geriliminin bağlanması

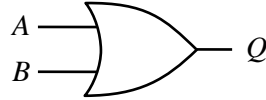
1.6 DENEYİN YAPILIŞI

1. 74HC08 tümdevresini Resim 1-1 de görüldüğü gibi deneme levhasına (breadboard) takarak +5V besleme gerilimini 14 numaralı, toprak (GROUND) ucunu da 7 numaralı bacağa bağlayınız. 74HC08 tümdevresini kullanarak Şekil 1-4’de verilen VE devresini kurunuz. Devrenin girişlerine anahtarlar yardımıyla A , B giriş işaretlerini uygulayınız. (+5V=lojik **1**; GND=lojik **0**) Devre çıkışını ana ünite üzerindeki LED’lere bağlayınız. Giriş doğruluk tablosunda verilen giriş değerlerini sırasıyla uygulayarak çıkışı gözlemleyiniz. Sonuçları Tablo 1-1a’ya kaydediniz.



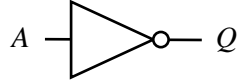
Şekil 1-4 VE kapısı

2. Şekil 1-5’de verilen devreyi 74HC32 tümdevresini kullanarak kurunuz. Sonuçları Tablo 1-1b’ye kaydediniz.



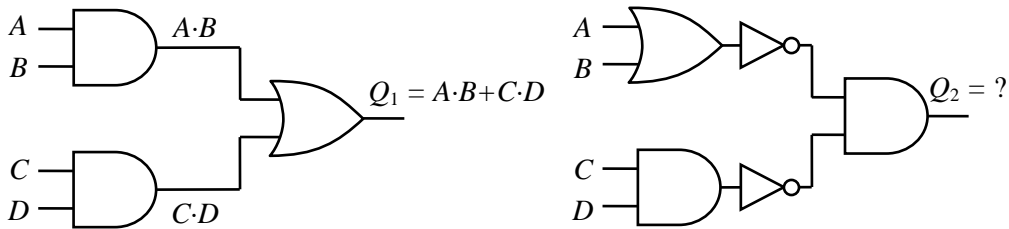
Şekil 1-5 VEYA kapısı

3. Şekil 1-6’da verilen devreyi 74HC04 tümdevresini kullanarak kurunuz. Sonuçları Tablo 1-1c’ye kaydediniz.



Şekil 1-6 DEĞİL kapısı (EVİRİCİ)

4. Aynı işlemleri Şekil 1-7’deki devreler için tekrarlayınız. Sonuçları Tablo 1-2’ye kaydediniz.



Şekil 1-7 $Q=(AB)+(CD)$ devresi ve $Q=f(A,B,C,D)$ devresi

Deney Ön Raporu

Deney No 1 – Lojik Kapılar

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

Tablo 1-1

A	B	Q
0	0	
0	1	
1	0	
1	1	

(a) VE

A	B	Q
0	0	
0	1	
1	0	
1	1	

(b) VEYA

A	Q
0	
0	
1	
1	

(c) DEĞİL

Tablo 1-2

A	B	C	D	Q1	Q2
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

2. Deney: **LOJİK KAPILAR İLE TASARIM**

2.1 DENEYİN GAYESİ:

Bir Lojik devrenin kapılar kullanılarak tasarlanması, davranışlarının incelenmesi ve doğruluk tablolarının çıkarılması

2.2 KULLANILACAK ALETLER VE MALZEMELER:

BL-3000 Lojik Devreler eğitim seti

Tümdevreler: 74HC08 (quad 2-input AND), 74HC32 (quad 2-input OR), 74HC04 (Hex inverter), 74HC00 (quad 2-input NAND),

2.3 TEMEL BİLGİLER

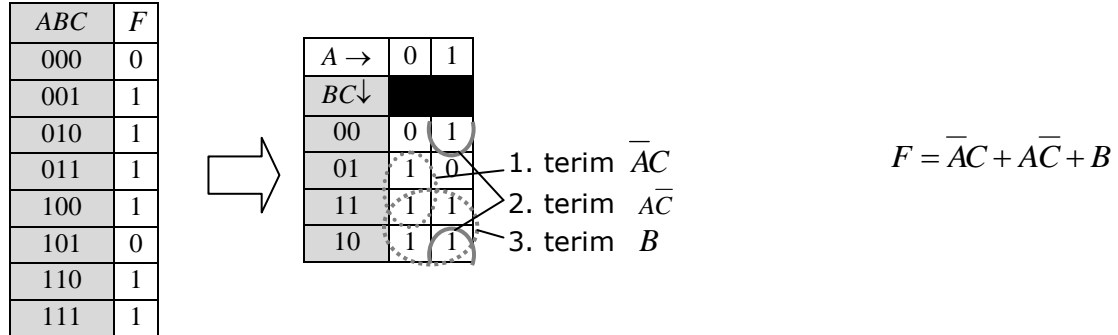
Bir lojik devre bir veya çok sayıda girişi ve çıkışı olan bir elektronik devredir. Çıkışın lojik değeri (1,0) girişlerin kombinasyonuna göre değişir ve istenilen fonksiyonu sağlayacak şekilde devre tasarlanır. Kombinasyonel Lojik devrelerin tasarımı dört aşamada yapılır:

1. Problem sözcüklerle tanımlanır. Yani girişlerin her durumu için çıkış veya çıkışların ne olması istendiği belirtilir.
2. Sözcüklerle tanımlanan lojik cümleler bir doğruluk tablosu haline getirilir. Burada bütün kombinasyonların belirlenmiş olması gerekir. Doğruluk tablosu VE, VEYA, DEĞİL fonksiyonları kullanılarak lojik formüller halinde yazılır.
3. Lojik fonksiyonlar çeşitli yöntemler kullanılarak sadeleştirilir. Sadeleştirmede en çok kullanılan yöntemler lojik teoremler kullanarak sadeleştirme ve Karnough diagramları ile sadeleştirme yöntemleridir.
4. Basitleştirilmiş lojik fonksiyonlar lojik kapılar kullanılarak gerçekleştirilir.

Karnough Diyagramları ile sadeleştirme yapmak için doğruluk tablosu iki boyutlu bir matris haline dönüştürülür. Değişkenlerin bir kısmı (mümkünse yarısı) düşey doğrultuda diğerleri ise yatay doğrultuda değerlendirilir. Değerler **00,01,11,10** şeklinde (Gray Kodu) sıralanmalıdır. ABC 'nin bütün değerleri için F fonksiyonunun aldığı değerler (**1** veya **0**) diyagrama yerleştirilir. Diyagramdaki bütün **1**'ler guruplar halinde daire içine alınır. Guruplamalar aşağıdaki kurallara göre yapılır:

- Bütün **1**'ler mutlaka bir daire içinde olmalıdır.
- Herhangibir **1** birden fazla dairenin içinde olabilir.
- Daire içinde hiç sıfır bulunmamalıdır. Yani sadece komşu **1**'ler daire içine alınabilir. (00 ve 10'ın da komşu olduğunu unutmayın)
- Her daire içinde 2^n tane (1,2,4,8..) **1** bulunmalıdır. Yani 3, 5, 6 .. tane komşu **1** bir daire içine alınamaz.
- Daireler mümkün olduğu kadar fazla sayıda **1**'i içine almalıdır. O yüzden önce mümkün olan en büyük guruptan başlayarak **1**'ler daire içine alınır.

Karnough diyagramındaki her daire sadeleştirilmiş fonksiyonun bir terimini gösterir. Bu terimi oluşturmak için, daire içinde hareket edildiğinde değişmeyen değişkenler yazılır. Eğer değişkenin değişmeyen değeri **1** ise kendisi, **0** ise evriği alınır. Örnek olarak Şekil 2-1'deki diyagramın 1. terimine bakarsak, daire $A=0$ sütününde olduğundan A değişmemekte ve değeri **0** olarak kalmaktadır. O halde değişkenin evriği, yani \bar{A} alınır. Terimin ikinci değişkeni C dir. Çünkü bu daire içinde $C=1$ değişmektedir. Buna karşılık B hem **1** hem **0** değerini aldığından atılır. 3. terimde ise değişmeyen sadece B değişkenidir. A ve C atılır.



Şekil 2.1 Doğruluk Tablosu ve Karnough Diyagramı

2.4 SORULAR

1. Beş değişkenli bir lojik fonksiyon Karnough diyagramları ile sadeleştirilebilirmi? Eğer mümkünse bir örnekle gösteriniz.
2. VEDEĞİL ve VEYADEĞİL kapıları neden "Evrensel (universal) Kapılar" olarak adlandırılır? Açıklayınız.
3. Boole fonksiyonlarını sadeleştirmek için kullanılan yöntemler hangileridir? Kısaca açıklayınız.

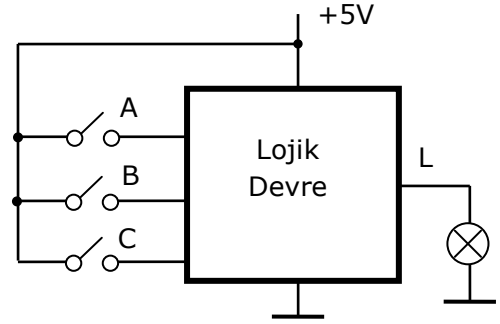
2.5 ÖN ÇALIŞMA

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. Aşağıda tanımlanan lojik fonksiyonu gerçekleştirecek devreyi tasarlayarak şemasını çiziniz.

Tasarım Problemi:

Üç ayrı anahtarla bir ışığı kontrol etmek üzere Şekil 2.1’de blok diyagramı verilen lojik devre tasarlanacaktır. Anahtarların etkisi şöyledir:

1. A anahtarı açık fakat B ve C kapalıysa veya,
 2. A anahtarı kapalı fakat B ve C açıksa veya,
 3. A anahtarı ve B kapalı, fakat C açıksa veya,
 4. A anahtarı ve B ve C kapalıysa
- lamba yansın.



Şekil 2.1 Tasarlanacak lojik devre

Verilen bu bilgiler ışığında

- a) Devrenin lojik fonksiyonunu yazınız.

$F = \dots\dots\dots$

- b) Bu fonksiyonu sadeleştiriniz.

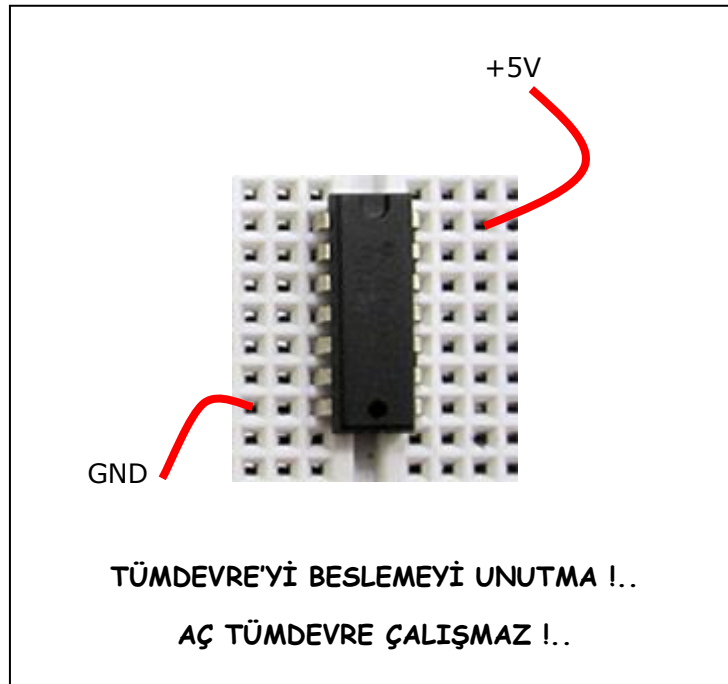
$F = \dots\dots\dots$

- c) Sadeleşmiş fonksiyonu kapılarla gerçekleştirmek için gerekli devrenin şemasını çiziniz.

- d) Devreyi sadece VE-DEĞİL kapıları kullanarak gerçekleştirecek devrenin şemasını çiziniz.

2.6 DENEYİN YAPILIŞI

1. Devrenin lojik fonksiyonunu yazınız.
2. Devrenin sadeleştirilmiş lojik fonksiyonunu yazınız.
3. Sadeleşmiş fonksiyonu VE, VEYA, DEĞİL kapıları kullanarak gerçekleyecek devreyi çiziniz. Bu devreyi kurunuz. A,B,C anahtarlarının bütün konumları için lambanın yanıp yanmadığını kontrol ederek doğruluk tablosunu doldurunuz.
4. Sadeleşmiş fonksiyonu sadece VE-DEĞİL kapıları kullanarak gerçekleyen devrenin şemasını çiziniz. Bu devreyi kurunuz. A,B,C anahtarlarının bütün konumları için lambanın yanıp yanmadığını kontrol ederek doğruluk tablosunu doldurunuz.



Deney Ön Raporu

Deney No 2 – Lojik Kapılar ile Tasarım

RAPORU YAZAN :

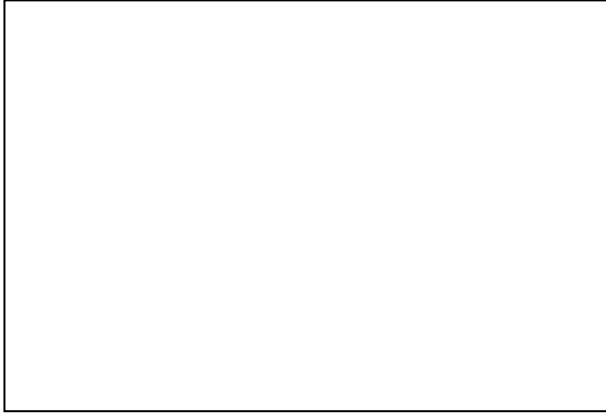
GRUP NO :

DENEY TARİHİ :

1. $F =$

2. $F =$

3. VE-VEYA-DEĞİL kapıları kullanarak yapılan devre şeması ve doğruluk tablosu

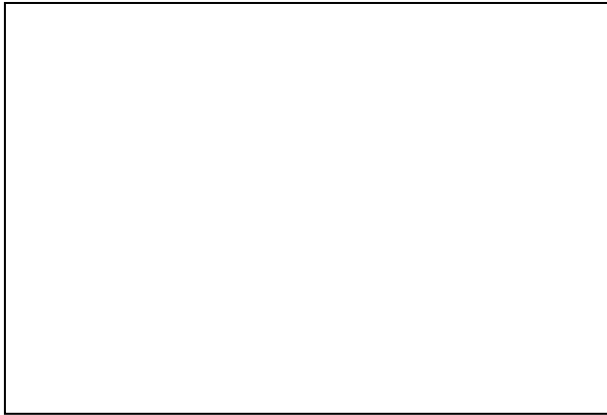


Şema

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Doğruluk Tablosu

5. Sadece VE-DEĞİL kapıları kullanarak yapılan devre şeması ve doğruluk tablosu



Şema

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Doğruluk Tablosu

3. Deney: YARIM VE TAM TOPLAMA ELEMANI

3.1 DENEYİN AMACI:

Bu deneyde lojik kapılar kullanılarak tam toplama ve yarım toplama devreleri tasarlanacaktır.

3.2 KULLANILACAK ALETLER VE MALZEMELER:

Tümdevreler: 74HC08 (quad 2-input AND), 74HC32 (quad 2-input OR), 74HC04 (Hex inverters), 74HC00 (quad 2-input NAND), 4070 veya 74HC86 (quad 2-input exclusive-OR)

3.3 TEMEL BİLGİLER

3.3.1 Toplama Devresi

Aslında bütün aritmetik işlemler toplama-çıkarma işlemlerinin ard arda uygulanması ile gerçekleştirilebilir. Bu yüzden temel aritmetik ünite toplama devresidir. Bir toplama devresini gerçekleştirmek için önce ikili sistemde toplama işlemini tanımlamak gerekir.

$$\begin{aligned}0+0 &= 0 \\0+1 &= 1 \\1+0 &= 1 \\1+1 &= 10\end{aligned}$$

İki tabanında "10" ondalık sistemde "2" demek olduğundan ikili sistemde 1 ile 1 toplanırsa toplam=0, elde=1 eder ($[10]_2=[2]_{10}$). Bu tanıma göre ikili sistemde bir bitlik toplama elemanının nasıl yapılacağı aşağıdaki örnekte gösterilmiştir.

Giriş sayıları A ve B, toplam ise S olsun. Bu iki sayının toplamını doğruluk tablosu halinde gösterilirse toplamın yanında bir de "elde" hanesinin veya çıkışının (C) bulunması gerekir.

Bu doğruluk tablosunu gerçeklemek için çıkış fonksiyonunu 1 yapan satırdaki giriş elemanlarına bakmak gerekir. Eğer bu satırdaki eleman değeri 0 ise elemanın evriğini yani "DEĞİL"ini, eğer 1 ise kendisini alıp diğer elemanlarla VE işleminde birleştirmek, sonra çıkışı 1 yapan diğer satırlardaki terimlerle toplamak (VEYA işlemi) gerekir.

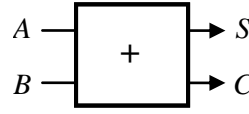
Doğruluk tablosundan hareketle gerekli sadeleştirmeler yapılırsa;

$$S = \overline{A}B + A\overline{B} = A \oplus B \quad \text{toplama}$$

$$C = AB \quad \text{elde}$$

Elde edilir.

Şekil 3.1 Yarım toplama elemanı ve doğruluk tablosu



<i>girişler</i>	<i>toplama</i>	<i>elde</i>
<i>AB</i>	<i>S</i>	<i>C</i>
00	0	0
01	1	0
10	1	0
11	0	1

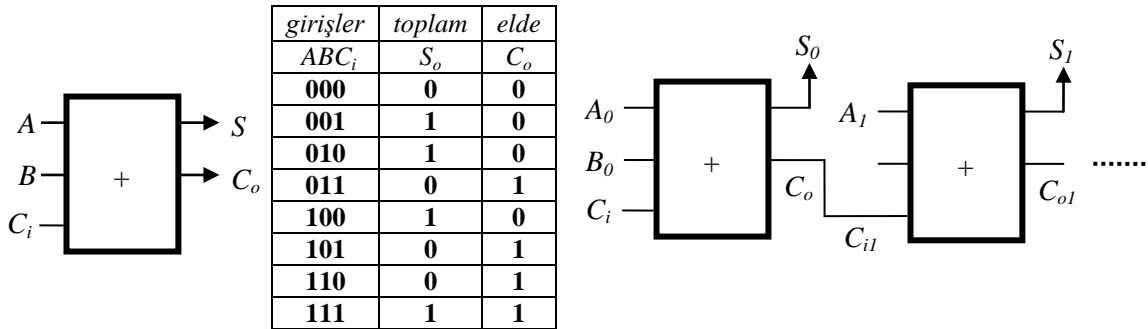
Bu işlemi gerçekleyen iki girişli iki çıkışlı devreye YARIM TOPLAMA ELEMANI adı verilir.

Birden fazla hanesi bulunan ikili sayıları toplayabilmek için ilk hanenin elde çıkışını bir sonraki haneye eklemek gerekir. Bu durumda elde edilen 3 girişli toplama elemanına da TAM TOPLAMA ELEMANI adı verilir. Bir tam toplama elemanının doğruluk tablosu Şekil 3-2’de verilmiştir. Bu tablodan hareketle lojik fonksiyonlar yazılarak sadeleştirilirse aşağıdaki eşitlikler elde edilir.

$$S_o = (A \oplus B) \oplus C \quad \text{toplama}$$

$$C_o = (A \oplus B) \cdot C + A \cdot B \quad \text{elde}$$

Tam toplama elemanları ard arda bağlanarak istenildiğikadar çok haneli sayılar toplanabilir.



Şekil 3.2 Tam toplama elemanı, doğruluk tablosu ve tam toplama elemanlarının ard arda bağlanması

3.4 SORULAR

1. Bir bitlik bir yarım toplama/çıkarma devresi tasarlayınız. Devrenin a, b girişleri dışında bir x kontrol girişi ve S (toplama) C (elde) olmak üzere iki çıkışı bulunacaktır. $x=1$ için toplama, $x=0$ için çıkarma işleminin yapılması sağlanacaktır.
2. İnternette araştırarak bir 4-bit toplayıcı tümdevresi bulunuz. Bu tümdevreyi kullanarak 8-bitlik bir toplama devresi tasarlayınız.
3. Çok haneli toplama işleminde elde’lerin son haneye kadar gelebilmesi için uzun bir süre gerekmektedir, bu da işlem hızını düşürmektedir. Bunu önlemek için nasıl bir çözüm bulunmuştur. Açıklayınız ve örnek bir devre ile gösteriniz.

3.5 DENEY ÖN ÇALIŞMASI:

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. Lojik kapılar kullanarak bir yarım toplama işlemini gerçekleştirecek devrenin şemasını çiziniz.
3. Yarım toplama işlemini "DIŞLAYAN VEYA" (Exclusive OR) kapısı ile gerçekleştiren devreyi çiziniz.
4. Lojik kapılar kullanarak bir tam toplama devresi tasarlayınız.
5. "DIŞLAYAN VEYA" (Exclusive OR) kapısı kullanarak tam toplama devresini tasarlayınız.

3.6 DENEYİN YAPILIŞI:

1. Yarım toplama devresini kurarak çalışmasını doğrulayınız.
2. Yarım toplama devresini "DIŞLAYAN VEYA" (Exclusive OR) ve diğer kapıları kullanarak kurunuz ve çalışmasını doğrulayınız.
3. "DIŞLAYAN VEYA" (Exclusive OR) ve diğer kapıları kullanarak tam toplama elemanını kurunuz ve çalışmasını doğrulayınız.

Deney Ön Raporu

Deney-3: Yarım ve Tam Toplama Devresi Tasarımı

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

1. Yarım toplama devresi

2. Dışlayan VEYA kapıları ile Yarım toplama devresi

<i>girişler</i>	<i>toplam</i>	<i>elde</i>
<i>AB</i>	<i>S</i>	<i>C</i>
00		
01		
10		
11		

<i>girişler</i>	<i>toplam</i>	<i>elde</i>
<i>AB</i>	<i>S</i>	<i>C</i>
00		
01		
10		
11		

3. Tam toplama devresi

<i>girişler</i>	<i>toplam</i>	<i>elde</i>
<i>ABC_i</i>	<i>S</i>	<i>C_o</i>
000		
001		
010		
011		
100		
101		
110		
111		

4. Deney: VERİ SEÇİCİ (Multiplexer) İLE TASARIM

4.1 DENEYİN AMACI:

Veri Seçiciler (Multiplexer) ile lojik fonksiyonların gerçekleştirilmesi.

4.2 KULLANILACAK ALETLER VE MALZEMELER:

BL-3000 Lojik Devreler eğitim seti

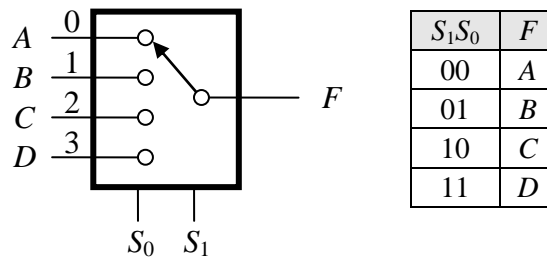
Tümdevreler: 74HC08 (quad 2-input AND), 74HC32 (quad 2-input OR), 74HC04 (Hex inverting gates), 74HC00 (quad 2-input NAND), 4051 (8-channel analog mux-demux)

4.3 TEMEL BİLGİLER:

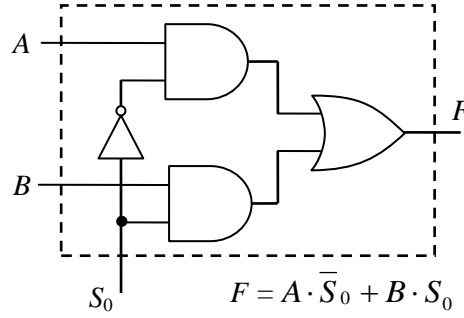
Lojik fonksiyonlar kapılar yerine veri seçici (multiplexer) elemanlar kullanılarak da gerçekleştirilebilir. $N:1$ seçici devresi N tane girişten birini Z çıkışına bağlar. Hangi girişin çıkışa bağlanacağını S adres girişleri belirler. M tane adres girişi varsa $N=2^M$ tane girişten biri çıkışa bağlanabilir. Örnek olarak 4:1 seçici lojik fonksiyonu

$$F = (A \cdot \overline{S_0} \cdot \overline{S_1}) + (B \cdot S_0 \cdot \overline{S_1}) + (C \cdot \overline{S_0} \cdot S_1) + (D \cdot S_0 \cdot S_1)$$

olarak yazılabilir. Böylece S_0, S_1 adres girişlerine X, Y değişkenleri ve A, B, C, D girişlerine 0,1 veya Z değişkeni bağlanarak herhangi bir $F(X, Y, Z)$ fonksiyonu 4:1 seçici ile gerçekleştirilebilir. Genel olarak M tane adres girişi olan çoklayıcı ile $M+1$ tane değişkeni olan bir fonksiyon gerçekleştirilebilir.



Şekil 4-1 (4:1) Veri Seçici (MUX) ve doğruluk tablosu



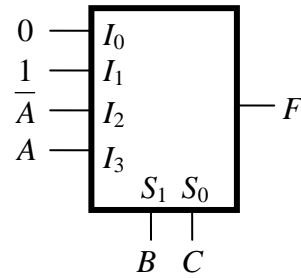
Şekil 4-2 (2:1) Veri Seçici (MUX) iç yapısı

Veri seçicide anahtarlama işlemi VE kapıları kullanılarak yapılır. Seçilecek olan verinin girdiği VE kapısının ikinci girişi **1** diğer bütün VE kapılarının kontrol girişleri ise **0** yapılır.

MinTerim	ABC	F
0	000	0
1	001	1
2	010	1
3	011	0
4	100	0
5	101	1
6	110	0
7	111	1

	I_0	I_1	I_2	I_3
\bar{A}	0	1	2	3
A	4	5	6	7
	0	1	\bar{A}	A

$$F(ABC) = \sum(1,2,5,7)$$



Şekil 4-3 (4:1) Veri Seçici (MUX) ile $F=A'B'C+A'BC'+AB'C+ABC$ fonksiyonunun gerçekleştirilmesi

(N:1) veri seçici ile $(\log_2 N + 1)$ değişkeni olan bir lojik fonksiyon gerçekleştirilebilir. Bunun için giriş sayısı kadar kolonu olan iki satırlık bir tablo hazırlanır. Her kolon sırayla bir girişe atanır. Satırlara da en etkili bit (A) ve evriği atanır. Minterim numaraları matrise sırayla yazılır. Doğruluk tablosunda fonksiyonu 1 yapan Minterimler daire içine alınır. Bundan sonra herhangi bir girişe karşı düşen kolonda hiç daire yoksa o girişe **0**, iki tane daire varsa **1**, A' satırında daire varsa A', A satırında daire varsa A bağlanır.

4.4 SORULAR

1. 4x1 Veri seçicinin iç yapısını çizin.
2. Veri Seçinin ters işlemi (DEMUX), yani bir giriş çok çıkışlı seçici devre nasıl gerçekleştirilir ve ne işe yarar? Araştırınız.
3. Bir sayısal telefon santralinde gelen veriler çevrilen telefon numarasına bağlanırken veri seçici kullanılabilmirmi? Nasıl? Araştırınız.

4.5 ÖN ÇALIŞMA

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. $F(X,Y,Z) = \Sigma(0,1,2,7)$ fonksiyonunu Karnough yöntemi ile sadeleştiriniz ve lojik kapılar kullanarak devre şemasını çiziniz.
3. Fonksiyonu sadece VE-DEĞİL kapıları kullanarak gerçekleştiriniz. Devre şemasını çiziniz.
4. Fonksiyonu 4x1 veri seçici (multiplexer) kullanarak gerçekleştiriniz. Devre şemasını çiziniz.

Deney 4: Veri Seçici (Multiplexer) ile Tasarım

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

a)

X	Y	Z	F

VE-VEYA
Gerçekleme

b)

X	Y	Z	F

VE-DEĞİL
Gerçekleme

c)

X	Y	Z	F	I_i

VERİ SECİCİ ile

5. Deney: GENLİK KARŞILAŞTIRICI

5.1 DENEYİN AMACI:

Sayısal genlik karşılaştırmacı devrelerin gerçekleştirilmesi.

5.2 KULLANILACAK ALETLER VE MALZEMELER:

BL-3000 Lojik Devreler eğitim seti

Tümdevreler: 74HC08 (quad 2-input AND), 74HC32 (quad 2-input OR), 74HC04 (Hex inverting gates), 74HC02 (quad 2-input NOR)

5.3 TEMEL BİLGİLER:

İkili sistemde yazılmış iki rakam lojik devreler kullanılarak karşılaştırılabilir. Bu karşılaştırma sonunda eğer A ve B sayıları karşılaştırılıyorsa $A=B$, $A>B$ ve $A<B$ çıkışlarından sadece bir tanesi doğru (1) olacaktır. A ve B sayıları iki bitlik ise karşılaştırma tablosu Tablo 5-1'eki gibi yazılabilir.

Tablodaki çıkış büyüklüklerini elde etmek için çıkış fonksiyonları:

$$F(=) = x_1 x_0 \qquad x_i = \overline{(A_i \oplus B_i)} \quad i=0,1$$

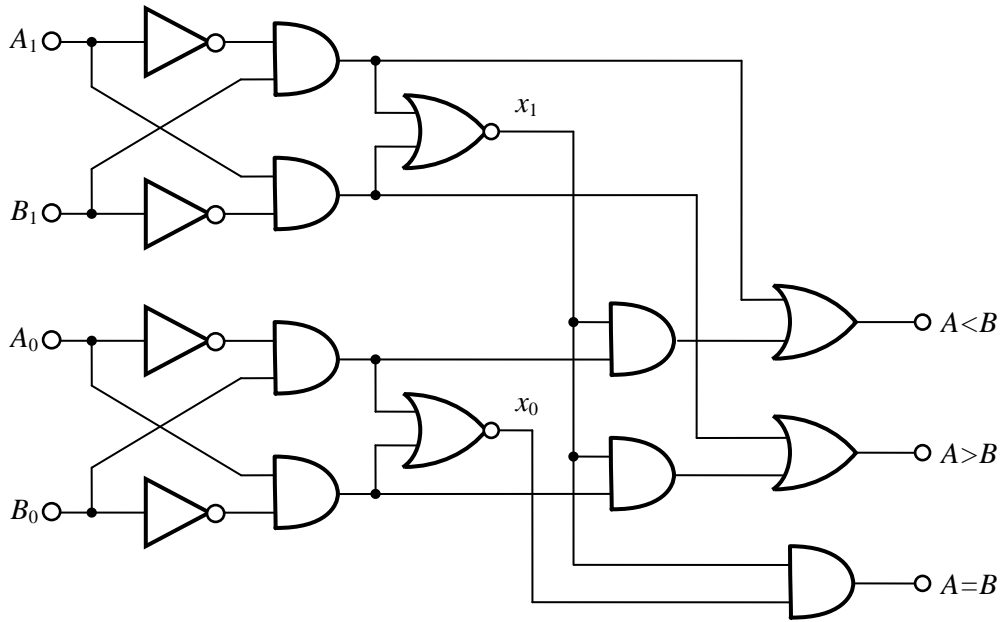
$$F(>) = A_1 \overline{B_1} + A_0 \overline{B_0} x_1$$

$$F(<) = \overline{A_1} B_1 + \overline{A_0} B_0 x_1$$

Lojik fonksiyonların NOT , AND, OR ve NOR elemanlarıyla gerçekleyen devre: Şekil 6-1'de verilmiştir.

Tablo 5-1 İki bitlik genlik karşılaştırıcı için doğruluk tablosu

A	B	A ₁	A ₀	B ₁	B ₀	A=B	A>B	A<B
0	0	0	0	0	0	1	0	0
0	1	0	0	0	1	0	0	1
0	2	0	0	1	0	0	0	1
0	3	0	0	1	1	0	0	1
1	0	0	1	0	0	0	1	0
1	1	0	1	0	1	1	0	0
1	2	0	1	1	0	0	0	1
1	3	0	1	1	1	0	0	1
2	0	1	0	0	0	0	1	0
2	1	1	0	0	1	0	1	0
2	2	1	0	1	0	1	0	0
2	3	1	0	1	1	0	0	1
3	0	1	1	0	0	0	1	0
3	1	1	1	0	1	0	1	0
3	2	1	1	1	0	0	1	0
3	3	1	1	1	1	1	0	0



Şekil 5-1 İki bitlik genlik karşılaştırıcı lojik devresi

5.4 SORULAR

1. Genlik karşılaştırıcı devreler nerelerde kullanılabilir? Uygulama alanlarını araştırınız.
2. 4 ve 8 bitlik genlik karşılaştırıcı devreleri inceleyiniz. İki tane 8 bitlik genlik karşılaştırıcı kullanılarak 16 bitlik genlik karşılaştırıcı nasıl yapılır? Şekil çizerek açıklayınız.
3. Şekil 5-1'deki karşılaştırıcı devrenin çıkışlarını Karnaugh diyagramları ile elde ediniz.

5.5 ÖN ÇALIŞMA

1. Şekil 5-1'deki doğruluk tablosunu sağlayacak şekilde Karnaugh diyagramları yardımı ile $f_1(A=B)$, $f_2(A>B)$ ve $f_3(A<B)$ fonksiyonlarını bulun ve bunları gerçekleştirecek devrleri çizin. Çizdiğiniz devreyi Şekil 5-2 ile karşılaştırınız.

$f_1(A=B)=$

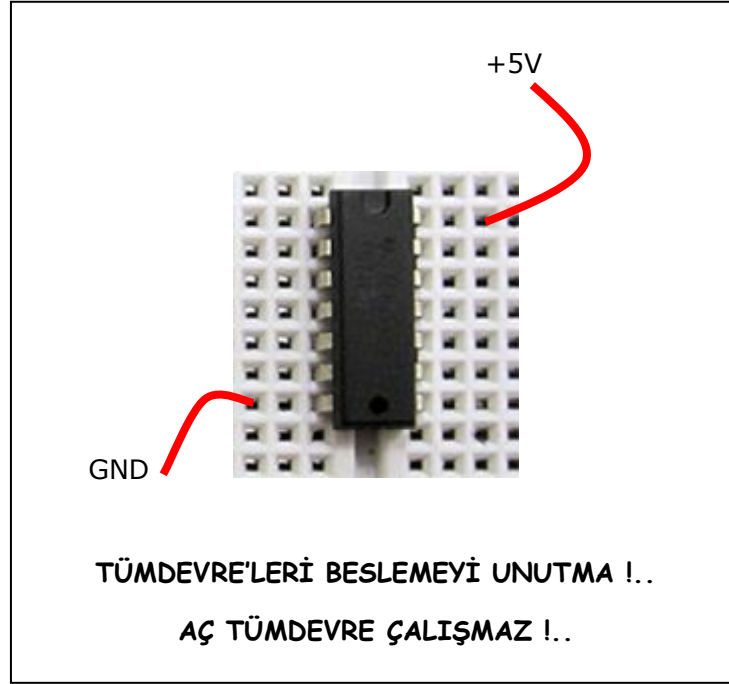
$f_2(A>B)=$

$f_3(A<B)=$

2. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz.

5.6 DENEYİN YAPILIŞI:

Şekil 5-1'deki devreyi kurunuz ve girişlere değerler vererek çıkışları kontrol ediniz. Tablo 6-1'deki çıkış değerlerini doldurunuz. Tablo 5-1'deki teorik değerlerle karşılaştırınız.



Deney Ön Raporu

Deney 5: Genlik Karşılaştırıcı

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

A_1	A_0	B_1	B_0	$A=B$	$A>B$	$A<B$
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

6. Deney: İKİLİ DEVRELER (Flip-Flop)

6.1 DENEYİN AMACI:

İkili devrelerin (Flip-flop) incelenmesi.

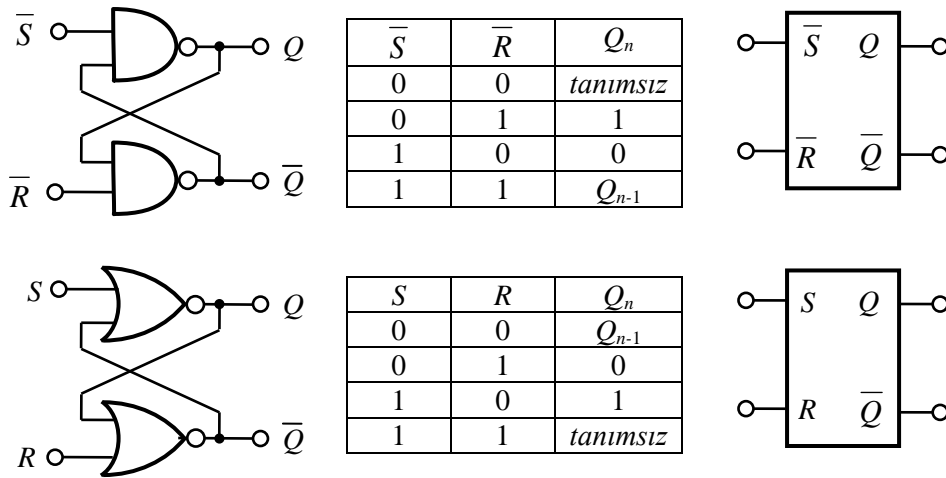
6.2 KULLANILACAK ALETLER VE MALZEMELER:

BL-3000 Lojik Devreler eğitim seti

Tümdevreler: 74HC00 (quad 2-input NAND), 74HC02 (quad 2-input NOR)

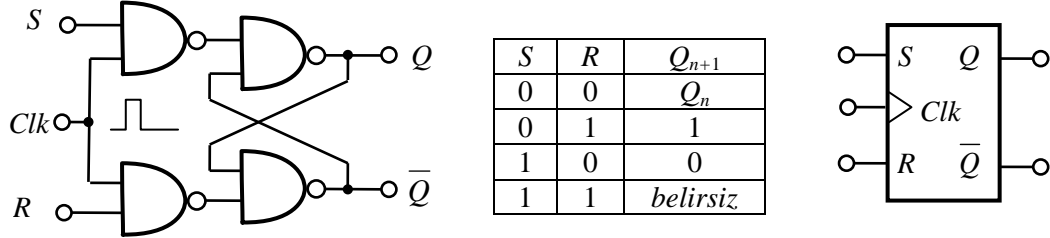
6.3 TEMEL BİLGİLER:

İkili devreler ardışıl lojik devrelerin temel yapıtaşları olup bellek işlevi görürler. RS-İkili devre iki tane VEDEĞİL kapısı kullanılarak yapılabilir.



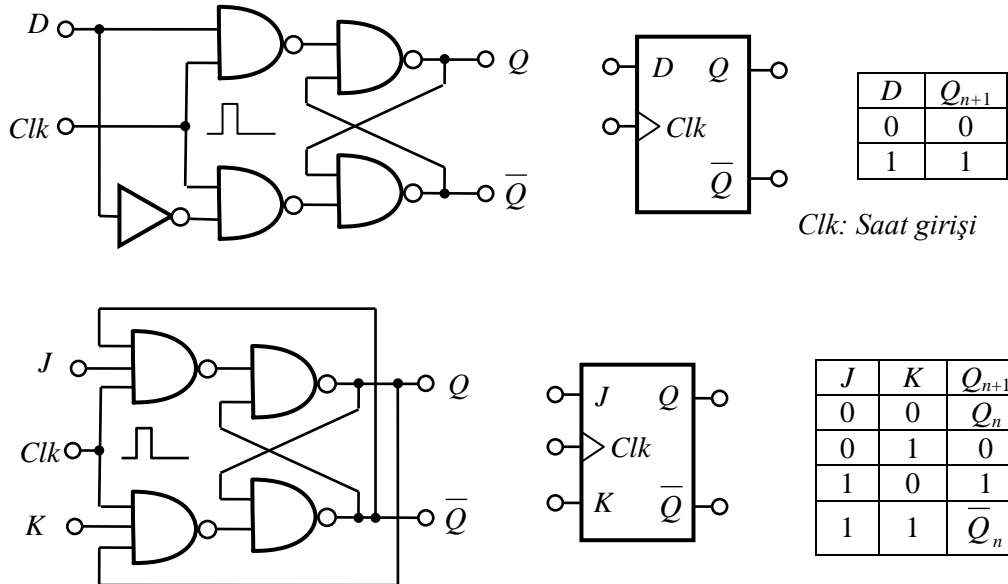
Şekil 6-1 VEDEĞİL ve VEYADEĞİL kapıları ile yapılmış RS-ikili devreler, doğruluk tabloları ve simgeleri

İkili devreler kullanarak ardışıl yani zamanla istenildiği gibi değişen lojik devreleri tasarlamak gerektiğinde genellikle bir saat girişinin olması gerekir. Bu durumda çıkıştaki değişikli sadece saat işareti geldiğinde meydana gelir. Bu tür lojik devrelere de senkron ardışıl devreler adı verilir. Saat girişi olan bir RS ikili Şekil 5-2’de görüldüğü gibi kolayca yapılabilir.



Şekil 6-2 VEDEĞİL kapıları ile yapılmış saatli RS-ikili devre

RS-İkili dışında D, T ve JK tipi ikili devreler vardır. Bu ikili devreler de bellek olarak Şekil 5-2’deki RS ikiliyi kullanırlar.



Şekil 6-2 Saatte çalışan D ve JK tipi ikili devreler ve doğruluk tabloları

Senkron ikili devreler bir saat girişi ile kontrol edilir. Senkron devrelerde çıkıştaki değişiklikler saat işareti geldiğinde meydana gelir ve çıkışın saat işaretinden sonra alacağı konum karakteristik denklemle ifade edilir.

$$Q_{n+1} = D \quad \text{D-ikili}$$

$$Q_{n+1} = T \bar{Q}_n + \bar{T} Q_n \quad \text{T-ikili}$$

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n \quad \text{JK-ikili}$$

Bu karakteristik denklemlerden görüleceği gibi J ve K girişleri birbirine bağlanırsa JK-ikili T-ikiliye dönüştürülebilir.

6.4 SORULAR

1. Saat giriřli ikili devrelere neden "senkron" adı verilmiřtir?
2. Saat giriřli D-ikili'nin çıkıřlarını sıfırlamak için nasıl bir "RESET" devresi kullanılır? řemasını çiziniz ve çalışmasını açıklayınız.
3. Ana/Uydu (Master/Slave) tipi ikili devreler ne işe yarar. Çalışma ilkesini řekil çizerek anlatınız.

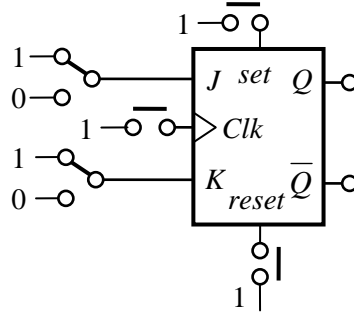
6.5 ÖN ÇALIřMA:

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. T tipi ikili devrenin kapı devreleri ile nasıl gerçekteřtirildiğini arařtırarak řemasını çiziniz.

3. Bir JK ikiliyi D ve T tipi ikiliye dönüřtürmek için gerekli lojik devreleri çiziniz.

6.6 DENEYİN YAPILIŞI

1. Şekil 5-1'deki devreyi kurarak lojik fonksiyonu doğrulayınız. Tablo 6-1'e işleyiniz.
2. JK ikili devresini 4027 tümdevresi ile kurunuz. JK girişlerini sürgülü anahtarlara, saat (Clk), Set ve Reset uçlarını ise basmalı buton anahtarlara bağlayınız. Her seferinde önce Reset butonuna basarak Q çıkışını 0 yapınız, JK girişini sırayla 00, 01, 10 ve 11 yaptıktan sonra saat çıkışına basarak Q çıkışının yeni değerini izleyerek kaydediniz. Daha sonra her seferinde önce Set butonuna basarak Q çıkışını 1 yapınız ve JK girişlerini değiştirerek Q çıkışının yeni değerini izleyerek kaydediniz. Lojik fonksiyonu doğrulayınız. Tablo 6-2'e işleyiniz.



3. JK ikili devresini D-ikili devresine dönüştüren devreyi kurarak lojik fonksiyonu doğrulayınız. Tablo 6-3'e işleyiniz.

D	Q_{n+1}
0	
1	

4. JK ikili devresini T-ikili devresine dönüştüren devreyi kurarak lojik fonksiyonu doğrulayınız. Tablo 6-4'e işleyiniz.

T	Q_n	Q_{n+1}
0	0	
0	1	
1	0	
1	1	

Deney Ön Raporu

Deney 6: İkili Devreler

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

1. SR-ikili

Tablo 6-1

\bar{S}	\bar{R}	Q_n	\bar{Q}_n
0	0		
0	1		
1	1		
1	0		
1	1		

2. JK-ikili

Tablo 6-2

Q_n	J	K	Q_{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Q_n : Saat düğmesine basmadan önceki değer; Q_{n+1} : Saat düğmesine bastıktan sonraki değer

5. D-ikili

Tablo 6-3

D	Q_n	Q_{n+1}
0	0	
0	1	
1	0	
1	1	

6. T-ikili

Tablo 6-4

T	Q_n	Q_{n+1}
0	0	
0	1	
1	0	
1	1	

7. Deney: **ARDIŞIL DEVRE TASARIMI**

7.1 DENEYİN AMACI:

Örnek bir ardışıl devrenin tasarlanarak denenmesi.

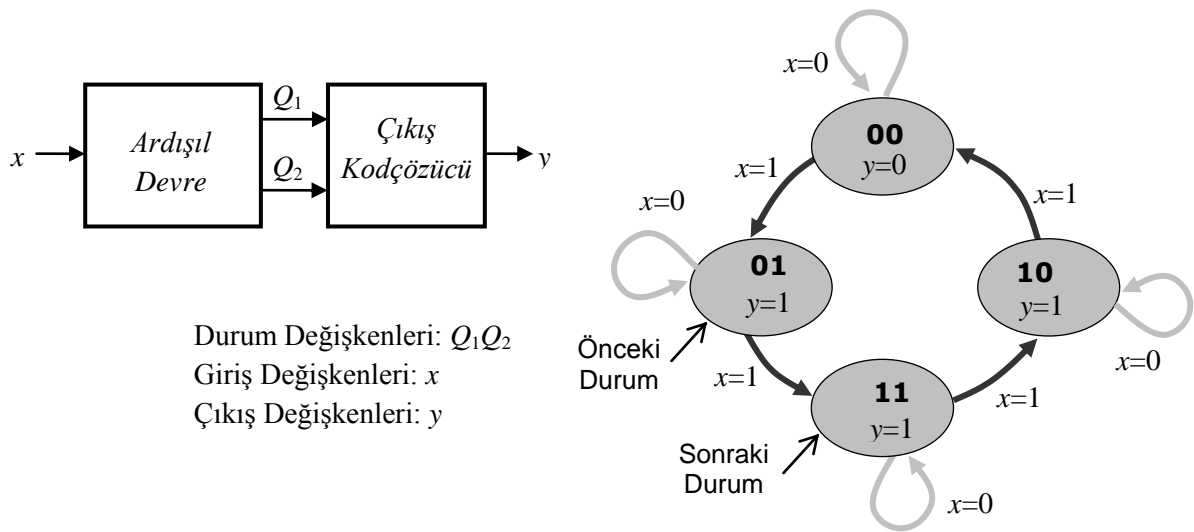
7.2 KULLANILACAK ALETLER VE MALZEMELER:

BL-3000 Lojik Devreler eğitim seti

Tümdevreler: 74HC08 (quad 2-input AND), 74HC32 (quad 2-input OR), 74HC00 (quad 2-input NAND), 74HC112 veya 74HC73 (Dual JK flip-flop)

7.3 TEMEL BİLGİLER:

Ardışıl lojik devrelerin tasarımı için önce verilen problemin durum diyagramını çizmek gerekir. Bu çizimde giriş değişkenlerinin değerine göre hangi durumdan hangi duruma geçileceği belirlenir. Bir ardışıl lojik devredeki durumlar bellek elemanı veya ikililerin çıkış değerleri tarafından belirlenir. Eğer n -tane ikili varsa 2^n durum bulunur. Ancak bu durumlardan bazıları kullanılmayabilir.



Şekil 7-1 Bir ardışıl devrenin durum diyagramı

Durum diyagramı çizildikten sonra buna dayanarak durum değıştirme tablosu hazırlanır. Bu tabloda Q_1Q_2 durum değışkenlerinin şimdiki durumu $Q(n)$ ve bir sonraki saat darbesi geldiğinde alması istenen duruma $Q(n+1)$ ve kullanılan ikilinin uyarma tablosuna bakılarak $J_1K_1J_2K_2$ girişlerinin ne olması gerektiği bulunur.

$Q(n)$	$Q(n+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tablo 7-1 JK ikilinin uyarma tablosu

Daha sonra her bir girişin ($J_1K_1J_2K_2$) fonksiyonları x, Q_1, Q_2 'nin fonksiyonu olarak bulunur ve devre şeması çıkartılır. Eğer varsa çıkış fonksiyonu (y) veya fonksiyonları ayrıca çıkartılır. Örnek olarak, Şekil 7-1'deki durum diyagramı için $J_1K_1J_2K_2$ ve y çıkışına ilişkin Karnough diyagramları ve buradan elde edilen lojik fonksiyonlar Tablo 7-2 ve Tablo 7-3'de verilmiştir.

Tablo 7-2 Durum değıştirme tablosu

x	şimdiki durum $Q_1Q_2(n)$	gelecek durum $Q_1Q_2(n+1)$	J_1K_1	J_2K_2	y
0	00	00	0X	0X	0
1	00	01	0X	1X	0
0	01	01	0X	X0	1
1	01	11	1X	X0	1
0	11	11	X0	X0	1
1	11	10	X0	X1	1
0	10	10	X0	0X	1
1	10	00	X1	0X	1

Tablo 7-3 J, K ve y için Karnough diyagramları ve sadeleştirilmiş lojik fonksiyonları

$x \backslash Q_1Q_2$	0	1
00	0	0
01	0	1
11	X	X
10	X	X

$x \backslash Q_1Q_2$	0	1
00	X	X
01	X	X
11	0	0
10	0	1

$x \backslash Q_1Q_2$	0	1
00	0	1
01	X	X
11	X	X
10	0	0

$x \backslash Q_1Q_2$	0	1
00	X	X
01	0	0
11	0	1
10	X	X

$x \backslash Q_1Q_2$	0	1
00	0	0
01	1	1
11	1	1
10	1	1

$$J_1 = xQ_2$$

$$K_1 = x\bar{Q}_2$$

$$J_2 = x\bar{Q}_1$$

$$K_2 = xQ_1$$

$$y = Q_1 + Q_2$$

7.4 SORULAR

1. Bu deneyde tasarlanan devre "senkron" bir devre mi yoksa "asenkron" bir devremidir?
2. Ön çalışma kısmında JK ikililerle tasarladığınız devreyi T ve D tipi ikililerle tasarlayınız.
3. Bir senkron devrede n tane ikili var fakat durum sayısı $2n$ 'den az ise kullanılmayan durumlar ne olur? Bunların bir sorun yaratmaması için ne yapmak gerekir?

7.5 ÖN ÇALIŞMA

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz.
2. Bir girişi (x) ve iki çıkışı (y, z) olan bir devre tasarlanacaktır. Devre çalıştırıldığında eğer $x=1$ ise devre çıkışında ileri doğru artan bir ikili sayı dizisi ($y,z=....00,01,10,11,00,01,...$), eğer herhangi bir zamanda $x=0$ yapılırsa kalan sayıdan geriye doğru azalan bir ikili sayı dizisi ($y,z=....11,10,01,00,11,10....$) elde edilmek isteniyor.Devrede kaç durum ve kaç durum değişkeni olmalıdır? Durum değişkenlerini atayınız.

2.1 Devrenin durum diyagramını çiziniz. Durum ve geçiş değişkenlerini gösteriniz.

2.2 Durum tablosunu çizerek her geçişi belirleyiniz.



giriş	şimdiki durum	gelecek durum	girişler		çıkışlar	
x	$Q_1Q_2(n)$	$Q_1Q_2(n+1)$	J_1K_1	J_2K_2	y	z
0	00					
1	00					
0	01					
1	01					
0	11					
1	11					
0	10					
1	10					

Durum Diyagramı

Durum Değiştirme (Uyarma)Tablosu

2.3 JK tipi bellek elemanları kullanılacağına göre, her ikili için J ve K fonksiyonlarını belirleyerek sadeleştiriniz.

$x \rightarrow$	0	1	$x \rightarrow$	0	1	$x \rightarrow$	0	1	$x \rightarrow$	0	1	$x \rightarrow$	0	1	x	0	1
Q_1Q_2			Q_1Q_2			Q_1Q_2			Q_1Q_2			Q_1Q_2			Q_1Q_2		
00			00			00			00			00			00		
01			01			01			01			01			01		
11			11			11			11			11			11		
10			10			10			10			10			10		
J_1			K_1			J_2			K_2			y			z		

2.4 Lojik kapılar kullanarak devre şemasını "Deney ön raporu" sayfasına çiziniz.

2.5 Sadece VE-DEĞİL kapıları kullanarak devre şemasını "Deney ön raporu" sayfasına çiziniz.

7.6 DENEYİN YAPILIŞI

Tasarladığınız devrenin şemasını çizerek devreyi gerçekleştiriniz. Devrenin çıkışlarını $x=1$ ve $x=0$ durumları için izleyerek kaydediniz.

Deney Ön Raporu

Deney 7: **Ardışıl Devre Tasarımı**

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

1. VE, VEYA, DEĞİL ve JK ikililer kullanarak tasarım

x	y	z
0		
0		
0		
0		
1		
1		
1		
1		

2. VE-DEĞİL ve JK ikililer kullanarak tasarım

x	y	z
0		
0		
0		
0		
1		
1		
1		
1		

8. Deney: **ASENKRON SAYICILAR**

8.1 DENEYİN AMACI:

Bu deneyde asenkron sayıcılar incelenecektir

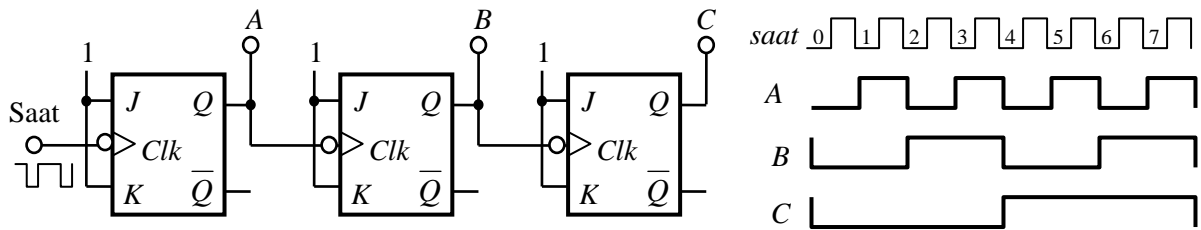
8.2 KULLANILACAK ALETLER VE MALZEMELER:

BL-3000 Lojik Devreler eğitim seti

Tümdevreler: 74HC112 (dual JK flip-flop), 74HC08 (quad 2-input AND), 74HC04 (Hex inverting gates), 74HC4511 (BCD to 7 segment Decoder/Driver, 7 Segment gösterge

8.3 TEMEL BİLGİLER

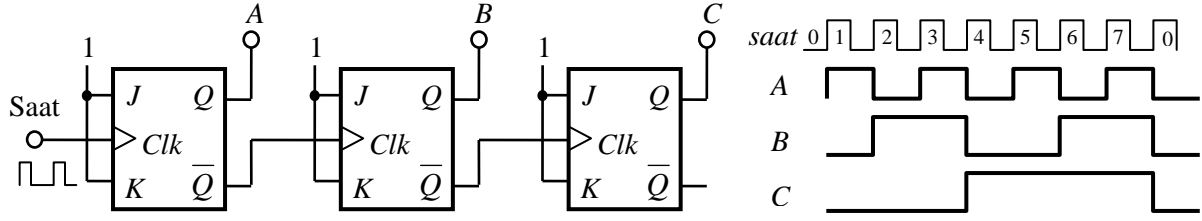
Asenkron sayıcılar dalgacık sayıcı olarak da isimlendirilir. Bu sayıcılarda bir ikilinin çıkışı bir sonraki ikilinin saat girişine bağlanır. Sayıcının sayabildiği en yüksek sayıya sayma modu (modulo) adı verilir. N tane ikil kullanan bir sayıcıda sayma modu= 2^N ve son göstereceği sayının onluk değeri ise 2^{N-1} dir. Birbirine seri (kaskad) bağlı JK ikililerden oluşturulan bir asenkron sayıcı Şekil 8.1 de gösterilmiştir.



Şekil 8-1. Üç bitlik (modulo-8) asenkron sayıcı ve dalga şekilleri

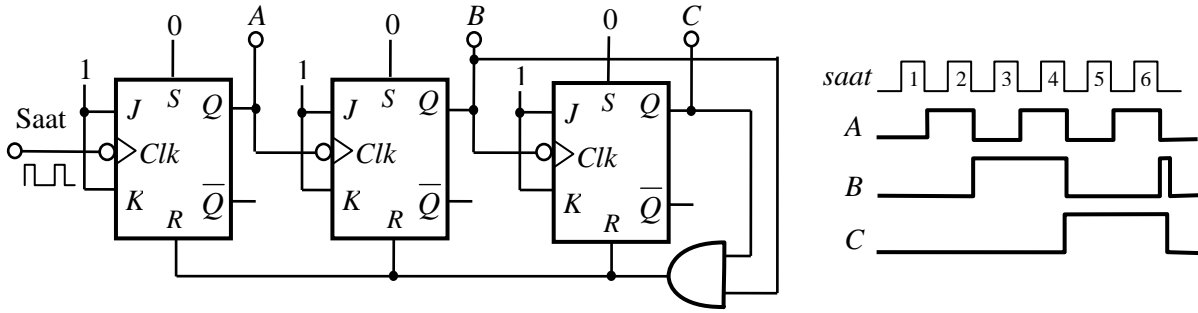
Eğer kullanılan ikili devreler pozitif tetiklemeli ise (yani gelen darbenin çıkan kenarı ile tetikleniyorsa) o zaman Şekil 8-1'deki devre 7'den başlayarak aşağı doğru sayar. Bu

durumda 0'dan yukarı sayan sayıcı yapmak için Şekil 8-2'deki gibi ikililerin \bar{Q} çıkışları kullanılmalıdır.



Şekil 8-2. Üç bitlik pozitif tetiklemeli asenkron sayıcı ve dalga şekilleri

Sayma modu 2'nin katı olmayan asenkron sayıcılar da yapılabilir. Bunun için istenen sayıya gelindiğinde sayma işlemi tekrar başa alınır. Örnek olarak bir modulo-6 sayıcı devresi Şekil 8-3'de verilmiştir.



Şekil 8-3. MOD-6 Negatif tetiklemeli asenkron sayıcı devresi ve dalga şekilleri

8.4 SORULAR

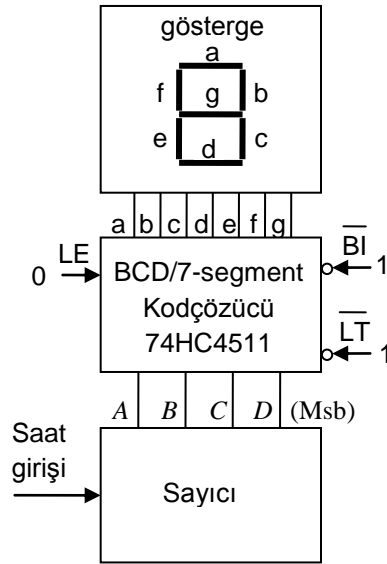
1. 4-Bitlik mod-16 sayıcıyı mod-12 sayıcıya dönüştürmek için nasıl bir devre gerekir? Çiziniz.
2. Bir asenkron ileri sayıcıyı geri sayıcı haline dönüştürmek için ne yapmak gerekir? Açıklayınız.
3. Asenkron sayıcıda yayılma gecikmesi bir sorun yaratırmı? Neden? Açıklayınız.

8.5 ÖN ÇALIŞMA

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. 74HC112 tüm devresindeki JK ikilileri kullanarak bir asenkron BCD (modulo-10) sayıcı devresi tasarlayınız.

8.6 DENEYİN YAPILIŞI:

1. Şekil 8-1'deki MOD-8 Asenkron sayıcı devresini JK ikililerle gerçekleyiniz. Clk(saat) darbesi olarak alçak frekanslı bir kare dalga veya basmalı bir anahtar kullanınız. Önce "RESET" girişine kısa bir süre için "1" uygulayarak bütün çıkışların "0" konumuna gelmesini sağlayınız. Sonra saat giriş düğmesine basarak her basış sonunda *ABC* çıkışlarının aldığı değerleri kaydediniz.
2. Saat girişine kare dalga uygulayarak *A*, *B* ve *C* çıkışlarının dalga şekillerini çiziniz ve yorumlayınız.
3. Tasarladığınız MOD-10 (BCD) Asenkron sayıcı devresini JK ikililerle gerçekleyiniz. İkililerin *Q* çıkışlarını BCD/7-Segment kodçözücü yardımı ile 7-parçalı göstergeye bağlayınız. Clk(saat) darbesi olarak basmalı bir anahtar kullanınız. Saat giriş düğmesine basarak her basış sonunda *ABC* çıkışlarının aldığı değerleri kaydediniz.
4. Saat girişine kare dalga uygulayarak *A*, *B*, *C* ve *D* çıkışlarının dalga şekillerini çiziniz ve yorumlayınız.



Şekil 8-5. Sayıcı devresinin göstergeye bağlanması

Deney ön raporu

Deney 8: Asenkron sayıcılar

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

1. Deney sonuçlarına göre tabloyu doldurunuz.

<i>Modulo-8 Sayıcı</i>			
<i>Clk</i>	<i>C (MSB)</i>	<i>B</i>	<i>A (LSB)</i>
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			

<i>Modulo-6 Sayıcı</i>			
<i>Clk</i>	<i>C (MSB)</i>	<i>B</i>	<i>A (LSB)</i>
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			

2. MOD-8 ve MOD-6 Asenkron sayıcılar için *Clk* girişine kare dalga uygulandığında sırayla *A*, *B* ve *C* çıkışlarının dalga şekillerini çizin.

9. Deney: **SENKRON SAYICILAR**

9.1 DENEYİN AMACI:

Bu deneyde JK ikililer kullanılarak senkron sayıcı devreleri tasarlanacaktır.

9.2 KULLANILACAK ALETLER VE MALZEMELER:

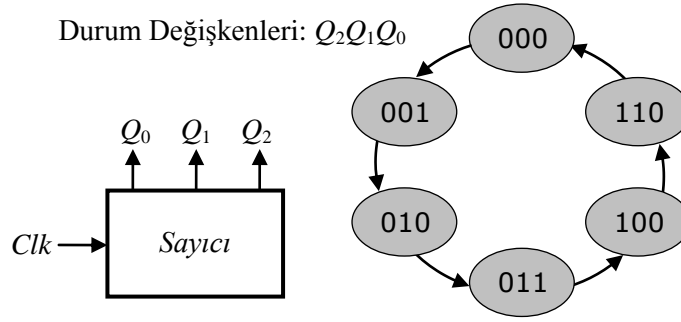
Tümdevreler: 74HC112 (dual JK flip-flop), 74HC08 (quad 2-input AND), 74HC04 (Hex inverting gates), 74HC4511 (BCD/7-segment Decoder/Latch)

9.3 TEMEL BİLGİLER

Senkron sayıcılarda devredeki tüm ikili devreler senkron (eş zamanlı) olarak tetiklenir. Yani bütün ikililere ortak saat darbesi uygulanır. Çıkışın bir sonraki durumunu kullanan ikili devrenin girişi veya girişleri (D , T veya J , K) belirler.

Devre her saat darbesinde yeni bir duruma geçer. Senkron sayıcı istenen modda tasarlanabilir. Yani sayma işlemi istenen sayıya kadar yapılabilir. Tasarım yapılırken durum tablosu hazırlanarak çıkışların sırayla alacağı durumlar ve bunları elde etmek için girişlerinin alması gereken değerler yazılır. İstenen Q çıkışlarına bağlı olarak giriş fonksiyonları Karnough haritasına aktarılır. Burada uygun sadeleştirmeler yapılır ve ikililerin girişlerinin kontrolü için gerekli lojik devreler bulunur. Böylece senkron sayıcı devresi tasarlanmış olur.

Örnek olarak T ikililer kullanan bir modulo-6 sayıcı tasarlamak için üç tane ikili devre kullanmak gerekir. İşe durum diyagramı ile başlanır.



Şekil 9-1 Modulo-6 sayıcı durum diyagramı

Tablo 9-1 Durum değiştirme (uyarma) tablosu

şimdiki durum $Q_2Q_1Q_0(n)$	gelecek durum $Q_2Q_1Q_0(n+1)$	ikili girişleri		
		T_2	T_1	T_0
000	001	0	0	1
001	010	0	1	1
010	011	0	0	1
011	100	1	1	1
100	101	0	0	1
101	100	0	0	1

$Q(n)$	$Q(n+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

T-İkili Uyarma tablosu

Tablo 9-2 İkili giriş fonksiyonlarının elde edilmesi

Q_2	0	1
Q_1Q_0		
00	0	0
01	0	0
11	1	0
10	0	0

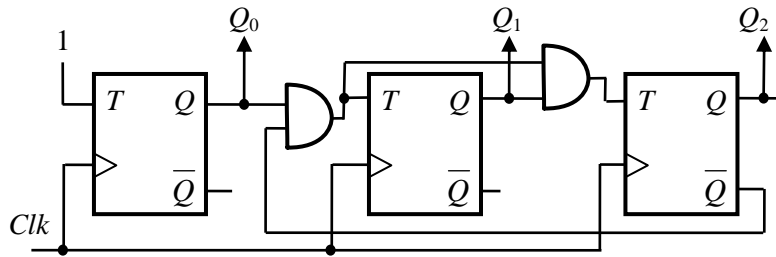
$T_2 = Q_2'Q_1Q_0$

Q_2	0	1
Q_1Q_0		
00	0	0
01	1	0
11	1	0
10	0	0

$T_1 = Q_2'Q_0$

Q_2	0	1
Q_1Q_0		
00	1	1
01	1	1
11	1	1
10	1	1

$T_0 = 1$



Şekil 9-2 Modulo-6 senkron sayıcı devresi

9.4 SORULAR

1. Mod-8 senkron sayıcıyı T ve D tipi ikililer kullanarak gerçekleştiriniz.
2. Senkron ve asenkron sayıcıları performans açısından karşılaştırınız. Hangisi tercih edilmelidir?
3. JK ikililer kullanarak bir 4-bit senkron BCD sayıcı tasarlayınız.

9.5 ÖN ÇALIŞMA:

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. MOD-8 senkron sayıcı devresini JK ikilileri kullanarak tasarlayınız ve devrenin lojik diyagramını çizin.

9.6 DENEYİN YAPILIŞI:

1. MOD-8 senkron sayıcı için tasarlamış olduğunuz devre bağlantılarını yapınız ve ikililerin çıkışlarını ana ünitadaki LED lere bağlayınız.
2. Saat darbesi olarak ana ünteden kare dalga sinyal uygulayınız. (Saat darbeleri anahtar yardımıyla elle de uygulanabilir.)
3. C_D (Clear) girişini **1** yaparak ikili devreleri sıfırlayınız.
4. C_D (Clear) girişini **0** konumuna getirdikten sonra saat işaretini elle uygulayarak *A*, *B* ve *C* çıkış değerlerini gözleyin ve sonuçları Tablo 9.2'ye kaydediniz.

Deney Ön Raporu

Deney 9. Senkron sayıcılar

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

1. MOD-8 senkron sayıcının *Clk* girişine kare dalga uygulayarak sırayla *A*, *B* ve *C* çıkışlarının dalga şekillerini çiziniz.

2. Saat (*Clk*) girişine elle işaret uygulayarak çıkışların aldığı değerleri tabloya işleyiniz.

Tablo 9-2

<i>Clk</i>	<i>C</i> (MSB)	<i>B</i>	<i>A</i> (LSB)
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			

10. Deney: **PROGRAMLANABİLİR SAYICILAR**

10.1 DENEYİN AMACI:

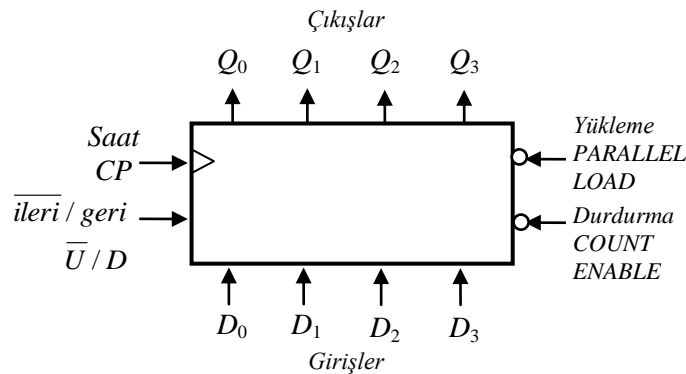
Bu deneyde hazır 4-bitlik programlanabilir ileri-geri sayıcılar kullanılarak istenen sayıya kadar sayan sayıcılar tasarlanacaktır.

10.2 KULLANILACAK ALETLER VE MALZEMELER:

Tümdevreler: 74HC190 (Binary up-down counter), 74HC00 (quad 2-input NAND), 74HC02 (quad 2-input NOR), 74HC4511(BCD/7-segment Decoder/Latch)

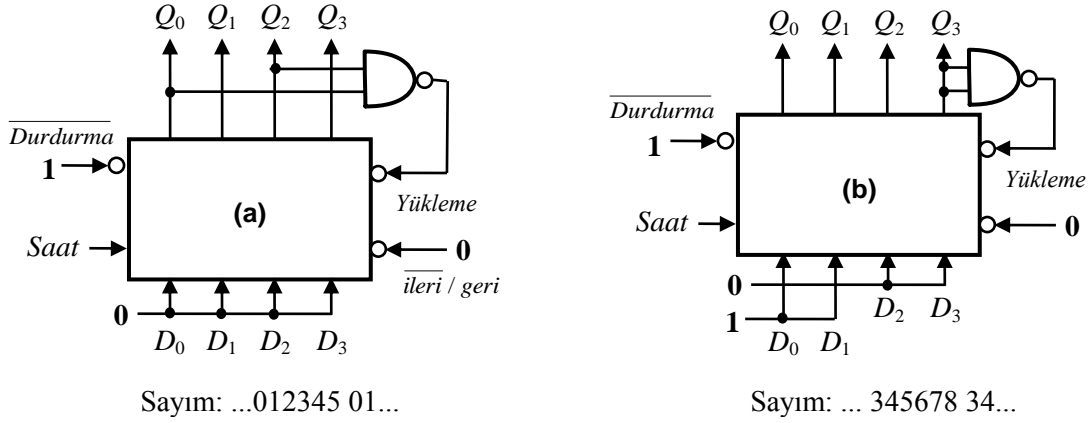
10.3 TEMEL BİLGİLER

İleri-geri sayabilen ve sayma işlemine belli bir değerden başlayabilen sayıcılara “Üniversal Sayıcılar” adı verilir. Bu sayıcılara tipik bir örnek Şekil 10-1’ de verilmiştir. Şekildeki dört bitlik sayıcının “ileri/geri” (\overline{U}/D) girişine **0** verildiği zaman ileri (yukarı doğru), **1** verildiği zaman geri (aşağı doğru) sayar. Herhangi bir anda “yükleme” (PARALLEL LOAD) girişi **0** yapılırsa D_0, D_1, D_2, D_3 girişleri Q_0, Q_1, Q_2, Q_3 çıkışlarına aktarılır ve sayıcı bu değerden itibaren ileri veya geriye doğru saymaya devam eder.



Şekil 10.1. Programlanabilir senkron sayıcı

Bu tür sayıcılarla istenen mod- n sayıcı yapmak mümkündür. Bunun için iki yol vardır. Birinci yolda sayıcı n değerine geldiğinde bir "sıfırlama" (RESET) sinyali üretilir ve sayıcı sıfırlanır. İkinci yolda ise (Şekil 10-2a) önce bütün D_i girişleri 0 değerine getirilir, sonra sayıcı $n-1$ değerine geldiğinde bir "yükleme" (PRESET ENABLE) işareti üretilir. Böylece bir dahaki saat darbesi (n 'inci darbe) geldiğinde çıkışlar sıfırlanır ve sayma tekrar başlar. Bu yöntemin avantajı mod- n sayma işleminin istenilen bir sayıdan başlatılarak istenilen bir sayıda bitirilebilmesidir. Örnek olarak Şekil 10-2b'de 3,4,5,6,7,8 sayılarını sayarak dönen bir mod-6 sayıcı devresi verilmiştir.



Şekil 10-2 Programlanabilir senkron sayıcı ile gerçekleştirilen iki değişik modulo-6 sayıcı

10.4 SORULAR

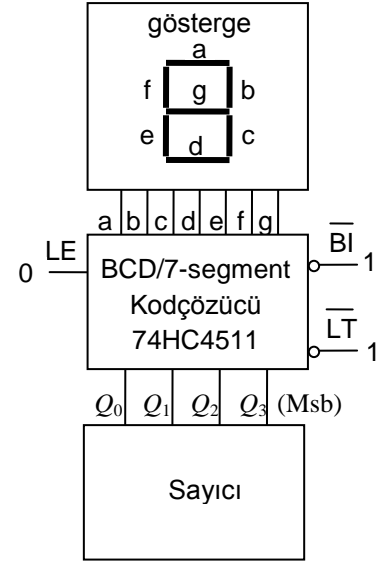
1. 4-Bit "binary" programlanabilir sayıcı 74HC190 tüm devresi ile mod-12 ve mod-10 sayıcı devresi nasıl yapılır? Çiziniz.
2. 4-Bit "binary" programlanabilir sayıcı 74HC190 tüm devresi ile 5,6,7,8,9,10 rakamalarını sayan bir mod-6 sayıcı devresi nasıl yapılır? Çiziniz.
3. 4-Bit "binary" programlanabilir sayıcı 74HC190 tüm devresi ile 12'dan geriye doğru sıfıra kadar sayan bir sayıcı devresi nasıl yapılır? Çiziniz.

10.5 ÖN ÇALIŞMA

1. Deneyde kullanılacak olan tümdevrelerin katalog bilgilerini (data sheet) internetten indirerek bacak numaralarını not ediniz. Bu bilgileri yanınızda bulundurmanız zorunludur.
2. 74HC190 tüm devresi ile mod-5 ileri sayıcı ve mod-7 geri sayıcı devrelerini tasarlayınız.

10.6 DENEYİN YAPILIŞI:

1. Şekil 10-2 deki MOD-6 sayıcı devrelerini gerçekleyiniz. Sayıcının çıkışını kod çözücünden geçirip 7-parçalı göstergeye bağlayınız. Clk(saat) darbesi olarak basmalı bir anahtar kullanınız. Saat giriş düğmesine basarak her basış sonunda Q çıkışlarının aldığı değerleri ve ondalık sayı değerini kaydediniz.
2. Tasarladığınız mod-5 ve mod-7 sayıcıları gerçekleştirerek çıkış değerlerini kaydediniz.



Şekil 10-3 Sayıcı devresinin göstergeye bağlantısı

Deney Ön Raporu

Deney 10. Programlanabilir sayıcılar

RAPORU YAZAN :

GRUP NO :

DENEY TARİHİ :

1. Şekil 10-2 a ve b deki sayıcıların çıkışlarının nasıl değiştiğini tabloya işleyiniz..

Clk	Q_0	Q_1	Q_2	Q_3	Sayı
0					
1					
2					
3					
4					
5					
6					

(a)

Clk	Q_0	Q_1	Q_2	Q_3	Sayı
0					
1					
2					
3					
4					
5					
6					

(b)

2. Tasarladığınız sayıcıların şemasını çiziniz ve çıkışlarının nasıl değiştiğini tabloya işleyiniz.

Clk	Q_0	Q_1	Q_2	Q_3	Sayı
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					

mod-5 ileri sayıcı

Clk	Q_0	Q_1	Q_2	Q_3	Sayı
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					

mod-7 geri sayıcı

YARARLANILABİLECEK KAYNAKLAR

1. Bekir Karlık, Sayısal Devreler ve Tasarımı, Sürat Üniversite Yayınları, 2013.
2. M. Morris Mano (Çevirenler: S. Boğosyan, M. Gökaşan, S. Kurtulan), Sayısal Tasarım, 3. Basım, Literatür Yayıncılık, 2007
3. Raj Kamal, Digital Systems: Principles and Design, Prentice Hall, 2007
4. M. Morris Mano, Michael D. Ciletti, Digital Design, 4/E, Prentice Hall, 2007
5. John F. Wakerly, Digital Design: Principles and Practices (4th Edition), Prentice Hall, 2006
6. Mark Balch, Complete Digital Design: A Comprehensive Guide to Digital Electronics and Computer System Architecture, McGraw Hill, 2003
7. Donald Givone, Digital Principles and Design with CD-ROM, McGraw Hill, 2002
8. William I. Fletcher, Engineering Approach to Digital Design, Prentice Hall, 1997