



به نام خدا

دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

درس:

آزمایشگاه سیستم‌های دیجیتال ۲

عنوان آزمایش:

استفاده از حافظه نهان (Cache) در پردازنده ARM –

جلسه هفتم

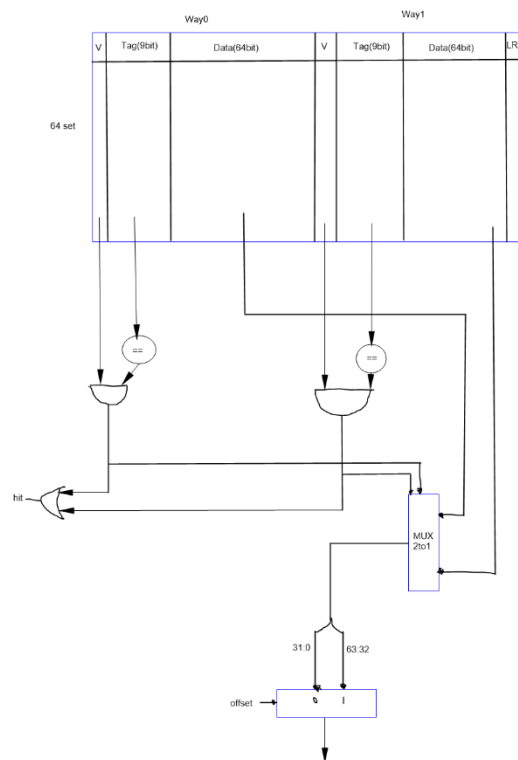
نام و نام خانوادگی اعضای گروه:

محمد مهدی معینی منش – ۸۱۰۱۹۸۴۷۵

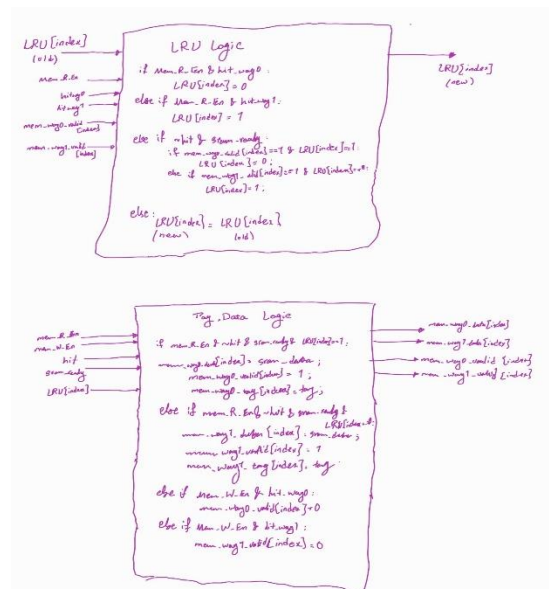
امیررضا غلامی – ۸۱۰۱۹۸۴۴۶

بهار ۱۴۰۲

۱- پیش گزارش : ساختار RTL ماژول Cache و Cache Controller

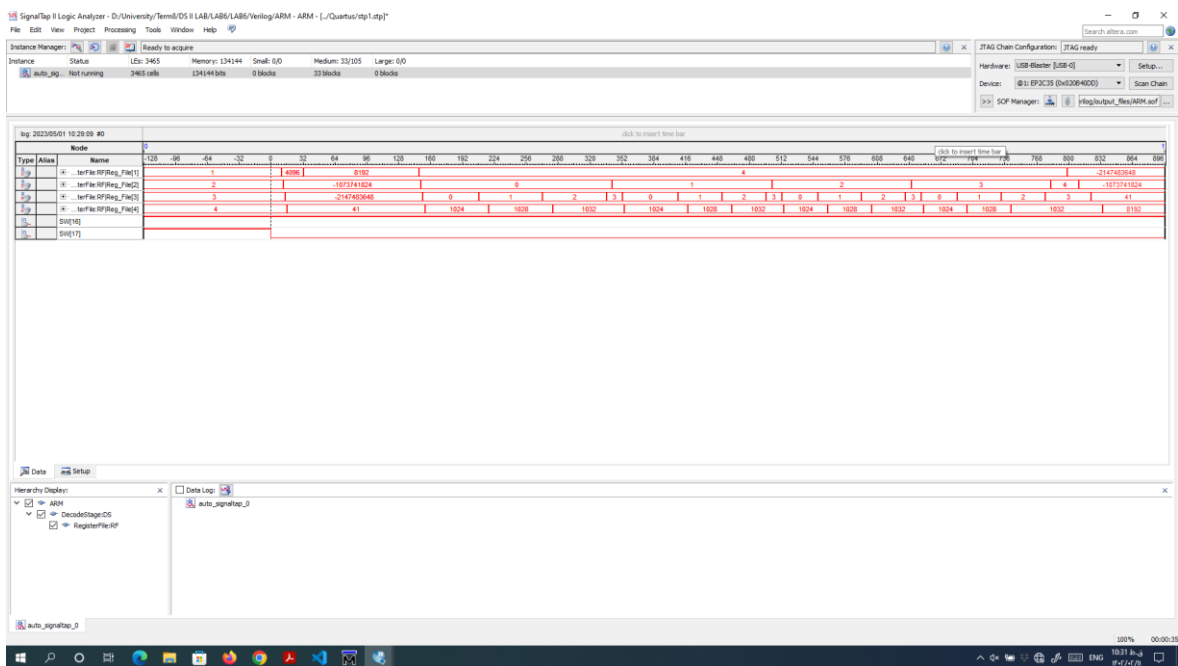


شکل ۱: ساختار اصلی Cache و Logic برای تشخیص hit و خروجی دادن داده توسط Cache Controller



شکل ۲: ماژول های *Logic* تولید کننده *LRU* و *Data* و *Tag* های جدید

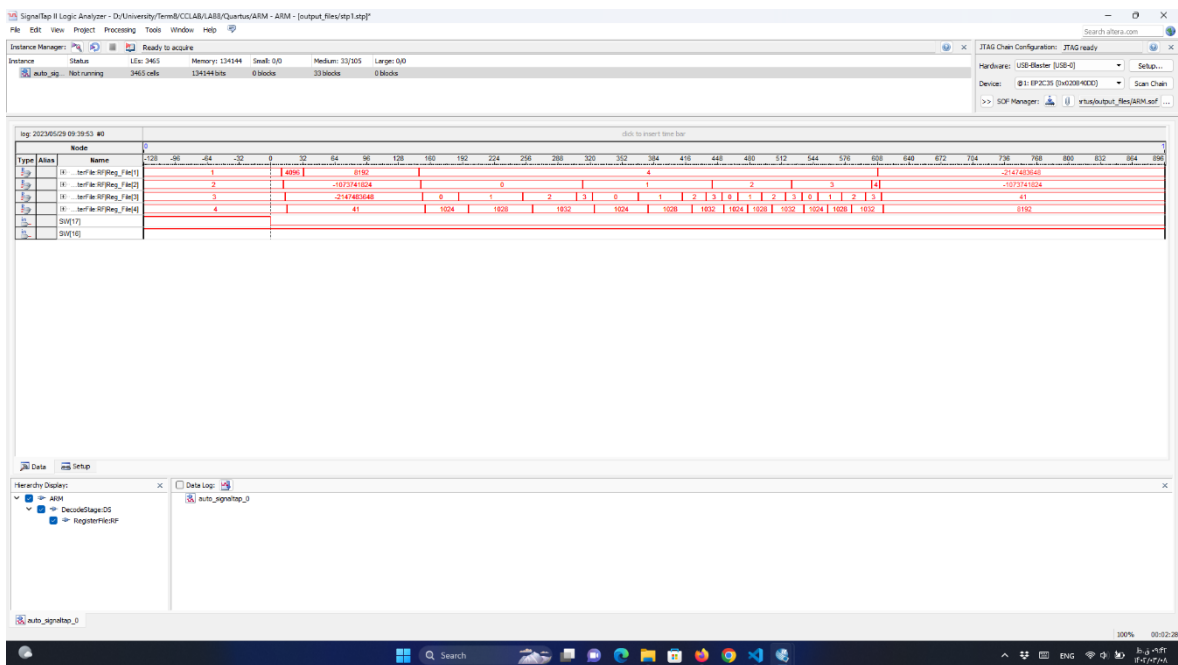
۲-۲- حالت دوم: حافظه SRAM برای حافظه داده



شکل ۴: نتایج روی برد در حالت SRAM

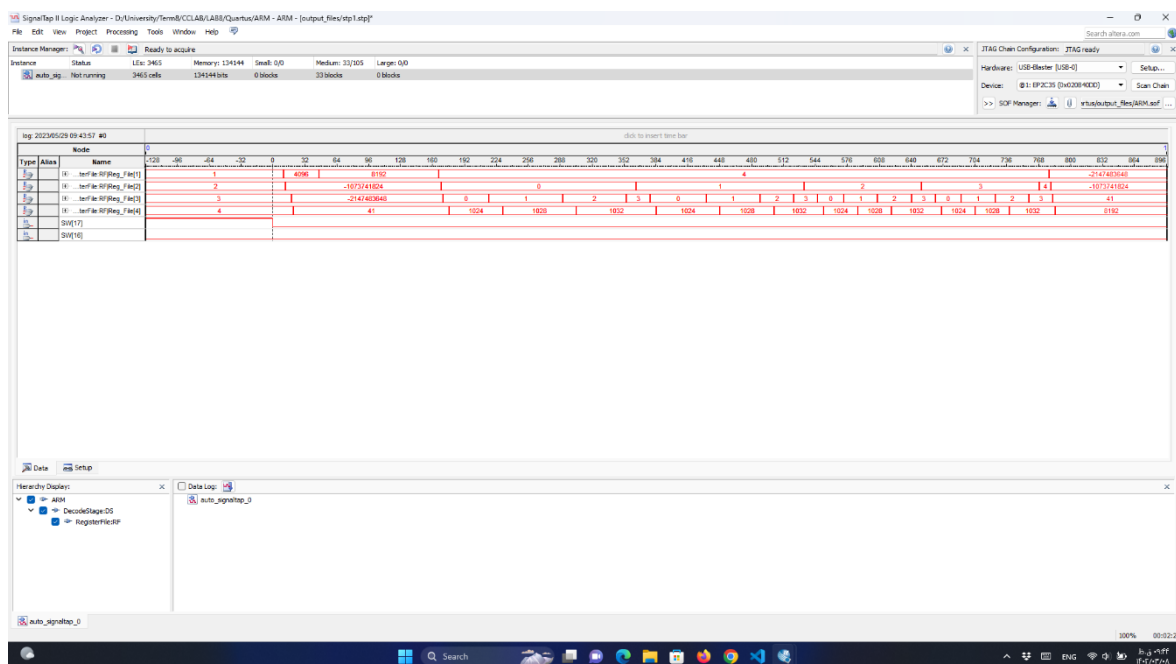
$$performance = \frac{1}{Execution\ Time} = \frac{1}{832 * 40\ ns}$$

۲-۳- حالت سوم: حافظه Cache به همراه حافظه SRAM



شکل ۵: نتایج روی برد در حالت با Cache و Forwarding

$$performance = \frac{1}{Execution\ Time} = \frac{1}{610 * 40\ ns}$$



شکل ۴: نتایج روی برد در حالت با Cache و بدون Forwarding

$$performance = \frac{1}{Execution\ Time} = \frac{1}{Cycles * clock\ period} = \frac{1}{780 * 40\ ns}$$

همانطور که دیده می شود، در حالت حافظه داخلی و بدون SRAM برنامه در بهترین حالت خود اجرا می شود، چون و بیشترین Performance را در این حالت داریم زیرا به تمام حافظه در یک سیکل می توان دسترسی پیدا کرد ولی این موضوع در واقعیت تحقق نمی یابد زیرا حافظه اصلی در بیرون CPU است. در حالت دوم که با حافظه SRAM به عنوان حافظه داده پیاده سازی شده است، دیده می شود که کمترین Performance را خواهیم داشت زیرا برای هر دسترسی به حافظه باید 6 سیکل Stall داشته باشیم و این امر منجر به افزایش زیاد زمان اجرا می شود. پس به سراغ Cache رفته و در این حالت زمان اجرا به مقدار تقریبی ۲۰۰ سیکل بهتر می شود و Performance افزایش می یابد که در واقع به جای دسترسی همیشگی به SRAM از Cache استفاده می شود که در همان زمان به آن داده را تحویل می دهد.

تا به حال تمام حالات در حالت با Forwarding بود ولی در آخر در حالت با Cache و بدون Forwarding حدوداً ۱۷۰ سیکل زمان اجرا افزایش و Performance نسبت به حالت با Forwarding کم می شود.

۳- نتایج سنتز و هزینه سخت افزاری

۳-۱- حالت اول : حافظه داخلی برای حافظه داده

Compilation Report - ARM		
Flow Summary		
Flow Status	Successful - Fri May 05 09:13:11 2023	
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition	
Revision Name	ARM	
Top-level Entity Name	ARM	
Family	Cyclone II	
Device	EP2C35F672C6	
Timing Models	Final	
Total logic elements	7,500 / 33,216 (23 %)	
Total combinational functions	4,739 / 33,216 (14 %)	
Dedicated logic registers	5,465 / 33,216 (16 %)	
Total registers	5465	
Total pins	418 / 475 (88 %)	
Total virtual pins	0	
Total memory bits	134,144 / 483,840 (28 %)	
Embedded Multiplier 9-bit elements	0 / 70 (0 %)	
Total PLLs	0 / 4 (0 %)	

شکل ۷: نتایج سنتز در حالت حافظه داخلی

$$Total\ Logic\ Elements(without\ SRAM) = 23\%$$

$$Total\ Registers(without\ SRAM) = 5465$$

۳-۲- حالت دوم: حافظه SRAM برای حافظه داده

Flow Summary	
Flow Status	Successful - Mon May 01 10:28:59 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	ARM
Top-level Entity Name	ARM
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	5,129 / 33,216 (15 %)
Total combinational functions	3,394 / 33,216 (10 %)
Dedicated logic registers	3,421 / 33,216 (10 %)
Total registers	3421
Total pins	418 / 475 (88 %)
Total virtual pins	0
Total memory bits	134,144 / 483,840 (28 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

شکل ۸: نتایج سنتز در حالت SRAM

$$Total\ Logic\ Elements(without\ SRAM) = 15\%$$

$$Total\ Registers(without\ SRAM) = 3421$$

۳-۳- حالت سوم: حافظه Cache به همراه حافظه SRAM

Flow Summary	
Flow Status	Successful - Fri Jun 02 10:00:35 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	LAB7
Top-level Entity Name	ARM
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	14,581 / 33,216 (44 %)
Total combinational functions	9,206 / 33,216 (28 %)
Dedicated logic registers	10,573 / 33,216 (32 %)
Total registers	10573
Total pins	418 / 475 (88 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

شکل ۹: نتایج سنتز در حالت با Cache

$$Total\ Logic\ Elements(without\ SRAM) = 44\%$$

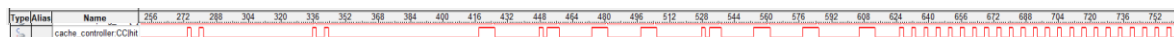
$$Total\ Registers(without\ SRAM) = 10573$$

همانطور که دیده می شود در حالت SRAM تنها ، منابع سخت افزاری کمتری نسبت به حالات دیگر مصرف می شود ولی در حالت حافظه داخلی، چون حافظه در داخل پردازنده است، رجیستر ها و Logic بیشتری مصرف می شود و در حالت با Cache به دلیل حجم بالای Cache و همینطور Logic ای که برای مقایسه و hit و دریافت داده از Cache تخصیص داده می شود، باعث مصرف منابع سخت افزاری زیادی می شود.

۴- Hit rate

با توجه به نتیجه زیر از ۶۳ دسترسی که به حافظه برای نوشتن و خواندن انجام می شود، 37 hit رخ می دهد که پس

$$hit\ rate = \frac{37}{63} = 0.59$$



شکل ۱۰: نتیجه hit روی برد

که این موضوع به سریع تر شدن برنامه نسبت به حالت SRAM که برای دسترسی به حافظه برای نوشتن و خواندن ۶ سیکل طول می کشد، بسیار سریعتر است.