به نام خدا



دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

درس:

آزمایشگاه سیستم‌های دیجیتال 2

عنوان آزمایش:

استفاده از SRAM در پردازنده ARM به عنوان حافظه داده – جلسه ششم

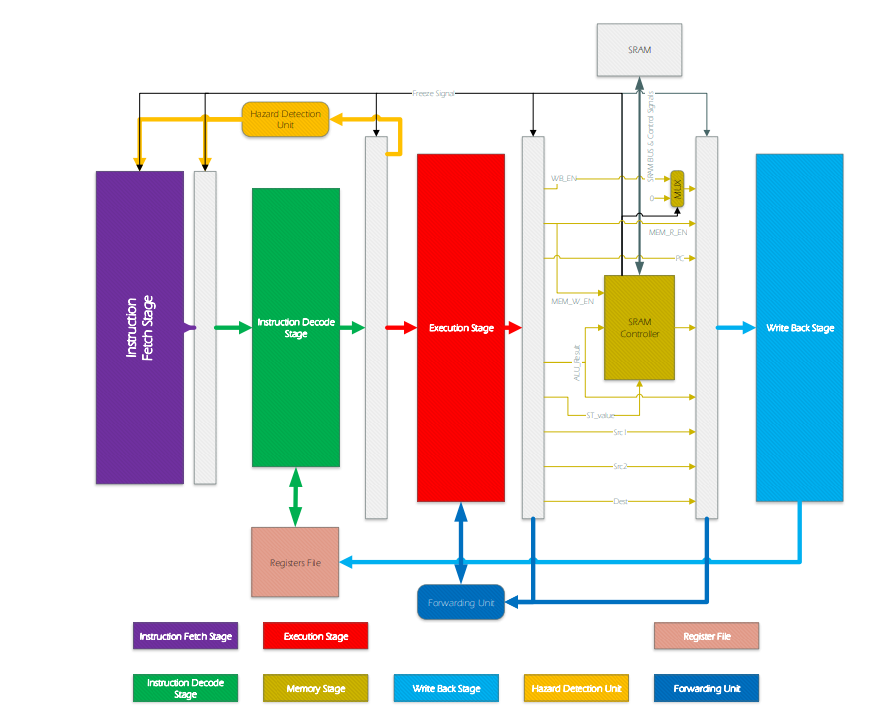
نام و نام خانوادگی اعضای گروه:

محمد مهدی معینی منش – 810198475

امیررضا غلامی – 810198446

بهار 1402

1. معماری پردازنده و قسمت های اضافه شده



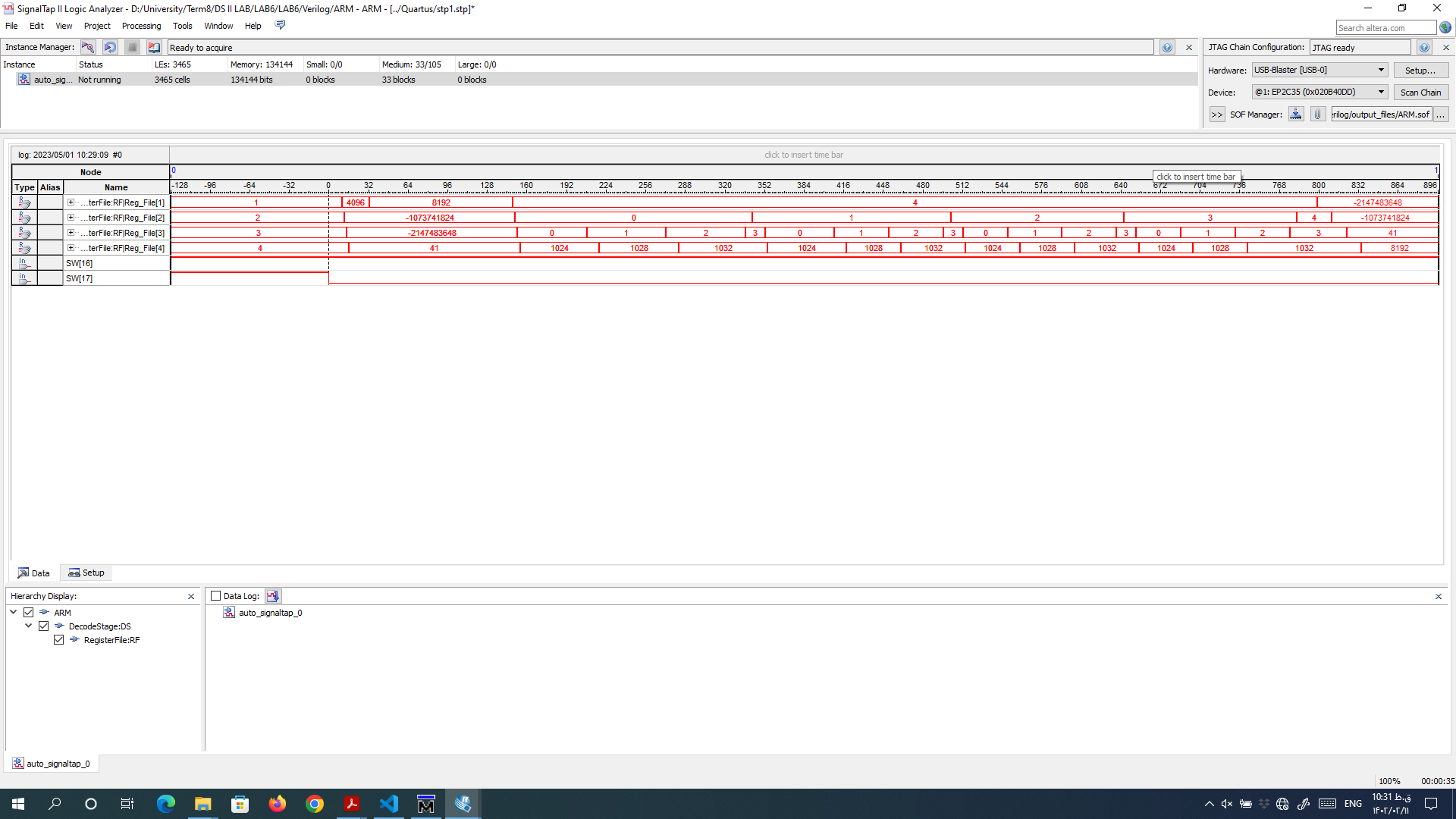
شکل 1: معماری پردازنده آرم با تغییرات اعمال شده برای سازگاری با SRAM

برای اینکه بتوانیم با SRAM که خارج از پردازنده است، ارتباط برقرار کنیم و به درستی در آن داده بنویسیم و بخوانیم، نیاز به کنترلر داریم. با وجود اینکه خواندن از SRAM به صورت Async انجام می شود، ولی خانه های SRAM ، 16 بیتی هستند ولی داده ها در پردازنده به صورت 32 بیتی هستند، پس نیاز به دوبار آدرس دهی به آن داریم (SRAM نیز تک پورت است و باس داده آن نیز به صورت دو طرفه (inout) است.

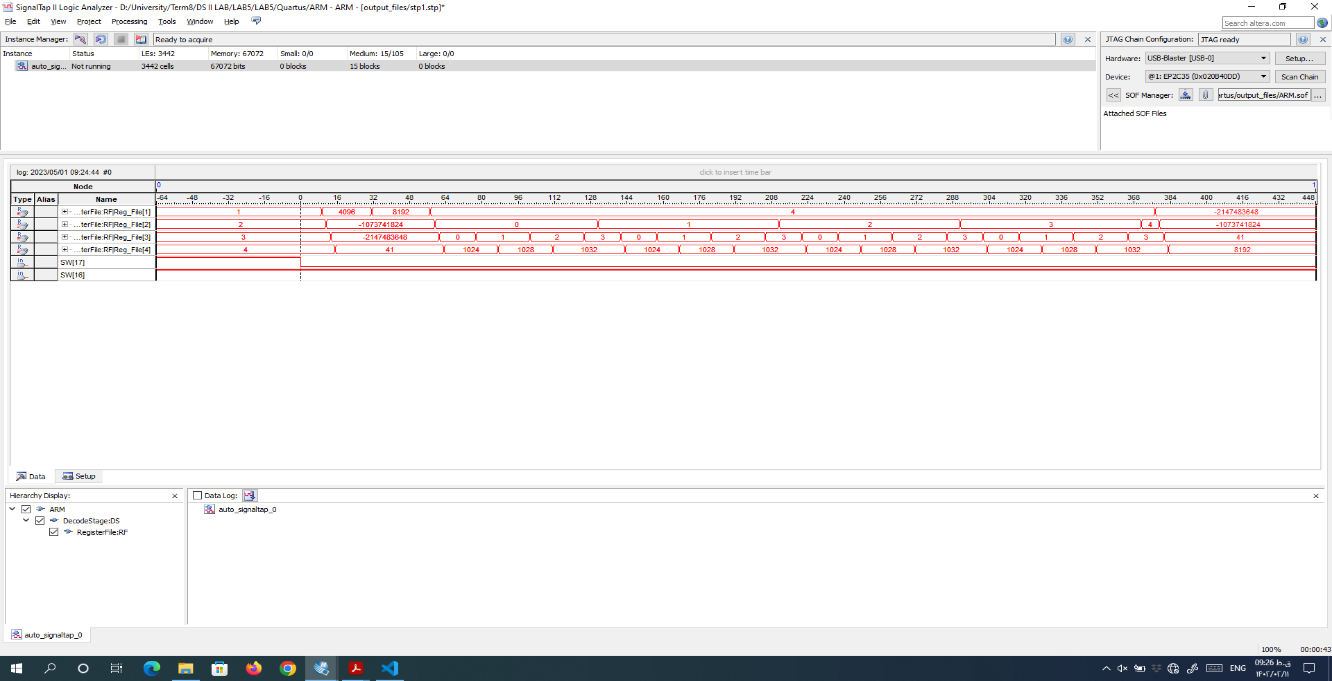
بنابراین باید SRAM کنترلری داشته باشیم که به صورت مدار Sequential است و یک State Machine است. طبق دستورکار، State Machine را با یک Counter و مدار Combinational برای سیگنال های داده و آدرس، پیاده سازی می کنیم. دو ریجستر نیز برای 32 بیت داده برای نوشتن و همینطور برای خواندن نیاز داریم که در آن داده را ذخیره کنیم و به SRAM بدهیم یا بگیریم.

همینطور به دلیل اینکه خواندن و نوشتن در SRAM از یک سیکل بیشتر طول می کشد، باید کل Pipeline را freeze کنیم زمانی که Load/Store داریم. به طور مشخص، باید کل Instruction هایی که در مراحل Fetch و Execute و Decode هستند، Stall شوند، تا زمانی که کار دستور Load/Store در مرحله Mem. Access تمام شود. در این موضوع، باید مرحله Write Back نیز freeze شود ، به دلیل اینکه امکان دارد دستوری که در مرحله Execute است و Stall است، وابستگی داده با دستور این مرحله (WB) داشته باشد که در نتیجه این مرحله و سیگنال های کنترلی آن را باید freeze کنیم تا زمانی که کار مرحله Mem. Access تمام شد و پایپ از Stall می خواهد خارج شود، Forwarding Unit عملیات forwarding را انجام داده و دستورات به درستی به کار خودشان ادامه دهند. در نتیجه، باید سیگنال Freeze Signal که از SRAM Controller می آید با hazard ، OR می شود و همینطور به رجستر های مراحل WB و Execute و Mem. Access می رود.

1. نتایج Programming روی برد DE2



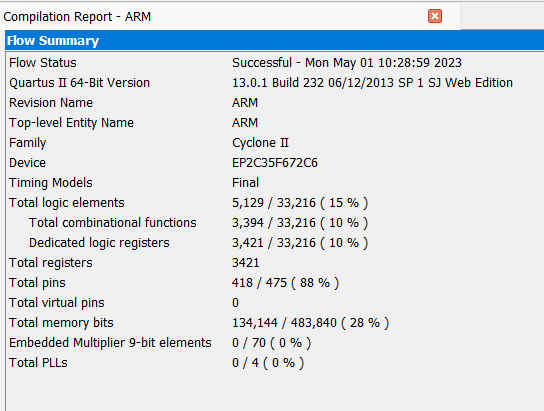
شکل 2: نتایج برنامه ریزی روی برد با SRAM



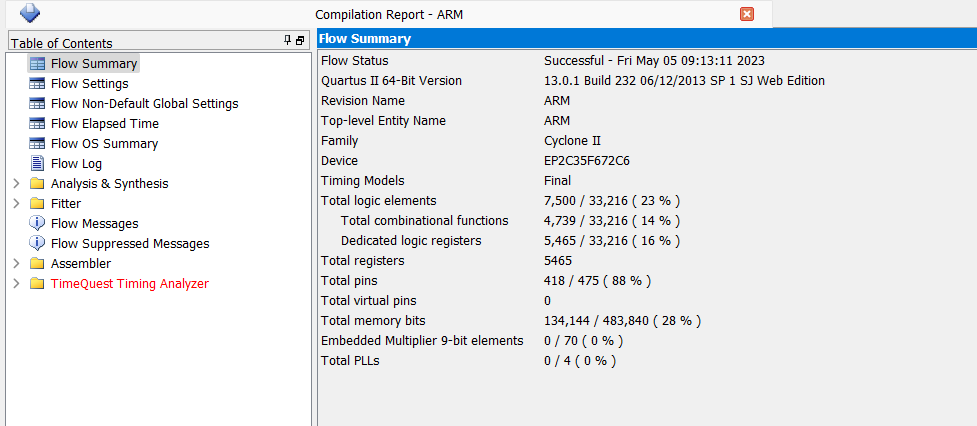
شکل 3: نتایج شبیه سازی روی برد بدون SRAM

پس :

1. نتایج سنتز و هزینه سخت افزاری



شکل 4: هزینه سخت افزاری پردازنده با SRAM



شکل 5: نتایج سنتز بدون سنتز