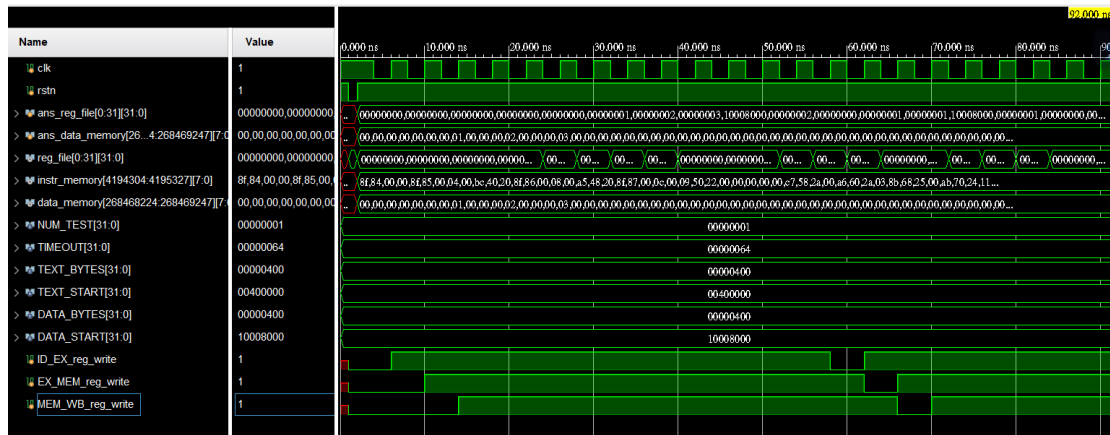


1.

(1)



(2) 我沒有測試其他測資，我只有把 pipeline cpu 中的各個值拿出來看有沒有正確傳遞。

2.

(1) 對於 sequence1 是 must stall；sequence2 可以利用 forwarding 去避免停止；而 sequence3 可以直接執行不需要停止或 forwarding

(2) throughput 代表的是在指定時間內所完成的工作量，而 latency 指的是從發出指令到完成指令所需要的時間

(3)

1.是不正確的，減少 stage 可能可以減少特定種類的 latency，但並不保證可以在每種情形都有更好的表現，例如有可能會產生更多的 bubble 或停止。

2.部分正確，Throughput is indeed determined by the clock cycle, and reducing the number of cycles per instruction doesn't directly affect throughput.但減少 cycle 可以間接的 improve throughput 因為每個 instructions 可以更快完成，因此可能可以增加 instructions 的完成數在每單位時間中。

3.其中第一句話 You cannot make ALU instructions take fewer cycles because of the writeback of the result 是正確的，但第二句話減少 branches and jumps 的 cycles 要限制在 prediction 等方法是準確的才會成立。整題而言是正確的。

4.增長 pipeline 可以減少每個 instruction 的 latency，但會增加產生 hazard 的可能，也會增加 pipeline control 的複雜度，不一定能 improve performance。

3.這次比較沒有遇到大問題。

4.我認為每個步驟都有引導，比較容易完成，感謝助教的用心。