

Работа №1. Синхронные одноступенчатые триггеры со статическим и динамическим управлением записью

Цель работы – изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

1. Структурная схема и классификация триггеров

В цифровых вычислительных машинах (ЦВМ) функцию запоминания и временного хранения информации выполняют **запоминающие элементы**, в качестве которых чаще всего используются **триггеры**.

Триггер является запоминающим элементом с двумя устойчивыми состояниями, которые кодируются цифрами **0 и 1**.

Внутренние состояния триггера определяются по его выходному сигналу. Триггер имеет **два выхода**: прямой Q и инверсный \bar{Q} . Если триггер находится в состоянии 0, то на прямом выходе триггера действует сигнал 0, а на инверсном - 1 ($Q = 0$ и $\bar{Q} = 1$). Если триггер находится в состоянии 1, то на прямом выходе триггера действует сигнал 1, а на инверсном - 0 ($Q = 1$ и $\bar{Q} = 0$). Таким образом, разрешенные сигналы на выходах Q и \bar{Q} триггера всегда противоположны.

Триггер имеет в общем случае **несколько физических входов**, на которые могут подаваться сигналы, закодированные цифрами 0 и 1,

В результате действия входных сигналов триггер переключается из одного устойчивого состояния в другое. При этом изменяется уровень напряжения его выходного сигнала.

Структурную схему триггера (рис. 1) можно представить в виде **запоминающей ячейки (ЗЯ)** и **схемы управления (СУ)**. На рис. 1 x_1, x_2, \dots, x_n - информационные входы; C - вход синхронизации или тактовый вход; Q и \bar{Q} – прямой и инверсный выходы триггера.

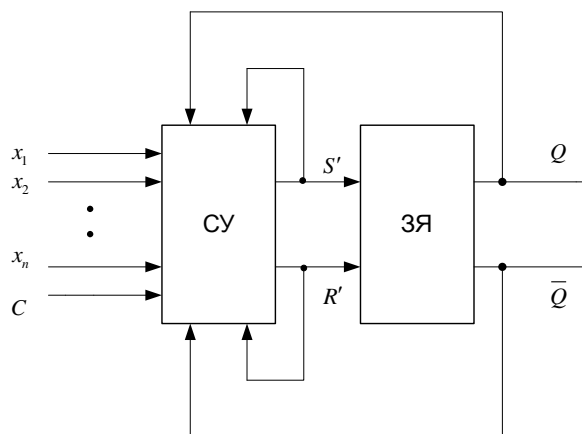


Рис.1

Выходы триггера Q и \bar{Q} и схемы управления S' и R' могут быть соединены с входами схемы управления обратными связями.

СУ преобразует информационные сигналы x_1, x_2, \dots, x_n , поступающие на ее входы, в сигналы S' и R' , действующие на входы ЗЯ.

Сигнал по входу S' устанавливает ЗЯ в состояние "1", а по входу R' - в состояние "0".

Триггеры классифицируют по следующим основным признакам.

1. По способу организации логических связей, т.е. по виду логического уравнения, характеризующего состояние входов и выходов триггера в момент времени t_n до его срабатывания и в момент t_{n+1} после его срабатывания различают триггеры:

- с отдельной установкой состояний "0" и "1" (RS-триггеры);
- со счетным входом (Т-триггеры);
- универсальные с отдельной установкой состояний "0" и "1" (JK-триггеры);
- с приемом информации по одному входу (D триггеры);
- универсальные с управляемым приемом информации по одному входу (DV - триггеры);
- комбинированные (например, RST-, JKRS, DRS - триггеры) и т.д.

Разнообразие схем триггеров определяется возможностью изменения организации СУ и способами подключения обратной связи к входам СУ.

2. По способу записи информации различают триггеры:

- асинхронные (несинхронизируемые);
- синхронные (синхронизируемые), или тактируемые.

3. По способу синхронизации различают триггеры: синхронные со статическим управлением записью; синхронные с динамическим управлением записью.

4. По способу передачи информации с входов на выход различают триггеры с одноступенчатым и двухступенчатым запоминанием информации.

Запись информации в асинхронный триггер осуществляется непосредственно с поступлением информационных сигналов на его входы. Запись информации в синхронные триггеры осуществляется только при подаче разрешающего импульса на вход синхронизации С (см. рис 1).

В зависимости от числа тактирующих сигналов, необходимых для перевода триггера из одного состояния в другое, синхронные триггеры разделяются на одноктактные и многотактные.

Функциональное назначение входов триггера указывают на его условном графическом обозначении (УГО) при помощи специальных меток согласно табл. 1.

Таблица 1

Номер п/п	Наименование входов	Обозначение
1	S-вход – вход для отдельной установки триггера в состояние "1" (Set – установка)	S
2	R-вход – вход для отдельной установки триггера в состояние "0" (Reset – сброс, очистка)	R
3	J-вход – вход для установки состояния "1" в универсальном JK-триггере (Jerk – внезапное включение)	J
4	K-вход – вход для установки состояния "0" в универсальном JK-триггере (Kill – внезапное отключение)	K
5	T -вход –счетный вход (Toggle – релаксатор)	T
6	D-вход –информационный вход для установки триггера в состояния "1" или "0" (Data – данные, Delay – задержка)	D
7	V-вход – подготовительный управляющий вход для разрешения приема информации (Valve –клапан, вентиль)	V
8	C-вход - исполнительный управляющий (командный) вход для осуществления приема информации, вход синхронизации (Clock – источник синхросигналов)	C

Примечание. При необходимости к буквам допускается добавлять цифры, например, S_1, S_2, C_1, C_2, C_3 и т.д.

2. Цель работы – изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.

Работу триггера можно описать с помощью таблицы переходов, отражающей зависимость выходного сигнала триггера в момент времени t_{n+1} от входных сигналов и от состояния триггера в предыдущий момент времени t_n .

Для асинхронного триггера момент времени t_{n+1} наступает, когда под действием входных сигналов и в зависимости от внутреннего состояния в момент времени t_n выходной сигнал принимает значение, соответствующее последующему состоянию. Для синхронного триггера время t_n и t_{n+1} означают время до и после прихода синхронизирующего (тактового) сигнала соответственно.

RS -триггер. Асинхронный RS -триггер - это простейший триггер, который используется как запоминающая ячейка. Состояния RS-триггера, соответствующие различным сочетаниям сигналов на его входах R и S, приведены в таблице переходов (табл.2).

Как видно из табл. 2, при $S=0$ и $R = 1$ триггер устанавливается в состояние "0" ($Q_{n+1} = 0$), а при $S = 1$ и $R = 0$ - в состояние "1" ($Q_{n+1} = 1$). Если $S = 0$ и $R = 0$, то в триггере сохраняется предыдущее внутреннее состояние ($Q_{n+1} = Q_n$).

При $S=R=1$ состояние триггера является неопределенным (после снятия входных сигналов S и R). Такая комбинация входных сигналов $S=R=1$ является недопустимой (запрещенной), что в таблице отмечено знаком X. Для нормальной работы триггера необходимо выполнение запрещающего условия $SR=0$.

Таблица2

Время t_n			Время t_{n+1}	
S_n	R_n	Q_n	Q_{n+1}	\bar{Q}_{n+1}
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	x	x
1	1	1	x	x

Асинхронный RS - триггер сохраняет одно из устойчивых состояний независимо от многократного изменения информационного сигнала на одном входе при нулевом значении информационного сигнала на другом входе.

Аналитически содержание табл.2 (или табл.3) можно представить характеристическим уравнением (функцией переходов):

$$Q_{n+1} = \bar{Q}_n S_n \bar{R}_n \vee Q_n \bar{S}_n \bar{R}_n \vee Q_n S_n \bar{R}_n, \quad (1)$$

$$S_n R_n = 0.$$

RS-триггер на логических элементах (ЛЭ) ИЛИ-НЕ изменяет свое состояние при действии прямых значений входных сигналов и называется RS-триггером с прямыми входами (рис.2,а). Активными являются высокие уровни входных сигналов. Принимая соглашение положительной логики, будем называть их уровнями логической единицы (лог.«1»). На рис.2,б показано УГО RS-триггера с прямыми входами.

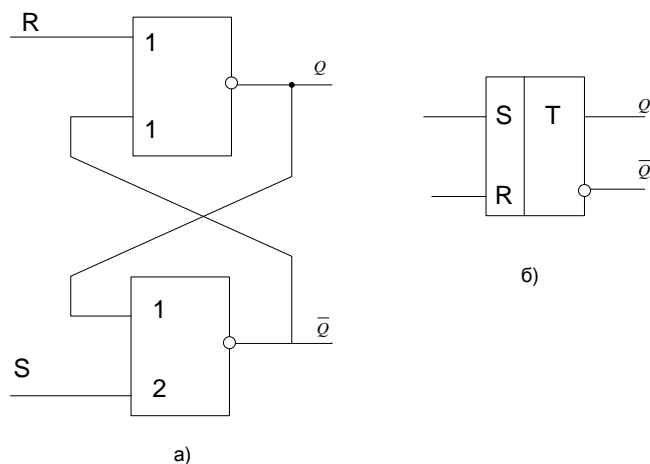


Рис.2

На рис.3,а,б приведены схема и УГО асинхронного RS -триггера на ЛЭ И-НЕ. Этот триггер изменяет свое состояние при действии низких (инверсных уровню лог. «1») значений входных сигналов и поэтому называется RS-триггером с инверсными входами. Запрещенной является комбинация входных сигналов $S_n = R_n = 0$ или $\bar{S}_n \vee \bar{R}_n = 1$.

Если на условном изображении триггера (а также любого элемента) вход отмечен кружком, это означает, что действующее значение входного сигнала равно 0. Например, отсутствие кружка на входе S (см. рис. 2,б) указывает на то, что триггер устанавливается в состояние "1" при единичном значении сигнала S, т.е. при $S = 1$ (действующее значение сигнала S равно 1). Кружок на входе S (см. рис. 3,б) означает, что триггер устанавливается в состояние "1" при нулевом значении сигнала S, т.е. при $S = 0$ и $R = 1$ (действующее значение сигнала S равно 0).

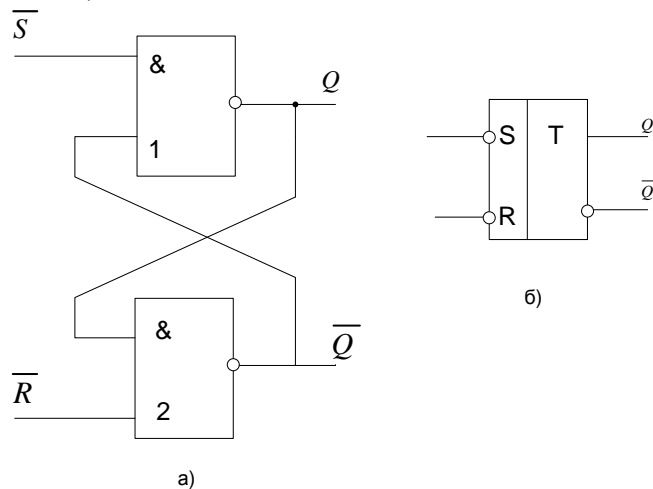


Рис. 3

Работа асинхронного RS-триггера с инверсными входами поясняется его таблицей переходов (табл. 3).

Таблица 3

Время t_n		Время t_{n+1}
\bar{S}_n	\bar{R}_n	Q_{n+1}
0	0	x
0	1	1
1	0	0
1	1	Q_n

RS-триггер с инверсными входами (рис.3,а) работает следующим образом. При $\bar{S} = \bar{R} = 1$ триггер сохраняет прежнее внутреннее состояние. Действительно, если, например, триггер находится в состоянии "0", то ЛЭ 1 включен, и сигнал на его выходе $Q = 0$ выключает ЛЭ 2. Сигнал на выходе ЛЭ 2 $\bar{Q} = 1$ совместно с сигналом $\bar{S} = 1$ поддерживает ЛЭ 1 во включенном состоянии. Таким образом, ЛЭ 1 включен, а ЛЭ 2 - выключен,

т.е. $Q = 0$, $\bar{Q} = 1$.

Если триггер находится в состоянии "1", то ЛЭ 1 выключен и сигнал на его выходе $Q=1$ включает ЛЭ 2. Выходной сигнал ЛЭ 2 $\bar{Q} = 0$ поддерживает ЛЭ 1 в выключенном состоянии, т.е. $Q = 1$.

При $\bar{S} = 0$ и $\bar{R} = 1$ триггер переходит в состояние "1", так как сигнал $\bar{S} = 0$ выключает ЛЭ 1. На выходе ЛЭ 1 устанавливается сигнал "1", который совместно с сигналом $\bar{R} = 1$ включает ЛЭ 2. Поэтому $Q = 1$ и $\bar{Q} = 0$.

При $\bar{S} = 1$ и $\bar{R} = 0$ триггер переходит в состояние "0", так как сигнал $\bar{R} = 0$ выключает ЛЭ 2. Сигналы $\bar{Q} = 1$ и $\bar{S} = 1$ включают ЛЭ 1. Поэтому $Q = 0$, $\bar{Q} = 1$.

Комбинация сигналов $S_n = R_n = 0$ является запрещенной, так как ЛЭ 1 и 2 выключаются, т.е. $Q = 1$ и $\bar{Q} = 1$, и схема не выполняет функцию триггера. После того, как сигналы \bar{S} или \bar{R} одновременно станут равны 1, RS-триггер с равной вероятностью может перейти в состояние "0" или "1". Таким образом, состояние триггера после снятия сигналов будет неопределенным.

Синхронный RS-триггер (рис.4) имеет два информационных входа R и S и вход синхронизации C. ЛЭ 1 и 2 образуют схему управления, ЛЭ3 и 4 – асинхронный RS - триггер (запоминающую ячейку). Как и все синхронные триггеры, синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$. Сигналы по входам S и R переключают синхронный RS-триггер только с поступлением импульса на вход синхронизации C. При $C=1$ синхронный триггер переключается как асинхронный (табл.2). Одновременная подача сигналов $C=S=R=1$ запрещена. При $S=R=0$ триггер не изменяет своего состояния.

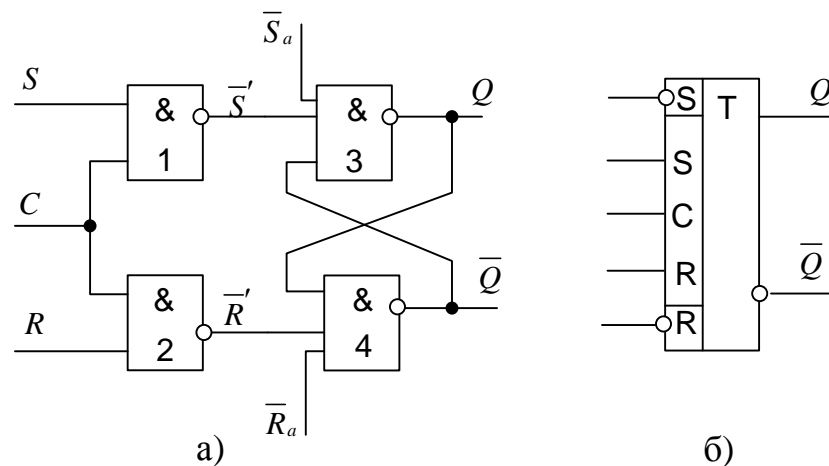


Рис.4

На рис.4,а показаны также асинхронные входы S_a и R_a установки триггера в состояния 1 и 0 соответственно, на рис.4,б – УГО синхронного RS-триггера.

Синхронный D-триггер. Синхронный D-триггер имеет **один информационный вход D**, состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы. Поэтому D-триггер – элемент задержки (хранения) входных сигналов на один такт. Схему синхронного D-триггера можно получить из схемы синхронного RS – триггера, подавая сигнал D на вход S, а сигнал \bar{D} , т.е. с выхода инвертора сигнала D, на вход R. В результате на входах RS-триггера возможны только наборы сигналов $SR = 01$ при $D=0$ или $SR = 10$ при $D=1$, что соответствует записи в триггер логического 0 или 1. Путем логических преобразований инвертор можно исключить и получить схему синхронного D –триггера, показанную на рис.5,а. На рис.5,б приведено УГО синхронного D –триггера.

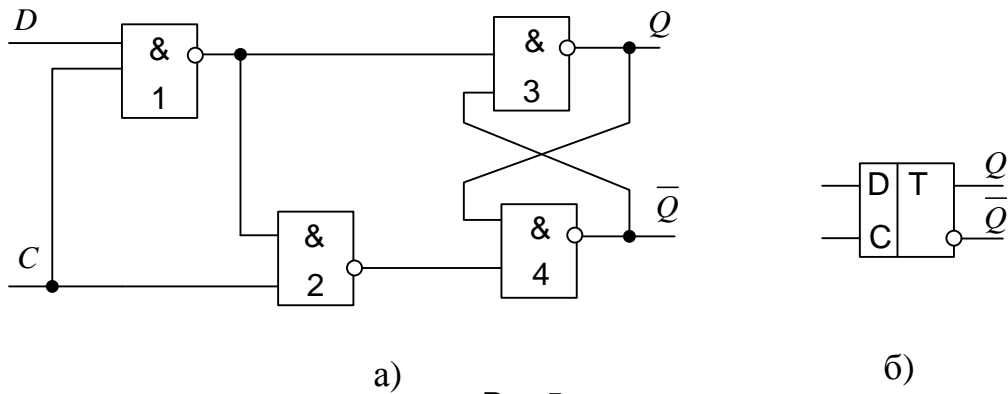


Рис.5

T-триггер. Т-триггер имеет один информационный вход Т, называемый счетным входом. Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала. Таким образом Т-триггер реализует счет по модулю 2, т.е. $Q_{n+1} = T_n \oplus Q_n = (\bar{T}Q \vee T\bar{Q})_n$. Синхронный Т-триггер имеет вход С и вход Т. Синхронный Т-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует сигнал логической 1.

Логику работы синхронных D- и Т-триггеров поясняет табл.4.

Характеристические уравнения синхронного D-триггера: $Q_{n+1} = (\bar{C}Q \wedge CD)_n$, синхронного Т-триггера: $Q_{n+1} = (\bar{C}Q \wedge \bar{T}Q \wedge CT\bar{Q})_n$.

Таблица переходов синхронных D- и Т-триггеров

Таблица 4

Время t_n			Время t_{n+1}	
C_n	D_n, T_n	Q_n	Q_{n+1}	
			D-триггер	T-триггер
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	0

Синхронный DV-триггер. Синхронный DV-триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации. При C=0 DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$. При C=1 и при наличии сигнала V=1 разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV-триггер. При C=1 и V=0 DV-триггер сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$.

Таблица переходов синхронных RS- и DV-триггеров

Таблица 5

Время t_n				Время t_{n+1}	
Входы				Выход Q_{n+1}	
C_n	S_n, V_n	R_n, D_n	Q_n	RS-триггер	DV-триггер
1	2	3	4	5	7
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	1	1	1
0	1	1	0	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	x	1
1	1	1	1	x	1

Характеристические уравнения синхронных RS-триггера: $Q_{n+1} = (\bar{C}Q \vee CS \vee \bar{R}Q)_n$,

DV-триггера: $Q_{n+1} = (\bar{C}Q \vee CVD \vee \bar{V}Q)_n$.

Характерной особенностью синхронных RS- и D-триггеров (рис.4, 5) является то, что в течение всего интервала времени, когда сигнал С равен 1, информационные сигналы и их изменения вызывают соответствующие изменения выходных сигналов. При этом синхронный D-триггер повторяет на выходе входной сигнал D. Такие триггеры называют прозрачными: RS-триггер прозрачен по входам S и R, D-триггер – по входу D. При С=0 триггеры переходят в режим хранения, запоминая последнее состояние.

Рассмотренные синхронные триггеры являются триггерами со статическим управлением записью и называются также триггерами, управляемыми уровнем сигнала С или тактируемые. За ними закрепился термин *защелка (latch)* или *прозрачная защелка (transparent latch)*.

Характерной особенностью синхронных триггеров с динамическим управлением записью является то, что прием информационных сигналов и передача на выход принятой информации выполняются в момент изменения синхросигнала на С -входе из "0" в "1" или из "1" в "0", т.е. перепадом синхросигнала. Такой С -выход называется динамическим, причем в первом случае динамический С -вход - прямой, во втором - инверсный.

Синхронный триггер с динамическим управлением записью принимает только те информационные сигналы, которые были на его информационных входах до прихода синхросигнала и после него в течение времени, необходимого для переключения триггера и определяемого переходными процессами в нем.

Практическая схема синхронного D-триггера с прямым динамическим входом на ЛЭ И-НЕ приведена на рис. 6. Она состоит из трех триггеров: основного асинхронного RS-триггера T_3 на ЛЭ 5 и 6, вспомогательного синхронного RS -триггера T_1 на ЛЭ 1 и 2, используемого для записи "1" в основной триггер, а также вспомогательного синхронного RS-триггера T_2 на ЛЭ 3 и 4 для записи "0" в основной триггер.

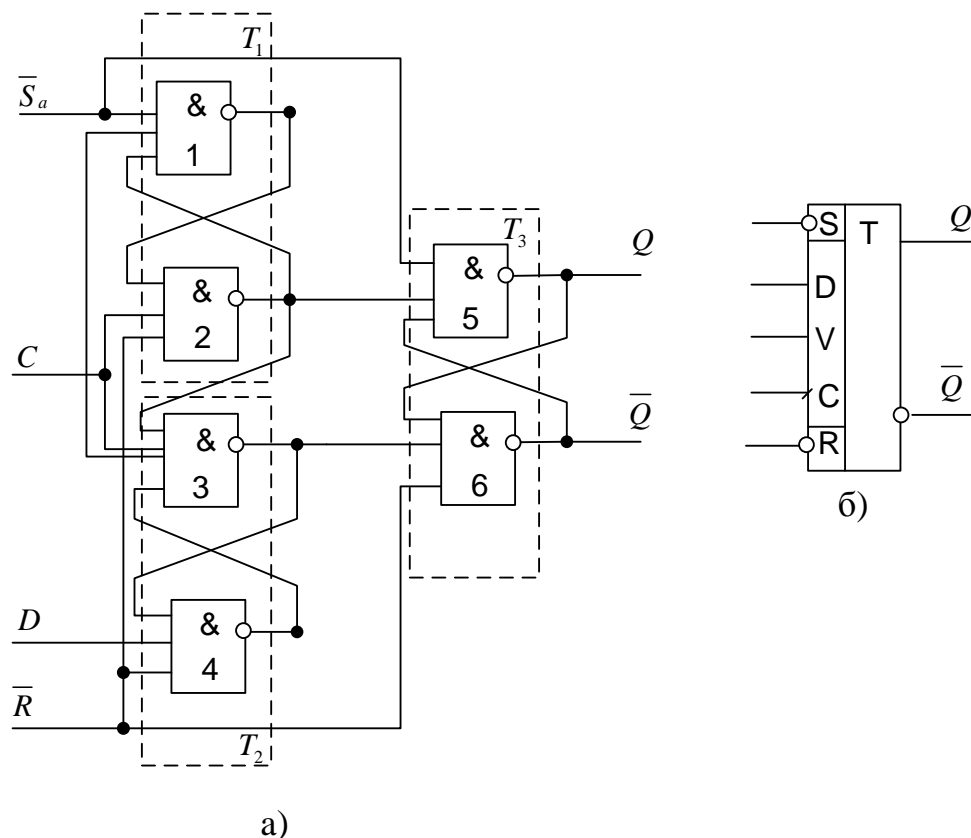


Рис.6

Временные диаграммы (рис. 7) иллюстрируют работу D-триггера. В исходном состоянии R_a и S_a равны 1. Тогда при $C = 0$ ЛЭ 2 и 3 выключены и сигналы "1" с их входов поступают соответственно на входы ЛЭ 5 и 6. Поэтому основной триггер T_3 будет находиться в режиме хранения.

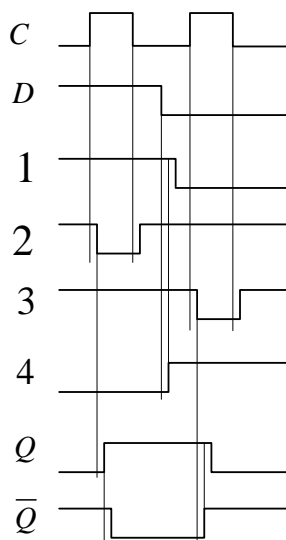


Рис. 7

Пусть $D=0$. Тогда сигнал 1 с выхода ЛЭ 4 включает ЛЭ 1 и сигнал 0 с выхода ЛЭ 1 блокирует выключенный ЛЭ 2 по второму входу. Если синхросигнал изменяет свое значение с 0 на 1, то ЛЭ 3 включается и сигналом 0 с его выхода выключается ЛЭ 6. Сигнал 1 с выхода ЛЭ 6 вместе с сигналом 1 с выхода выключенного ЛЭ 2 включает ЛЭ 5.

Таким образом, в основной триггер записывается 0. После окончания фронта сигнала С и переключения основного триггера любое изменение информационного сигнала D не вызывает изменения состояния основного триггера. Это происходит потому, что ЛЭ 3 своим выходным значением 0 выключает ЛЭ 4. Поэтому никакие изменения сигнала D не передаются через ЛЭ4 на входы других ЛЭ триггера. Основной триггер Т₃ хранит 0.

Когда синхросигнал изменит свое значение на $C = 0$, ЛЭ 2 и 3 выключаются и триггер переходит в режим хранения.

Пусть $D=1$. Тогда в исходном состоянии при $C = 0$ ЛЭ 4 включен, в сигнал 0 с его выхода выключает ЛЭ 1 и 3. Таким образом, ЛЭ 3 выключен по двум входам, а ЛЭ 2 - только по одному входу сигналом $C=0$. . Поэтому, если синхросигнал С изменяет свое значение с 0 на 1, ЛЭ 2 включается и в основной триггер записывается 1, т.е. $Q_{n+1} = D_n$. Сигнал 0 с выхода ЛЭ 2 поддерживает режим записи 1 в триггер, выключая ЛЭ 1, и выключает ЛЭ 3 по одному из входов, запрещая (блокируя) запись в триггер 0, если сигнал на входе D изменит свое значение с 1 на 0. После этого при $C = 1$ любые изменения информационного сигнала на входе D не вызывают изменения состояния основного триггера. После окончания перехода синхросигнала из "0" в "1" триггер переходит в режим хранения. Таким образом в триггер записывается значение сигнала D, действующее в момент перепада 0/1 синхросигнала С.

Триггер имеет асинхронные входы \bar{S}_a и \bar{R}_a начальной установки в состояния 1 и 0. Если схему D -триггера дополнить входом V, то получим структуру DV-триггера. Временные диаграммы D -триггера (рис. 7) соответствуют временным диаграммам DV-триггера при $V=1$.

Задание и порядок выполнения работы

1. Исследовать работу асинхронного RS-триггера с инверсными входами (см. рис. 3) в статическом режиме. Для этого необходимо:
 - собрать схему RS-триггера на ЛЭ И-НЕ;
 - к выходам Q и \bar{Q} триггера подключить световые индикаторы;
 - задавая через переключатели необходимые сигналы на входах \bar{S} и \bar{R} триггера, составить таблицу переходов.
2. Исследовать работу синхронного RS-триггера (см. рис. 4) в статическом режиме. Для этого необходимо:
 - собрать схему RS-триггера на ЛЭ И-НЕ (рис. 4);
 - к выходам Q и \bar{Q} триггера подключить световые индикаторы;
 - задавая через переключатели необходимые сигналы на входах S, R и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору S, R и Q будет соответствовать 3 строки: сначала задать $C=0$ (момент времени t_n), затем при $C=1$ (момент времени t_{n+1}) определяется Q_{n+1} и снова при $C=0$ переход в режим хранения.
3. Исследовать работу синхронного D-триггера (см. рис. 5) в статическом режиме. Для этого необходимо:
 - собрать схему D-триггера на ЛЭ И-НЕ (рис. 5); в приложении Multisim можно использовать макросхему D-триггера;
 - к выходам Q и \bar{Q} триггера подключить световые индикаторы;
 - задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору D и Q будет

соответствовать 3 строки: сначала задать $C=0$ (момент времени t_n), затем при $C=1$ (момент времени t_{n+1}) определяется Q_{n+1} и снова при $C=0$ происходит переход в режим хранения.

4. Исследовать схему синхронного D-триггера с динамическим управлением записью (рис. 6) в статическом режиме. В приложениях Electronics Workbench и Multisim имеются макросхемы такого триггера. Для этого необходимо:

- к выходам Q и \bar{Q} триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C , протестировать и составить таблицу переходов триггера. В таблице теста следует отметить реакцию триггера на изменения сигнала D при $C=0$ и при $C=1$, а также способность триггера принимать сигнал D только по перепаду 0/1 сигнала C .

5. Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме. Для этого необходимо:

- построить схему синхронного DV-триггера на основе синхронного D-триггера и мультиплексора MS 2-1 (выход MS 2-1 соединить с D -входом триггера, вход 0 MS 2-1 соединить с выходом Q триггера. Тогда вход 1 MS 2-1 будет D -входом, адресный вход A MS 2-1 – входом V синхронного DV-триггера), вход C D-триггера – входом C DV-триггера;

- подать сигнал генератора на вход счетчика и на C -вход DV-триггера;
- подать на входы D и V триггера сигналы с выходов 2-го и 3-го разрядов счетчика;
- снять временные диаграммы синхронного DV-триггера;
- объяснить работу синхронного DV-триггера по временным диаграммам.

6. Исследовать работу DV-триггера, включенного по схеме TV-триггера (рис. 8).

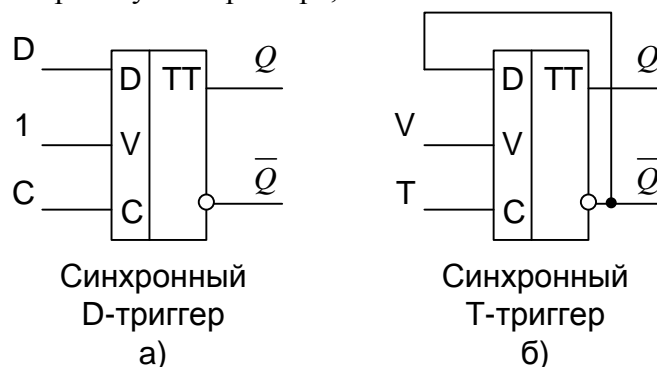


Рис.8

Для этого необходимо:

- на вход D подать сигнал \bar{Q} , на вход C подать сигналы генератора, а на вход V - с выхода 3-го разряда счетчика;
- снять временные диаграммы T-триггера;
- объяснить работу синхронного T-триггера по временным диаграммам.

7. Составить отчет.

Требования к отчету

Отчет должен содержать исследуемые схемы триггеров, варианты их включения и результаты исследования (таблицы переходов, временные диаграммы и пояснения к ним).

Контрольные вопросы

1. Что называется триггером?
2. Какова структурная схема триггера?
3. По каким основным признакам классифицируют триггеры?
4. Каково функциональное назначение входов триггеров?
5. Что такое асинхронный и синхронный триггеры?
6. Что такое таблица переходов?
7. Как работает асинхронный RS-триггер?
8. Как работает синхронный RS -триггер? Какова его таблица переходов?
9. Что такое D-триггер?
10. Объясните работу синхронного D-триггера.
11. Что такое DV –триггер?
12. Объясните работу DV-триггера.
13. Что такое T-триггер? Какова его таблица переходов?
14. Объясните работу схемы синхронного RS-триггера со статическим управлением.
15. Какова характерная особенность переключения синхронных триггеров с динамическим управлением записью?
16. Как работает схема синхронного D -триггера с динамическим управлением записью на основе трех RS -триггеров?
17. Составьте временные диаграммы работы синхронного D-триггера с динамическим управлением записью.
18. Какова структура и принцип действия синхронного DV-триггера с динамическим управлением записью?
19. Составьте временные диаграммы синхронного DV-триггера.
20. Объясните режимы работы D-триггера.