|  |  |
| --- | --- |
| **Gerb-BMSTU_01** | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **ПРОГРАММНАЯ ИНЖЕНЕРИЯ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04** Программная инженерия

**Отчет**

|  |  |
| --- | --- |
| **По лабораторной работе № 2** |  |

*«Иcследование дешифраторов»*

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |
| --- | --- | --- | --- |
| Студент | ИУ7-41Б |  | Савинова М. Г. |
|  | (Группа) |  | (Ф. И. О) |
| Преподаватель | Попов А. Ю. |  |  |

Москва, 2023

Содержание

[Цель работы 3](#_Toc132802188)

[Задания 4](#_Toc132802189)

[1. Исследование линейного двухвходового дешифратора с инверсными выходами 4](#_Toc132802190)

[2. Исследование дешифраторов ИС К155ИД4 (74LS155) 8](#_Toc132802191)

[3. Исследование дешифраторов ИС КР531ИД14 (74LS139) 10](#_Toc132802192)

[4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138) 11](#_Toc132802193)

[Выводы: 13](#_Toc132802194)

# Цель работы

– изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью**.**

# Задания

## Исследование линейного двухвходового дешифратора с инверсными выходами

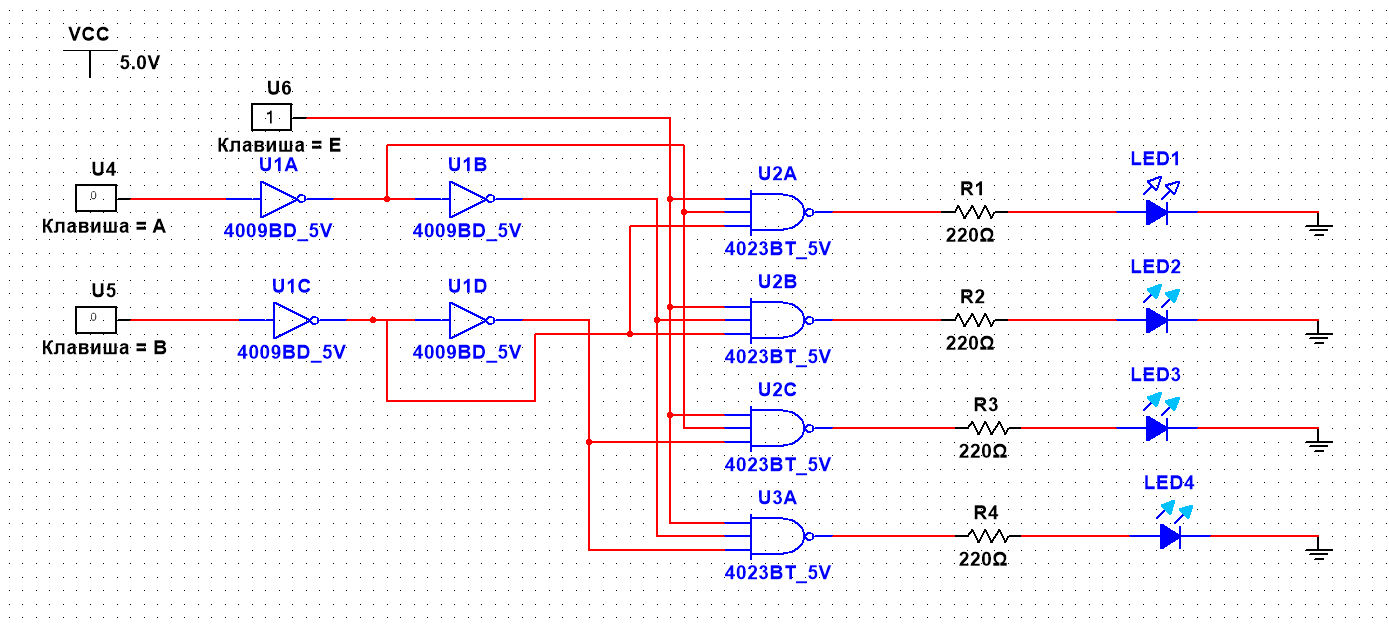
1. собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов задать в выходов четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

Схема 1

1. подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **EN** | **A** | **B** | **F1** | **F2** | **F3** | **F4** |
| 0 | x | x | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Таблица 1

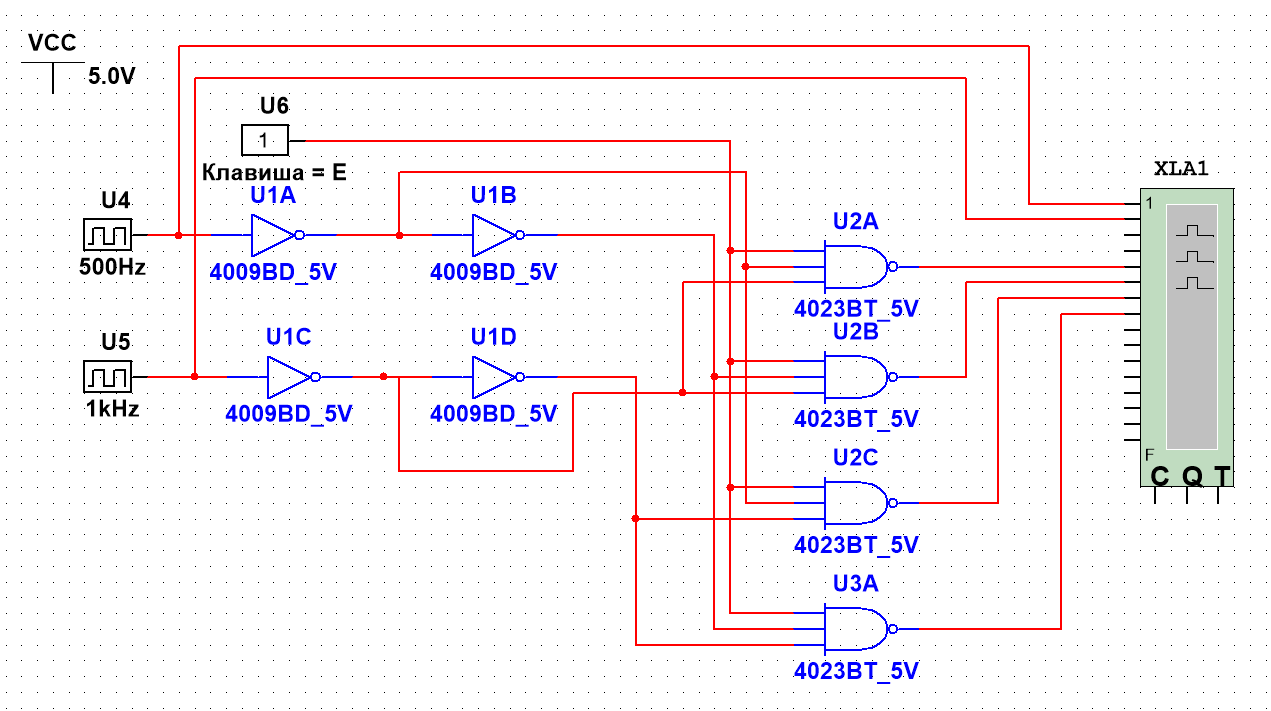
1. подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

Схема 2

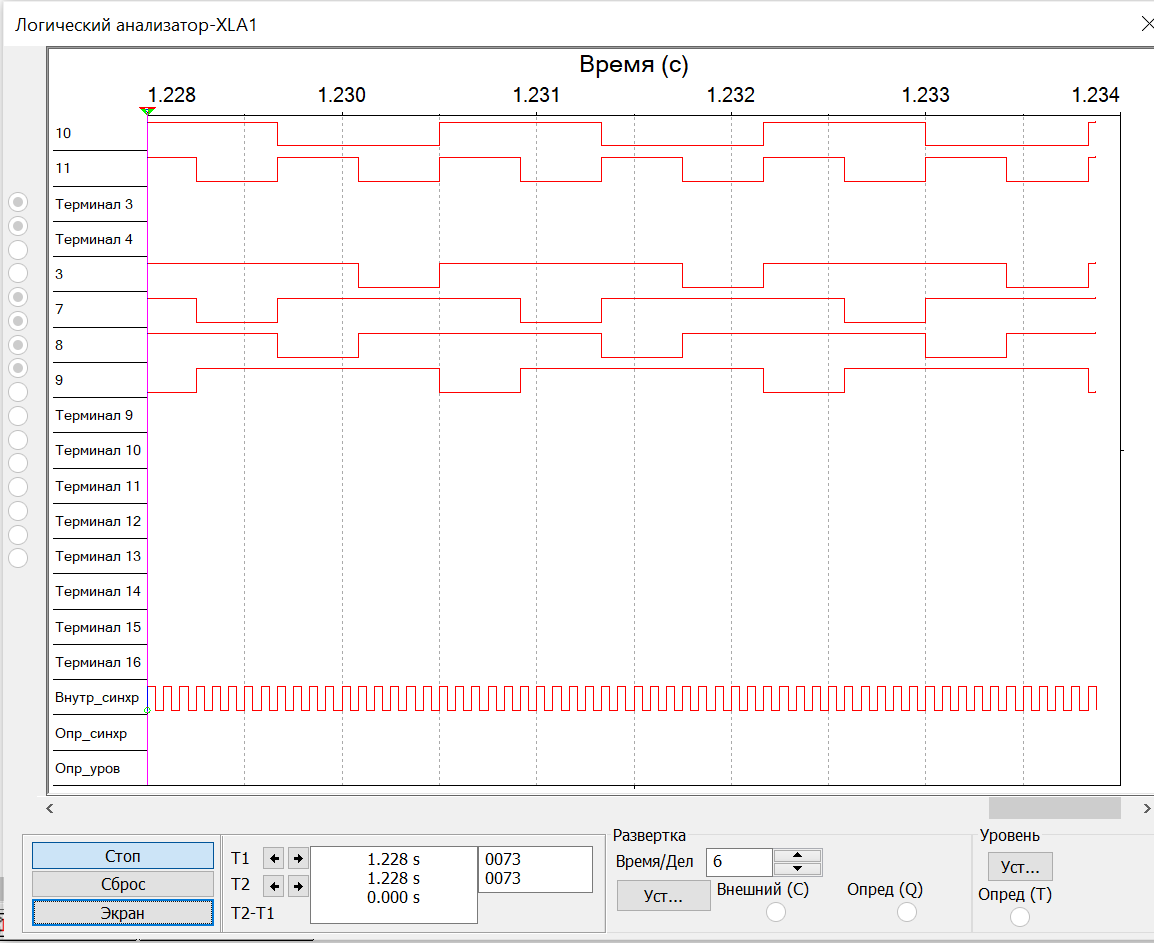


Диаграмма 1

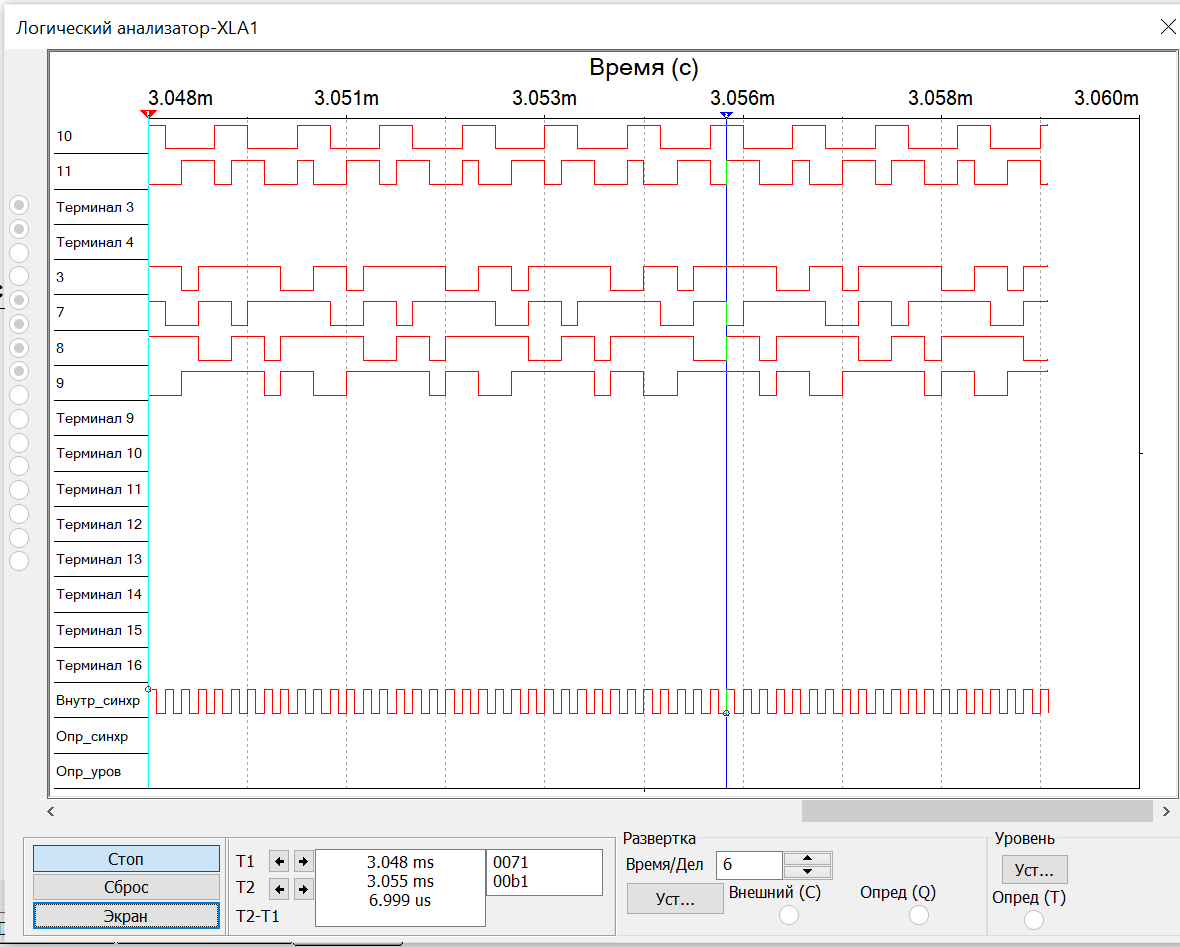
1. определить амплитуду помех, вызванных гонками, на выходах дешифратора;

Диаграмма 2

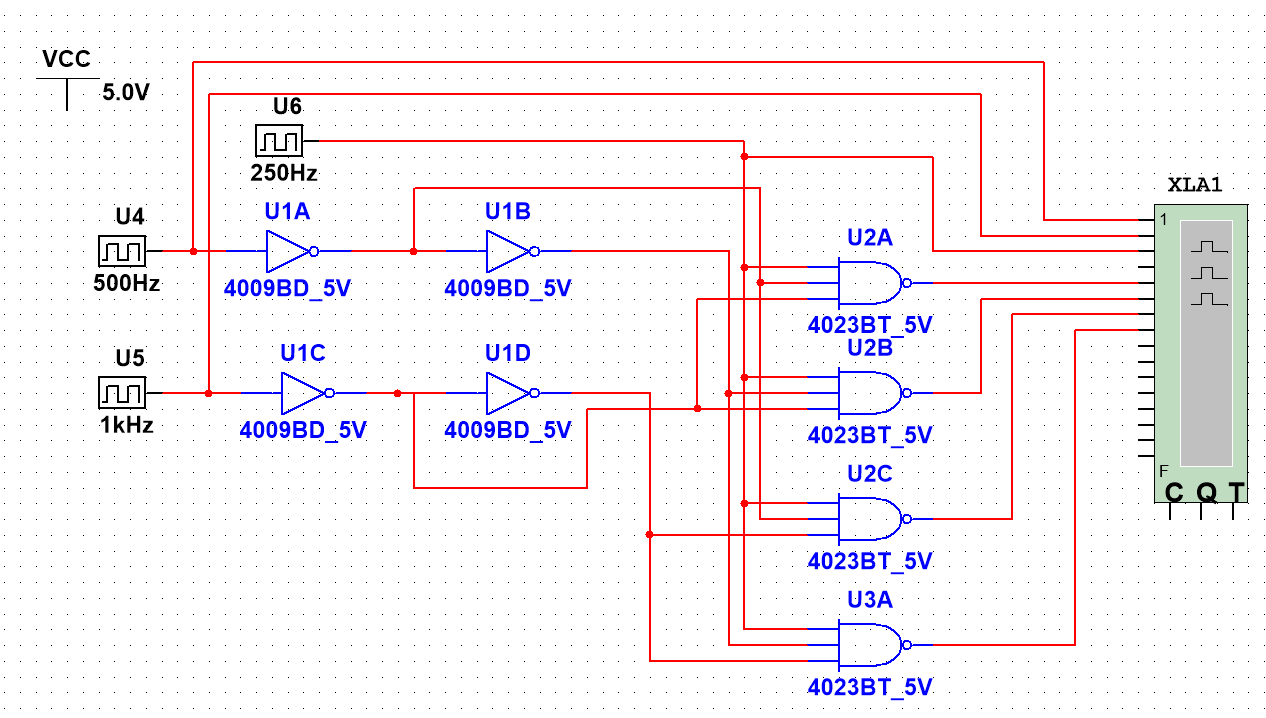
1.  снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

Схема 3



Диаграмма 3

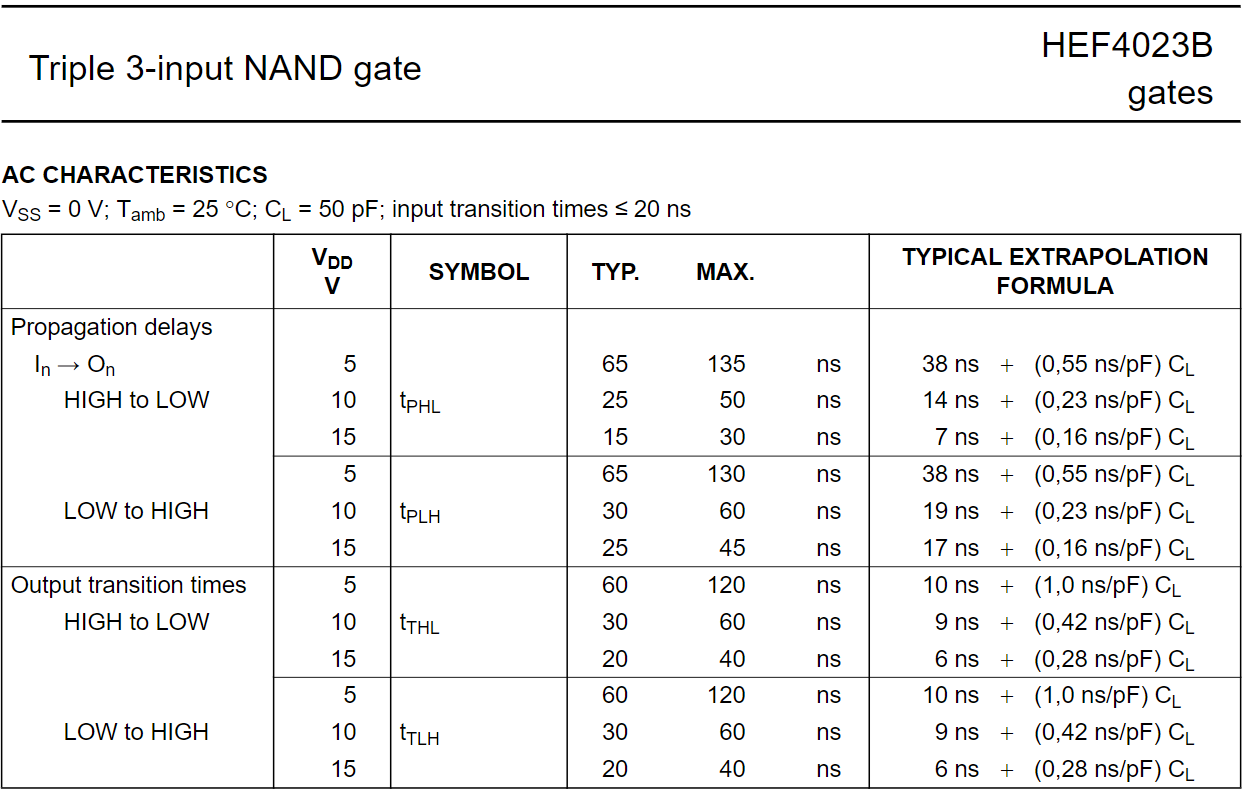
1. опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Таблица 2 для И-НЕ

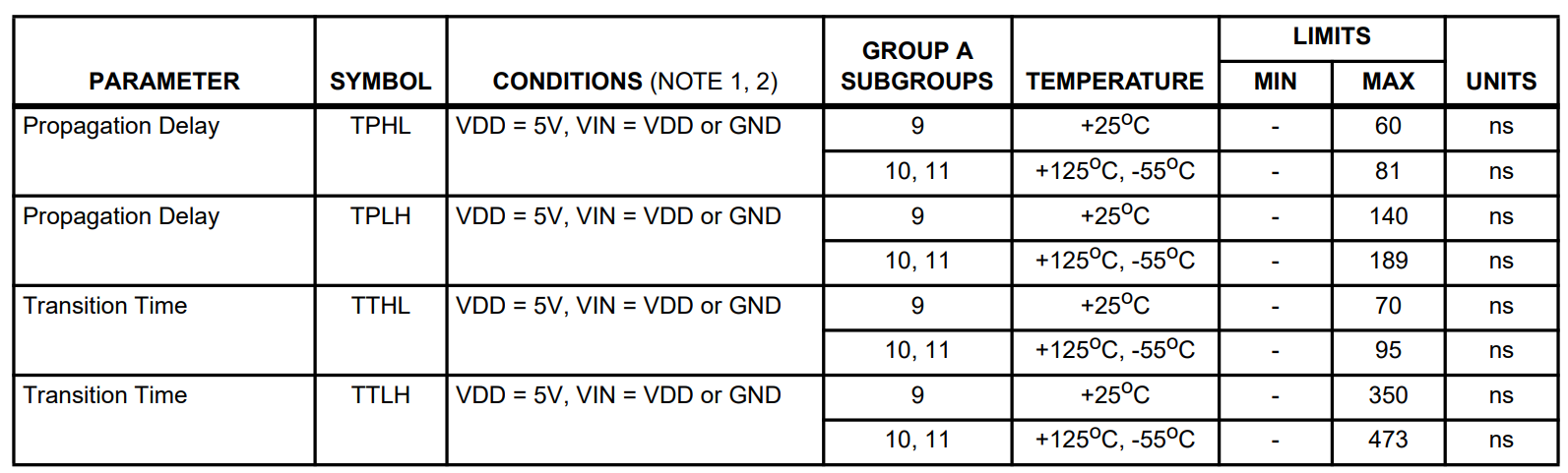


Таблица 3 для НЕ

Считаем по этой формуле:

ns (берем из таблицы 2 при V = 5 максимальное значение)

ns (берем из таблицы 3 при V = 5 максимальное значение)

ns.

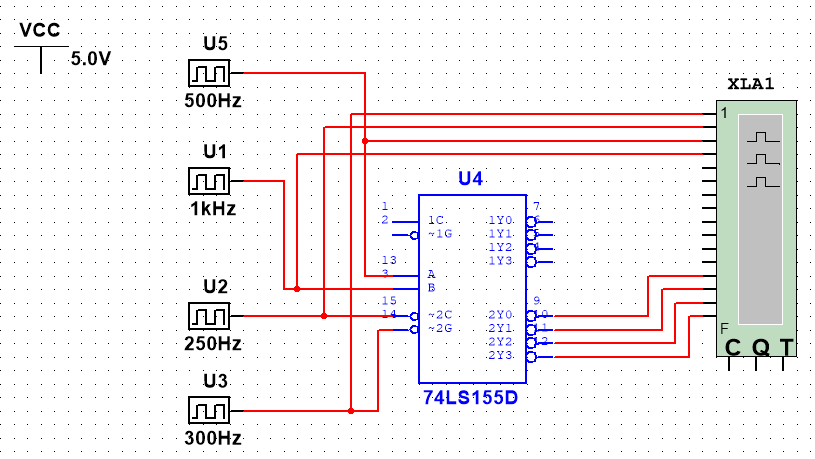
1. Исследование дешифраторов ИС К155ИД4 (74LS155)
2. снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

Схема 4

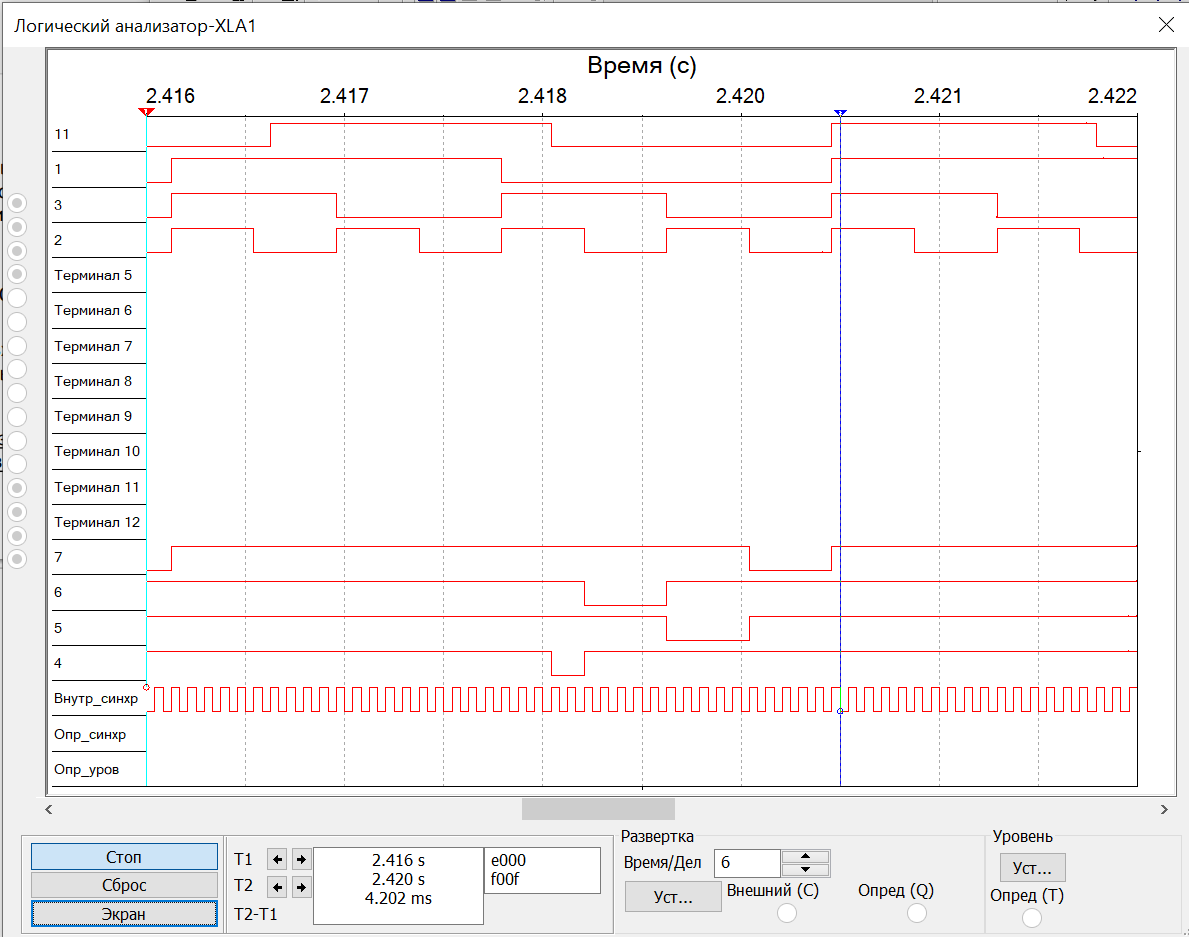


Диаграмма 4

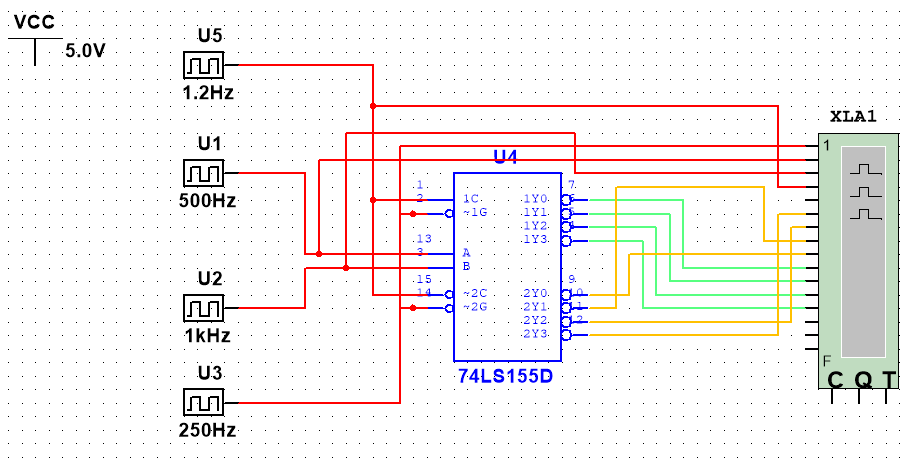
1. -
2. собрать схему трехвходового дешифратора на основе дешифратора К155ИД4 (см. рис. 8), задавая входные сигналы с выходов счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Схема 5

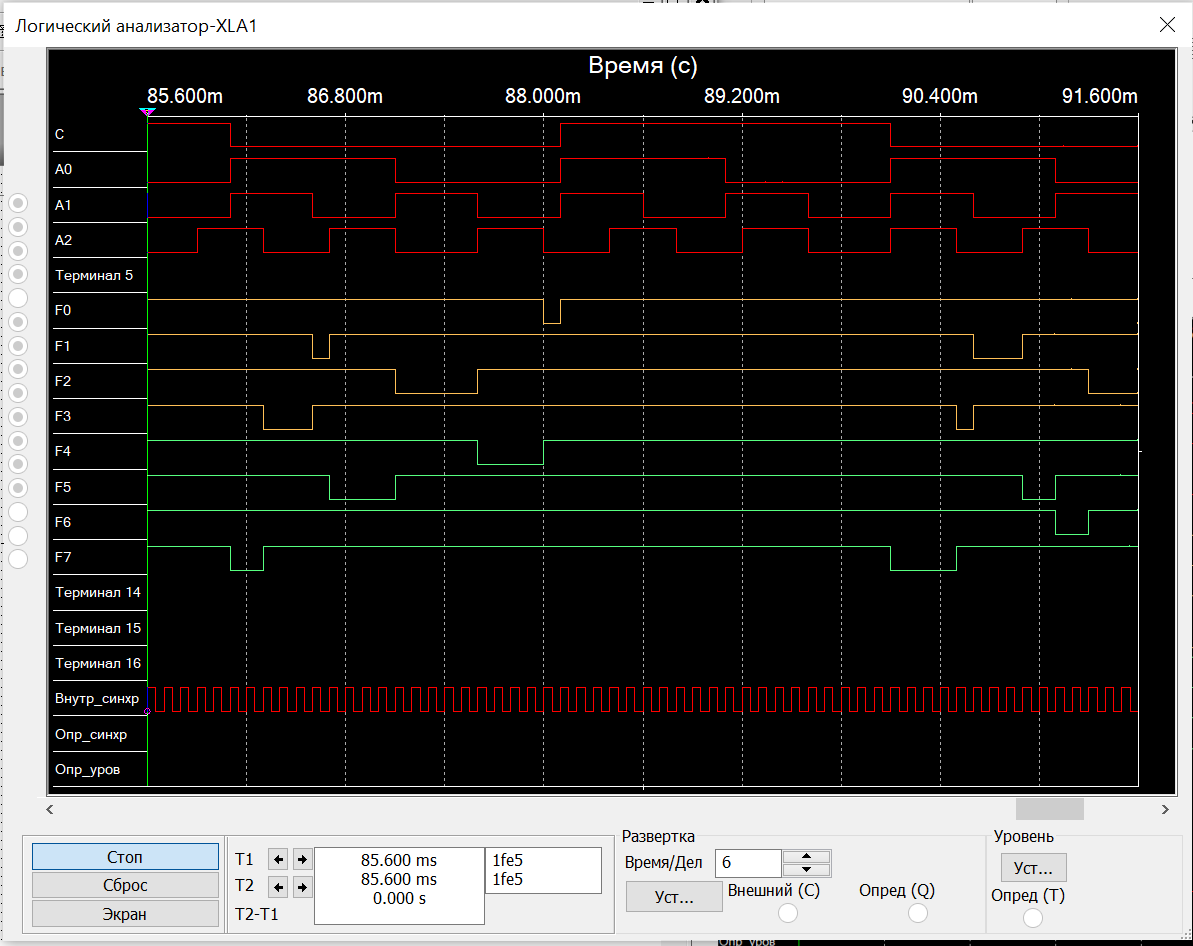


Диаграмма 5

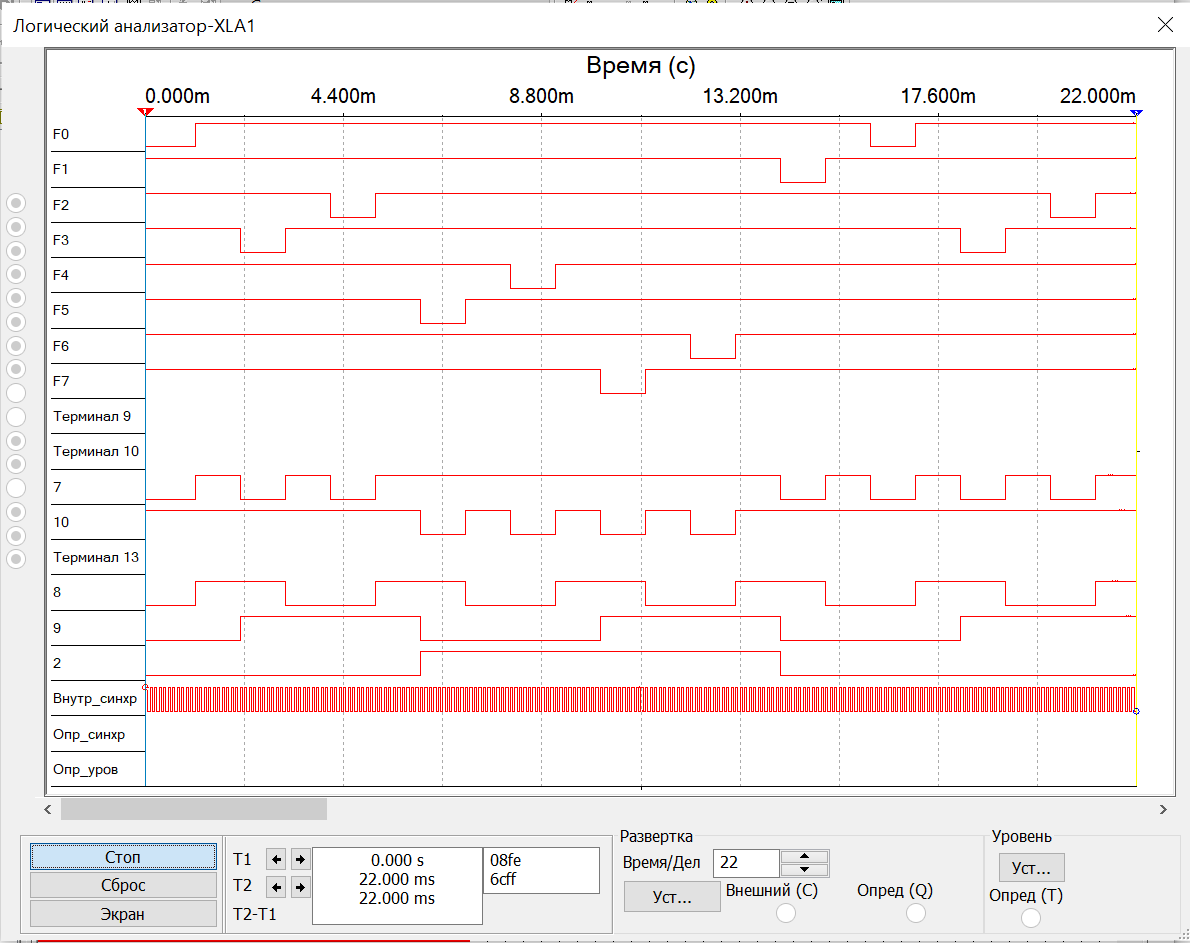
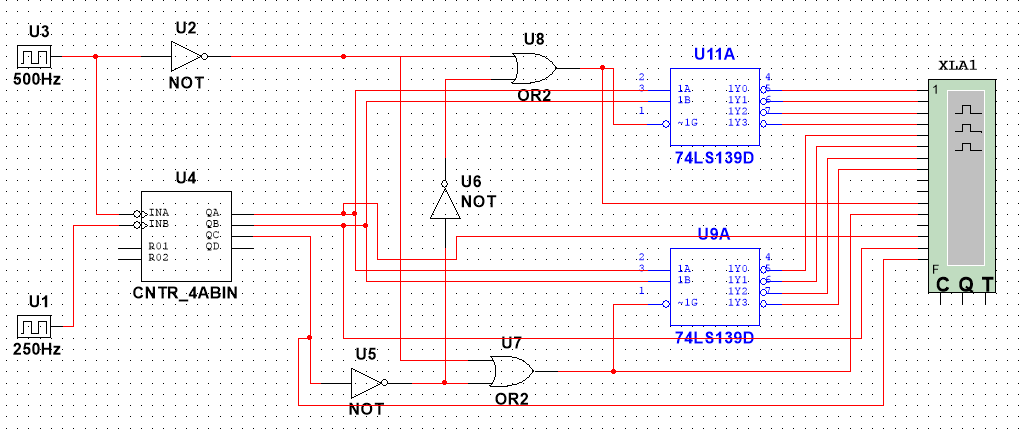
1. Исследование дешифраторов ИС КР531ИД14 (74LS139)
2. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 с раздельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции 1· 2, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

Диаграмма 6

Схема 6

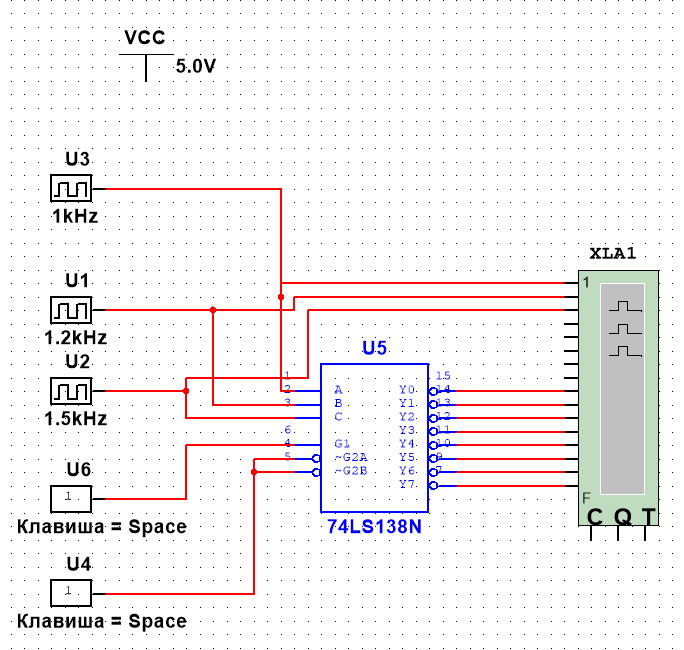
1. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)
2. снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;

Схема 7

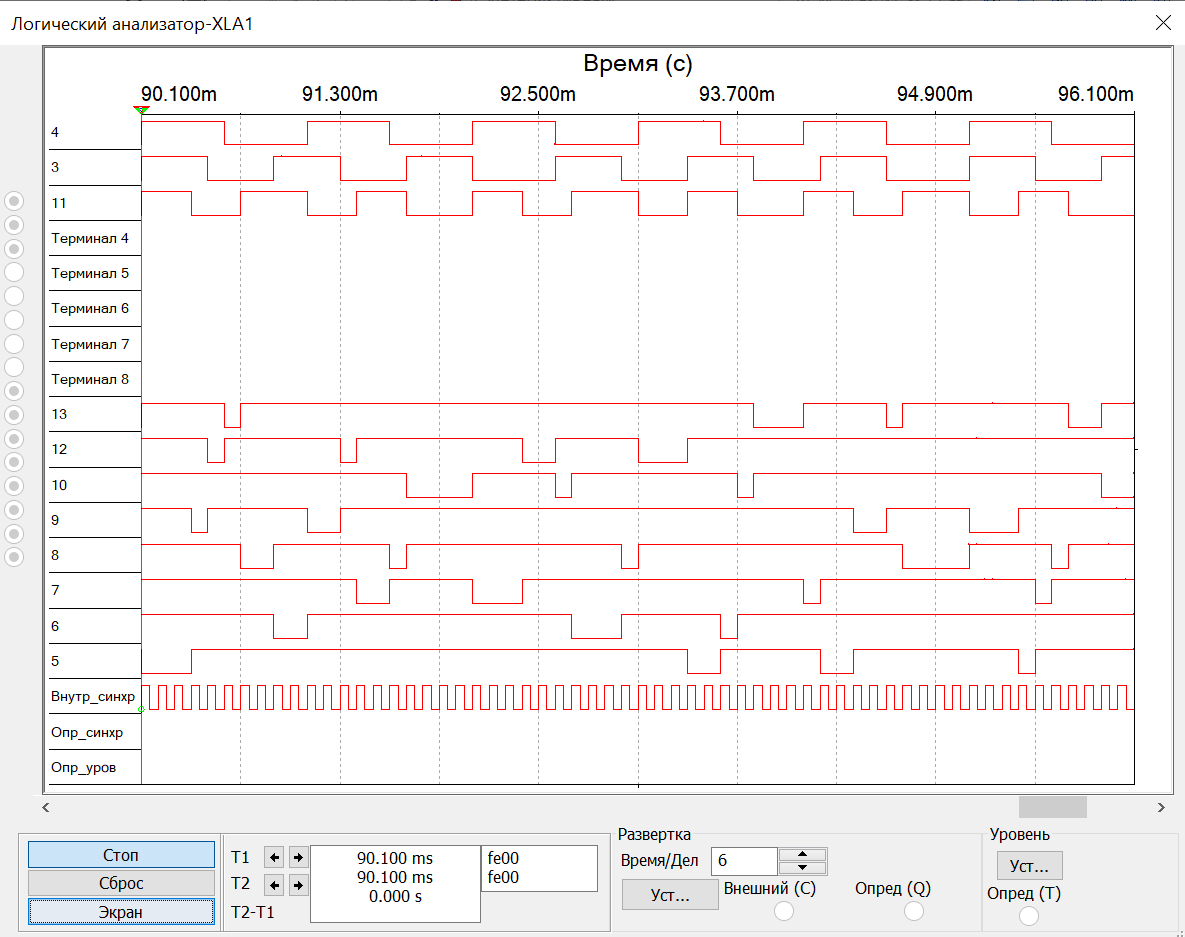


Диаграмма 7

1. собрать схему дешифратора DC 5-32 cогласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

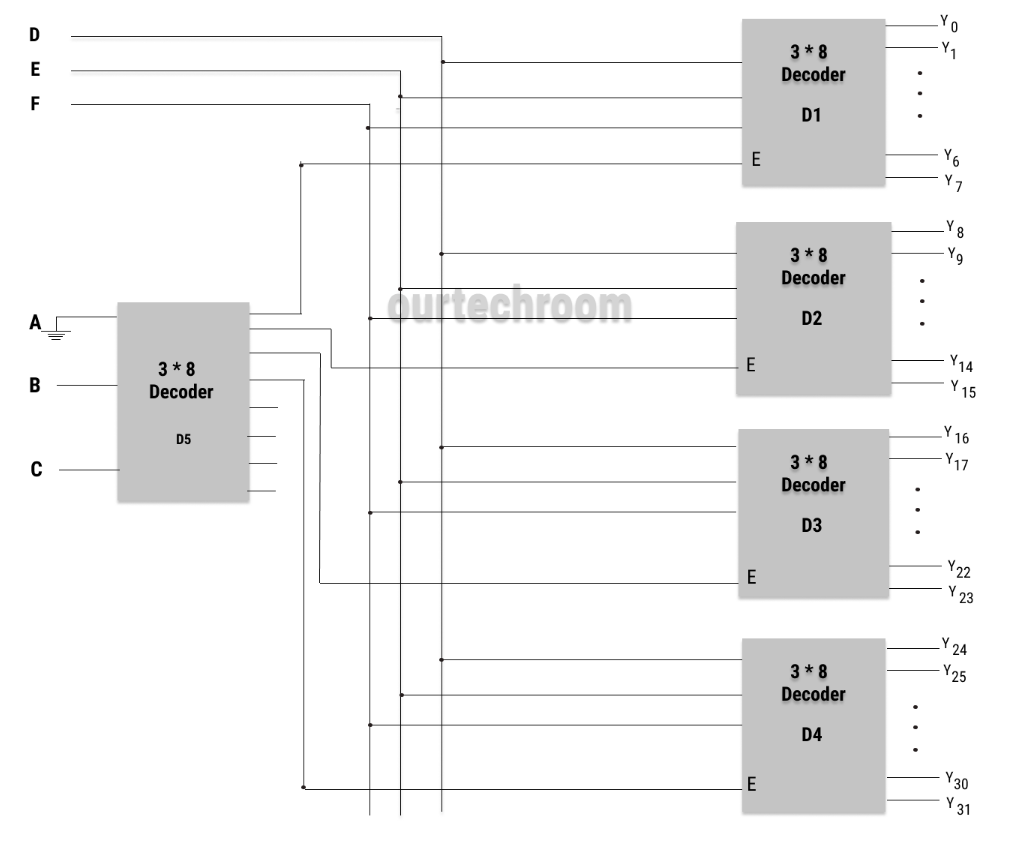


Схема 8

# Выводы:

изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов. В ходе работы были составлены таблицы истинности, произведен анализ временных характеристик дешифраторов.