

Inwerter CMOS

Stanisław Fiedler 160250 L1

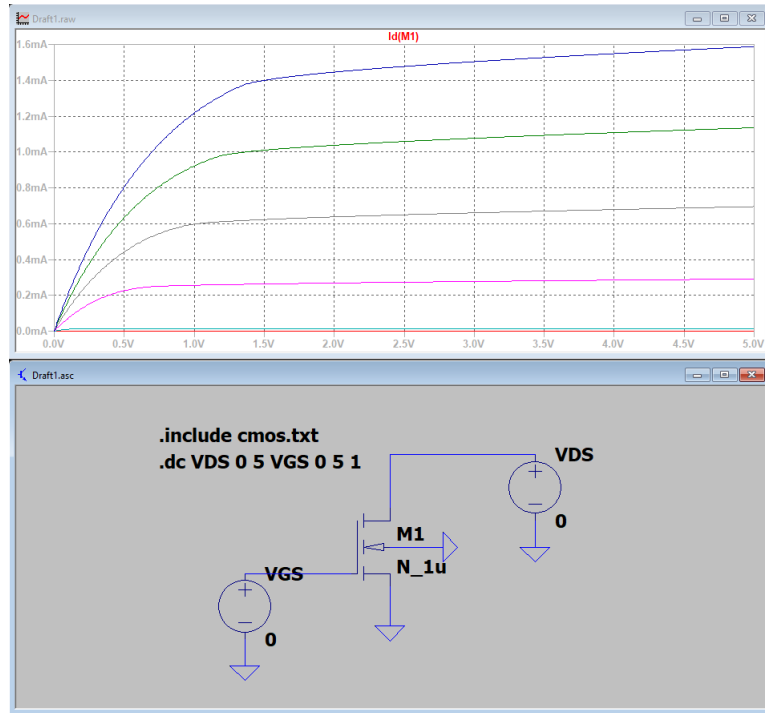
LAB 3 oraz 4, 5 listopada 2024

Spis treści

1	Symulacja tranzystora NMOS	1
2	Symulacja inwertera CMOS	2
3	Dlaczego długości oraz szerokości kanałów dla tranzystorów pMOS i nMOS nie są jednakowe?	3
4	Parametry inwertera	3
5	Parametry czterech połączonych szeregowo inwerterów	5
5.1	Drugi inwerter	6
5.2	Trzeci inwerter	8
5.3	Czwarty inwerter	10
6	Charakterystyka przejściowa symulacja	12
7	Wyjaśnij co oznaczają oznaczenia VIL, VIH, VIH, VOH	12
8	Symulacja największy pobór prądu	13
9	Inverter Switching Point	13
10	Do czego w praktyce może zostać wykorzystany wykres charakterystyki przejściowej inwertera?	14

1 Symulacja tranzystora NMOS

W schemacie na rysunku 1 (z poprzednich zajęć) dokonać zmiany wartości szerokości kanału tranzystora nMOS z $W=10u$ na $W=5u$. Następnie dokonać ponownej symulacji układu. Zinterpretować uzyskane wyniki w odniesieniu do wzorów opisujących zasadę działania tranzystora nMOS.

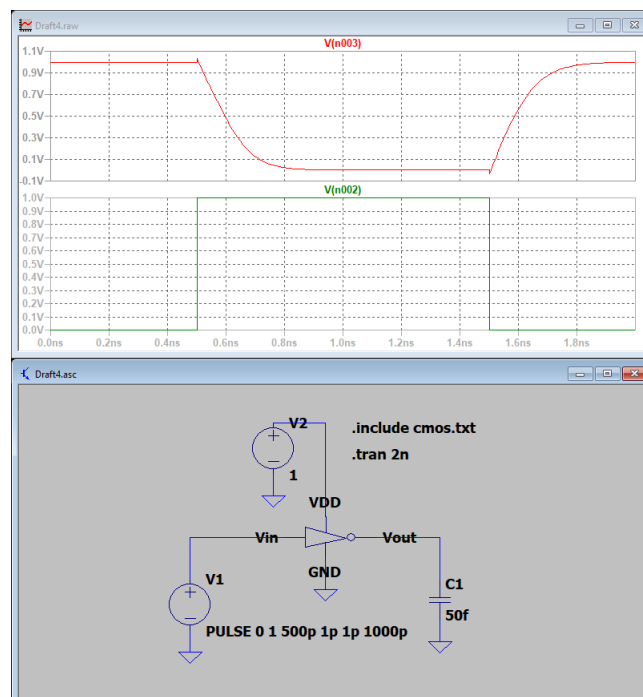


$$I_D = \mu C_{OX} \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2}$$

Ze wzoru wynika że prąd płynący przez tranzystor jest wprost proporcjonalny do szerokości kanału W . Zwężenie kanału o połowę zmniejszyło płynący prąd również o połowę.

2 Symulacja inwertera CMOS

Dokonać symulacji obwodu z rysunku 2. W oknie wyników symulacyjnych, pod prawym przyciskiem wybrać Add plot pane. Napięcie wejściowe i wyjściowe wyświetlić w niezależnych sekcjach ('plot pane'). Analizując wyniki uzyskanej symulacji dokonaj interpretacji zasady działania inwertera CMOS.



Inwerter CMOS jest implementacją bramki logicznej not. Kiedy na V_{in} jest 0V na wyjściu V_{out} jest napięcie V_{DD} . Kiedy na V_{in} jest napięcie V_{DD} na wyjściu V_{out} jest 0V.

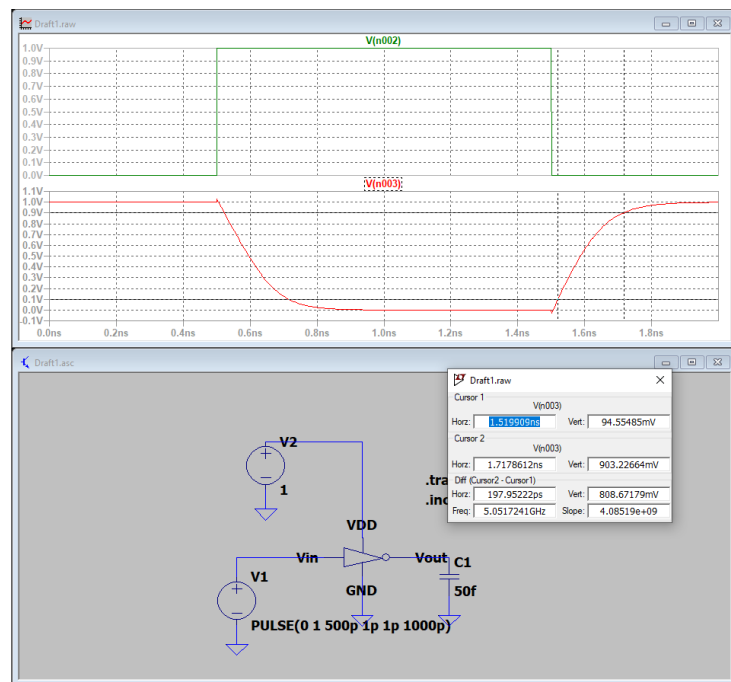
3 Dlaczego długości oraz szerokości kanałów dla tranzystorów pMOS i nMOS nie są jednakowe?

Aby tranzystory pMOS miał charakterystyki podobne do tranzystora nMOS rozmiar jego kanał musi być większy. Jest to spowodowane mniejszą ruchliwością dziur elektronowych w porównaniu z elektronami.

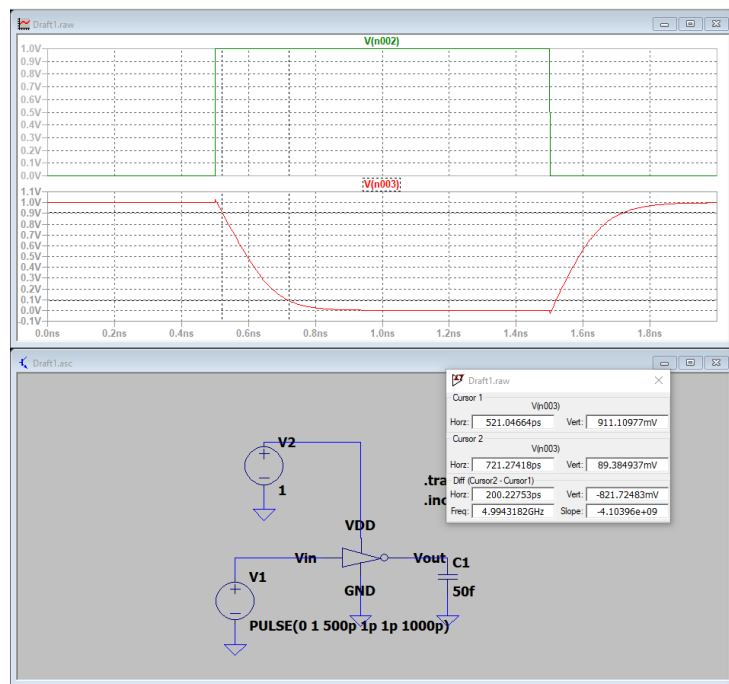
4 Parametry inwertera

Dla symulacji z rysunku 2 wyznaczyć parametry rise time, fall time, edge rate, high-to-low propagation delay, low-to-high propagation delay, propagation delay, contamination delay.

Rise time: 198ps

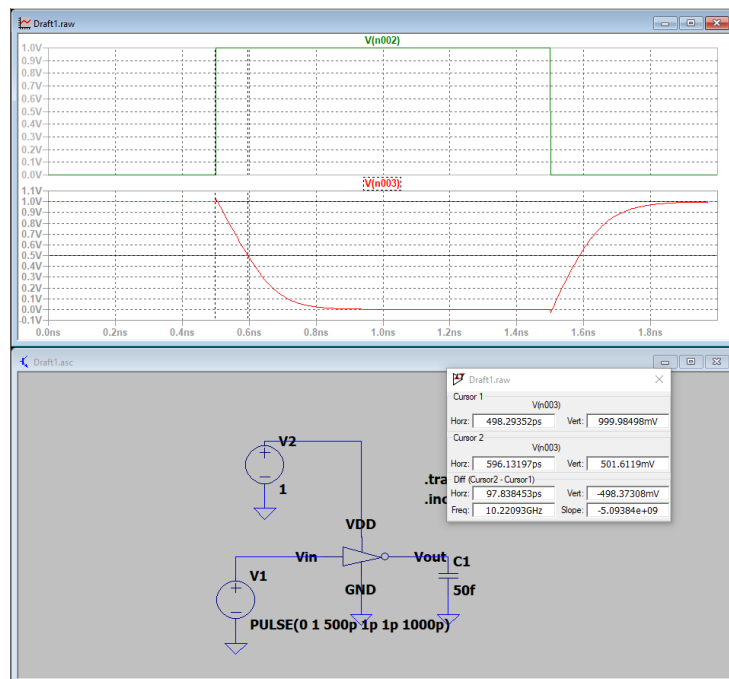


Fall time: 200ps

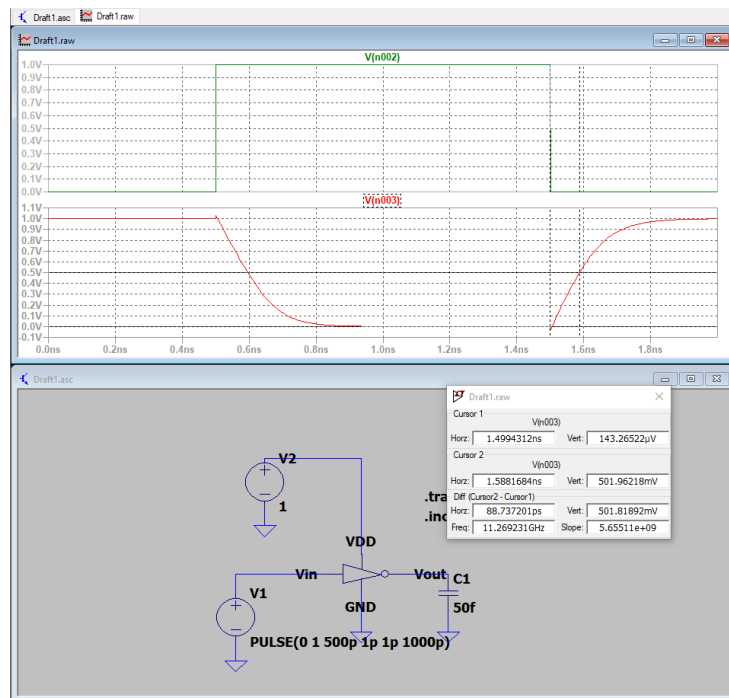


Edge rate: $\frac{198ps+200ps}{2} = 199ps$

High-to-low propagation delay: 98ps



Low-to-high propagation delay: $89ps$

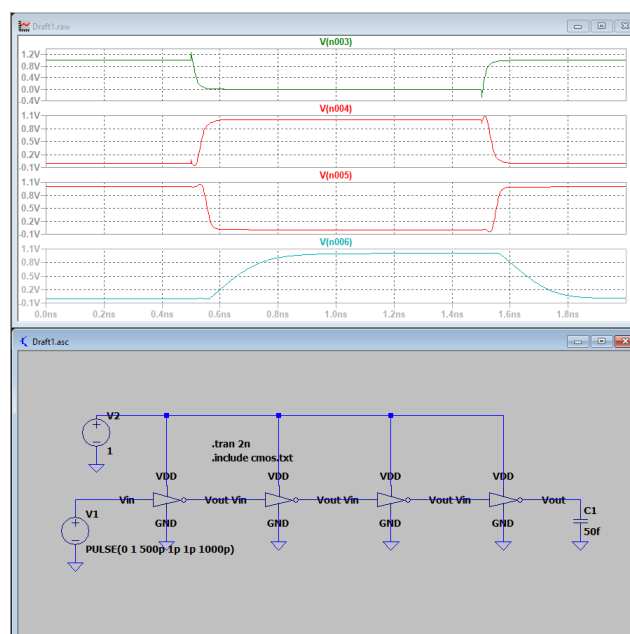


Propagation delay: $\frac{98ps+89ps}{2} = 93,5ps$

Contamination delay: $\min\{98ps, 89ps\} = 89ps$

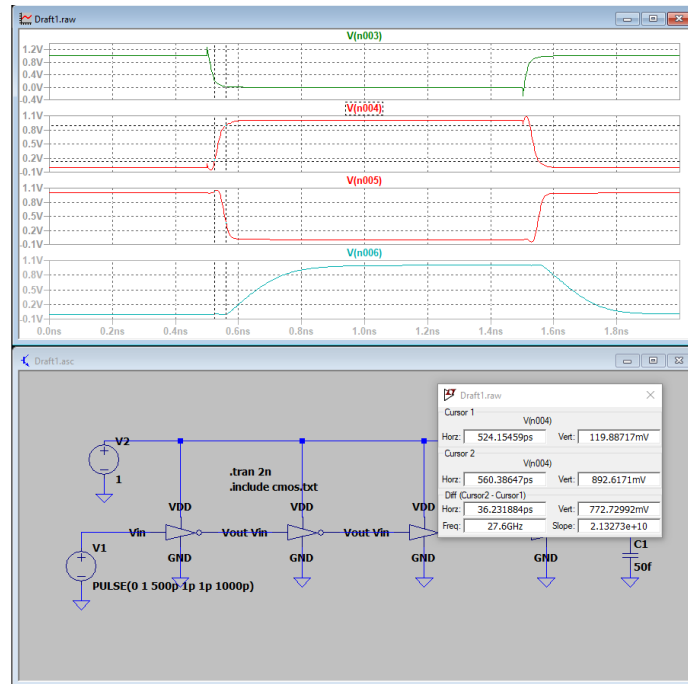
5 Parametry czterech połączonych szeregowo inwerterów

Opierając się na przykładzie z rysunku 2 zaprojektować układ złożony z połączonych szeregowo 4 bramek logicznych not (inwerterów). Ostatni inwerter obciążyć pojemnościowo. Dla zaprojektowanego układu dokonać symulacji oraz wyznaczyć parametry z poprzedniego punktu mierzone między portem wyjściowym na pierwszej bramce, a wyjściem każdej kolejnej bramki not.

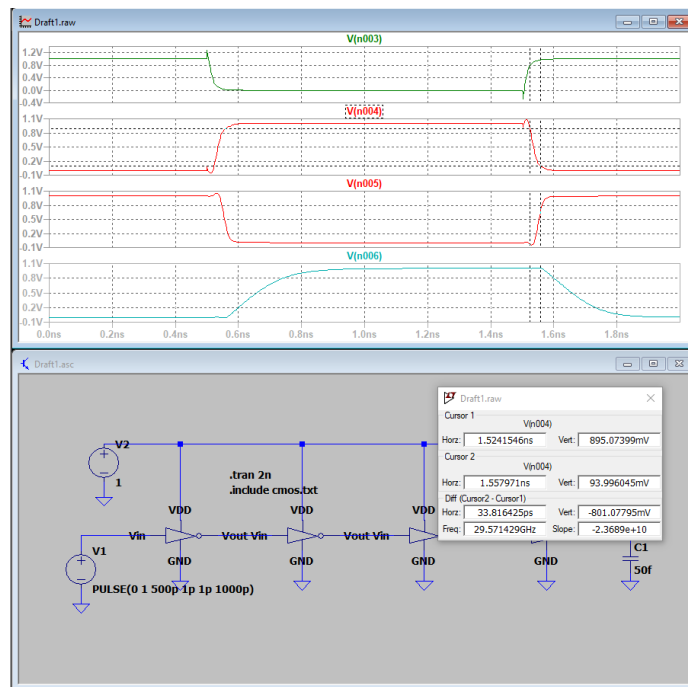


5.1 Drugi inverter

Rise time: $37ps$

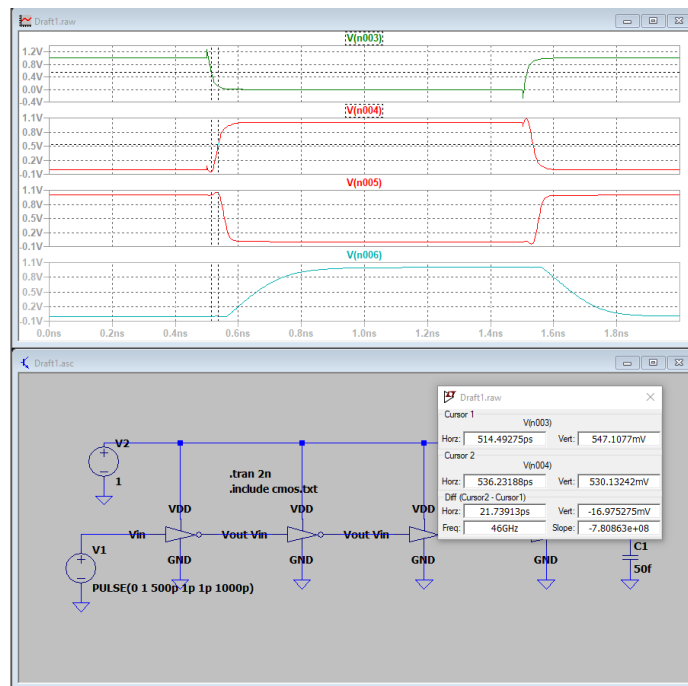


Fall time: $33ps$

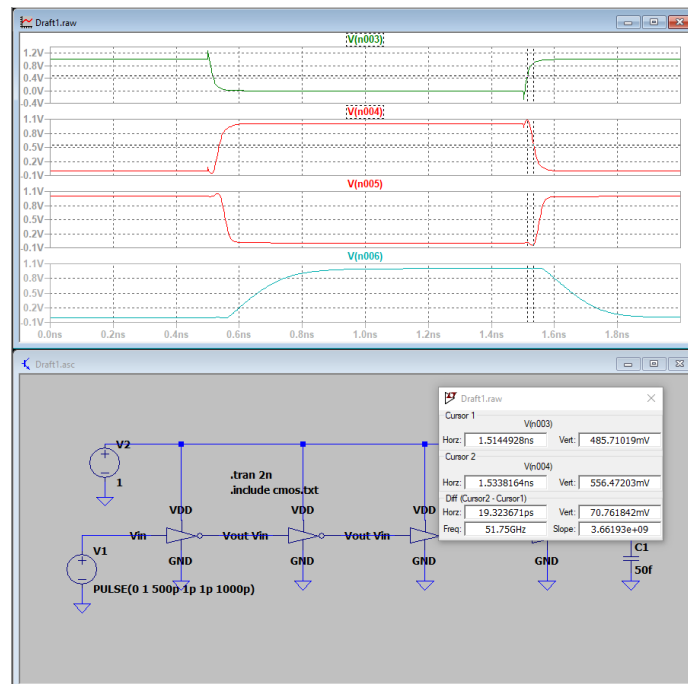


Edge rate: $\frac{37ps+33ps}{2} = 35ps$

High-to-low propagation delay: $22ps$



Low-to-high propagation delay: $19ps$

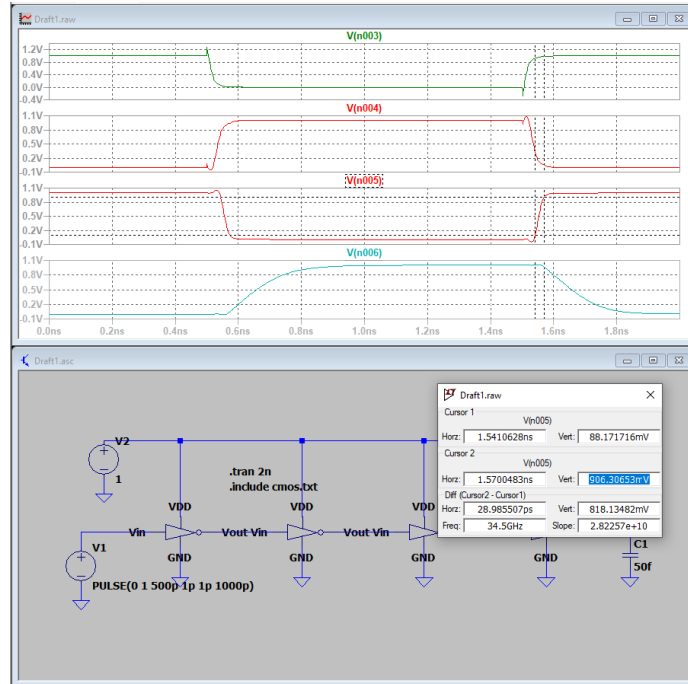


Propagation delay: $\frac{22ps+19ps}{2} = 20,5ps$

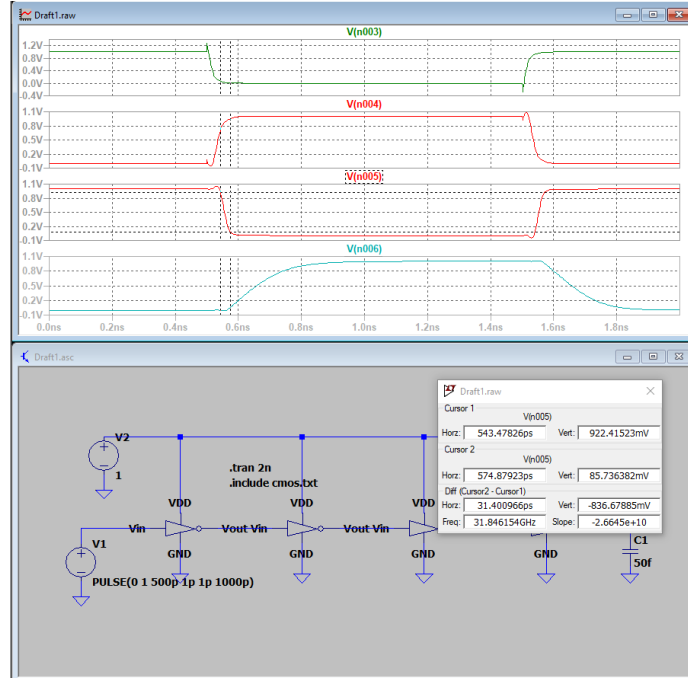
Contamination delay: $\min\{22ps, 19ps\} = 19ps$

5.2 Trzeci inwerter

Rise time: $29ps$

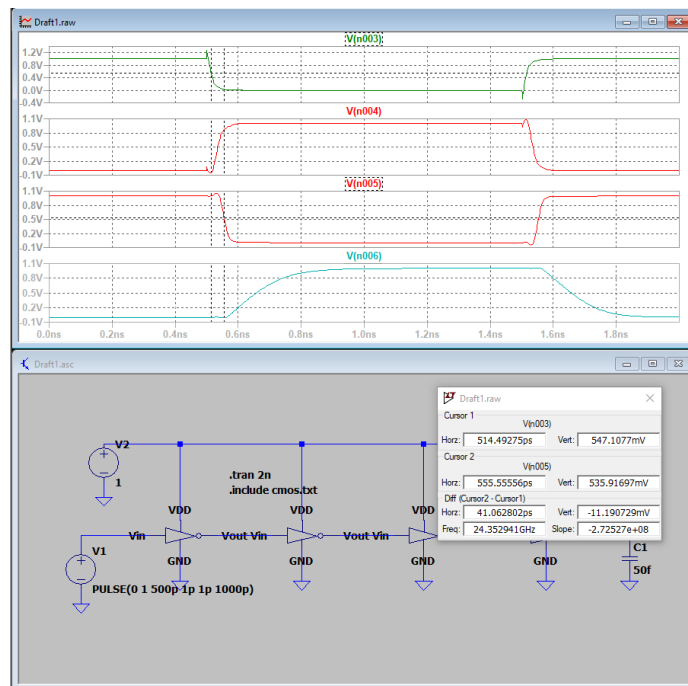


Fall time: $31ps$

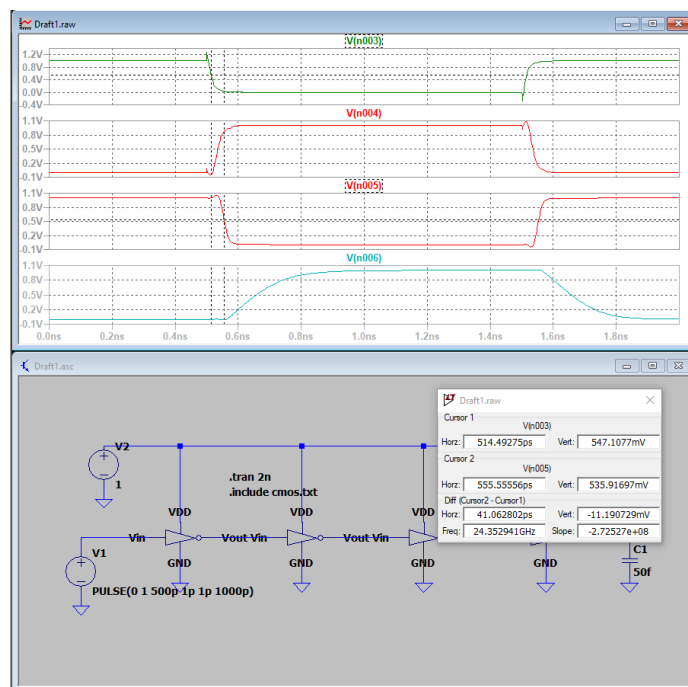


Edge rate: $\frac{29ps+31ps}{2} = 30ps$

High-to-low propagation delay: $41ps$



Low-to-high propagation delay: $39ps$

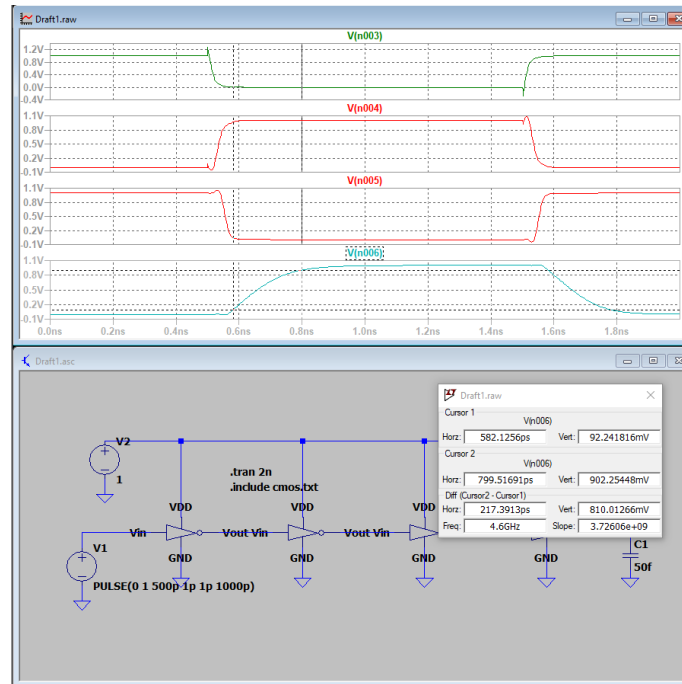


Propagation delay: $\frac{39ps + 41ps}{2} = 40ps$

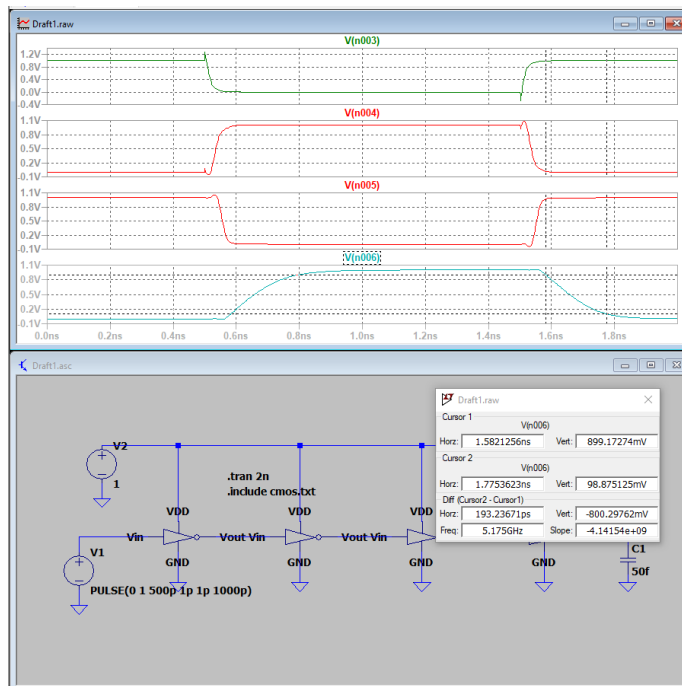
Contamination delay: $\min\{39ps, 41ps\} = 39ps$

5.3 Czwarty inwerter

Rise time: 217ps

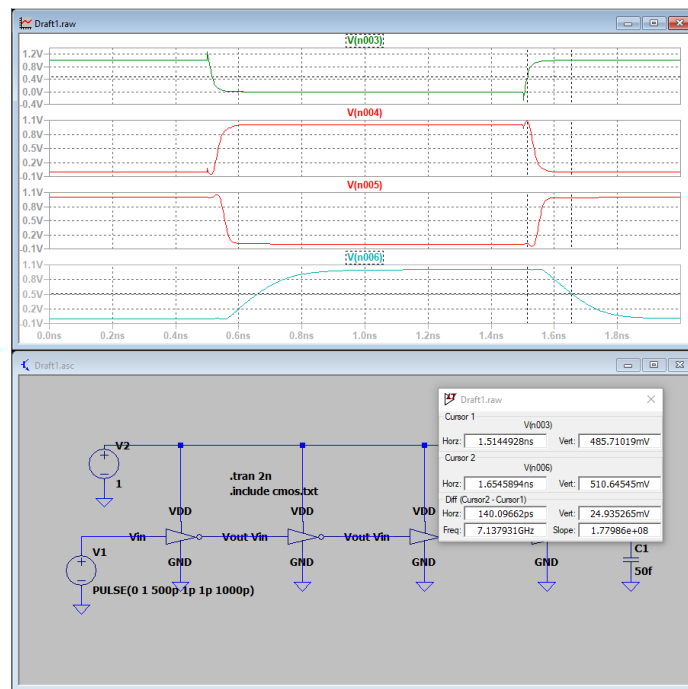


Fall time: 193ps

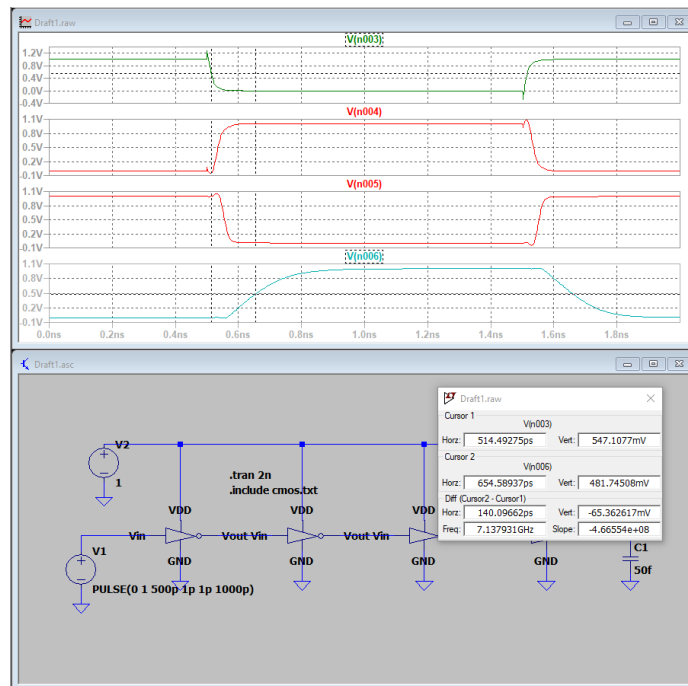


Edge rate: $\frac{217ps+193ps}{2} = 205ps$

High-to-low propagation delay: $140ps$



Low-to-high propagation delay: $140ps$

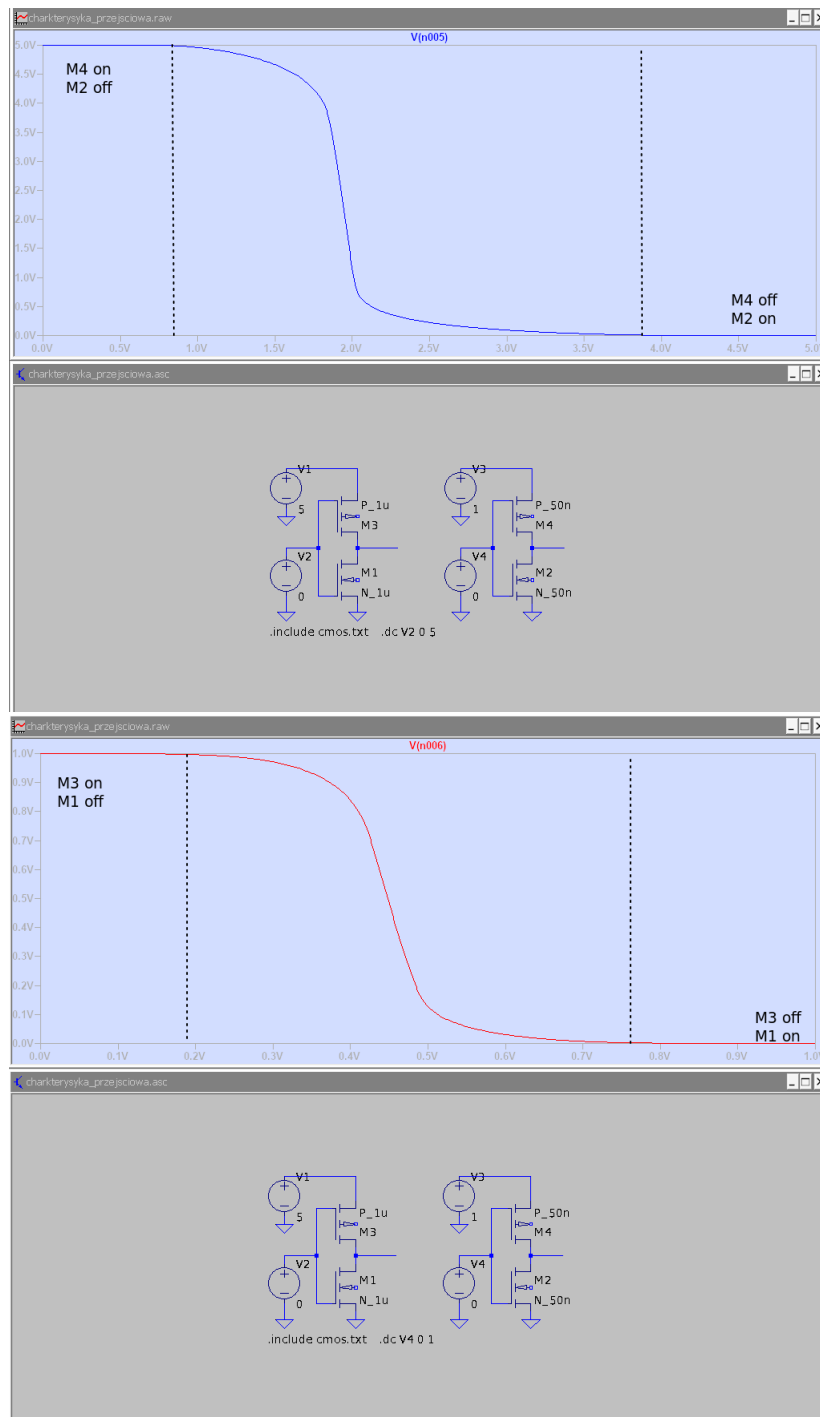


Propagation delay: $\frac{140ps + 140ps}{2} = 140ps$

Contamination delay: $\min\{140ps, 140ps\} = 140ps$

6 Charakterystyka przejściowa symulacja

Na wyniku symulacyjnym oznacz obszary w których: M1-on, M2-off, M1-off, M2-on.



7 Wyjaśnij co oznaczają oznaczenia V_{IL} , V_{IH} , V_{IL} , V_{OH}

V_{IL} granica napięcia na wejściu interpretowanego jako niskie.

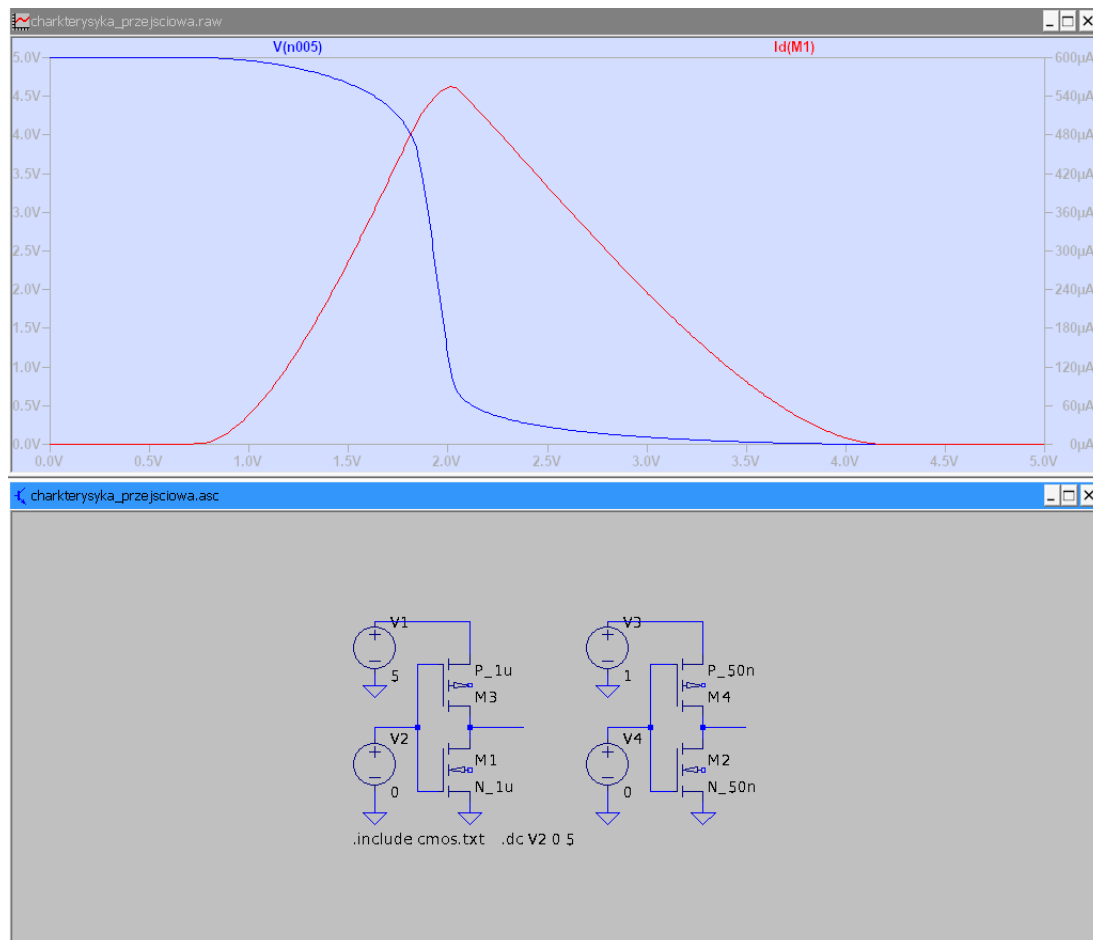
V_{IH} granica napięcia na wejściu interpretowanego jako wysokie.

V_{OL} napięcie na wyjściu w stanie niskim.

V_{OH} napięcie na wyjściu w stanie wysokim.

8 Symulacja największy pobór prądu

Przedstaw wynik symulacyjny, obrazujący obszar, w którym następuje największy pobór prądu.



9 Inverter Switching Point

Wyznacz 'Inverter Switching Point' – napięcie VSP, w którym napięcie wejściowe jest równe napięciu wyjściowemu. Przedstaw odpowiednie wzory oraz obliczenia.

Natężenie płynące przez tranzystor nMOS:

$$I_{Dn} = \frac{k_n (V_{SP} - V_t)^2}{2}$$

Natężenie płynące przez tranzystor pMOS:

$$I_{Dp} = \frac{k_p (V_{DD} - V_{SP} - |V_t|)^2}{2}$$

Wartości stałych:

	nMOS	pMOS
V_{TO}	0.8V	-0.9V
k	$120 \cdot 10^{-6}$	$40 \cdot 10^{-6}$

Obliczenia:

$$I_{Dn} = I_{Dp}$$

$$\frac{k_n (V_{SP} - V_t)}{2} = \frac{k_p (V_{DD} - V_{SP} - |V_t|)}{2}$$

$$120 \cdot 10^{-6} (V_{GS} - 0,8V)^2 = 40 \cdot 10^{-6} (5V - V_{SP} - 0,9V)^2$$

$$\sqrt{3}V_{SP} - 1,38V = -V_{SP} + 4,1V$$

$$V_{SP} = 2V$$

10 Do czego w praktyce może zostać wykorzystany wykres charakterystyki przejściowej inwertera?

Wykres charakterystyki przejściowej może być wykorzystany do:

1. wyznaczenia punktu przełączania,
2. analizy szybkości przełączania,
3. badanie prądu przejściowego,