

Sprawozdanie Laboratorium Mikroelektronika

Podstawowe symulacje wybranych układów CMOS

Stanisław Fiedler 160250 L1

LAB 5, 19 listopada 2024

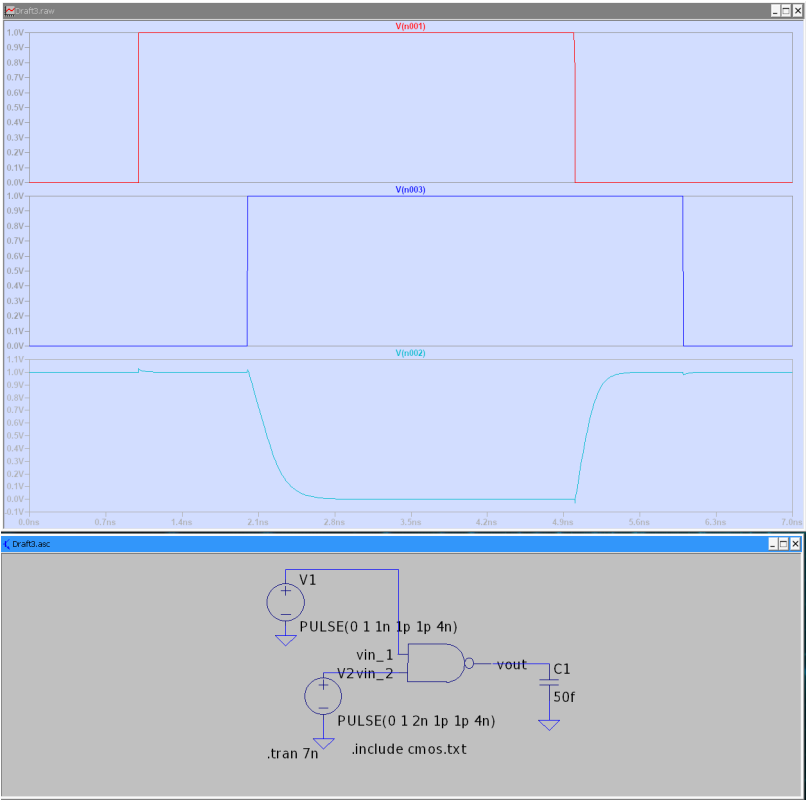
Spis treści

1	Bramka NAND	1
1.1	Wyniki symulacji	1
1.2	Tablica prawdy	2
1.3	Wyznaczone parametry	2
2	Bramka AND	4
2.1	Wyniki symulacji	4
2.2	Tablica prawdy	4
3	Bramka NOR	5
3.1	Wyniki symulacji	5
3.2	Tablica prawdy	5

1 Bramka NAND

Dla symulacji układu z rysunku 1 wyznaczyć parametry rise time, fall time, edge rate, high-to-low propagation delay, low-to-high propagation delay, propagation delay, contamination delay.

1.1 Wyniki symulacji

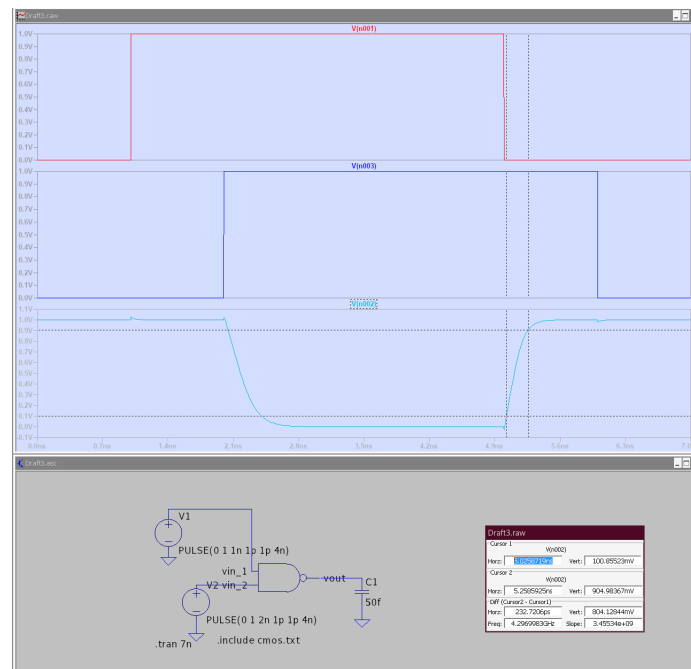


1.2 Tablica prawdy

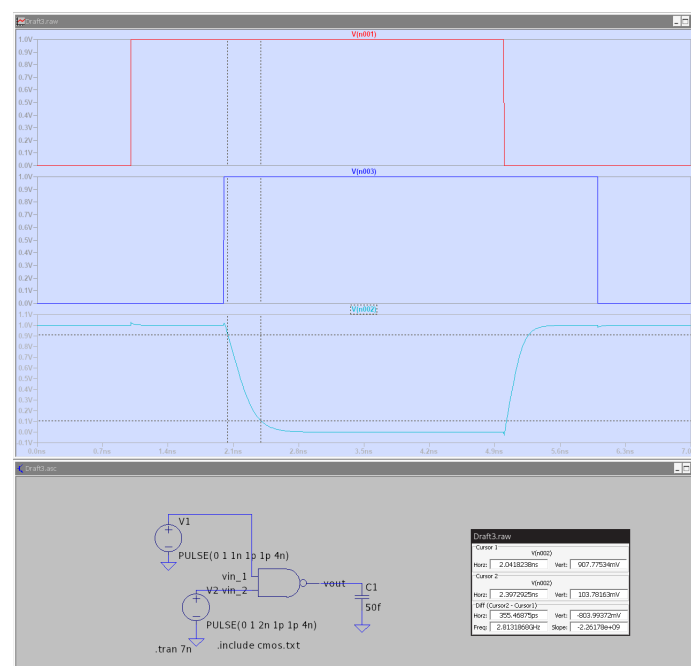
A	B	A nand B
0	0	1
0	1	1
1	1	0
1	0	1

1.3 Wyznaczone parametry

Rise time: 232ps

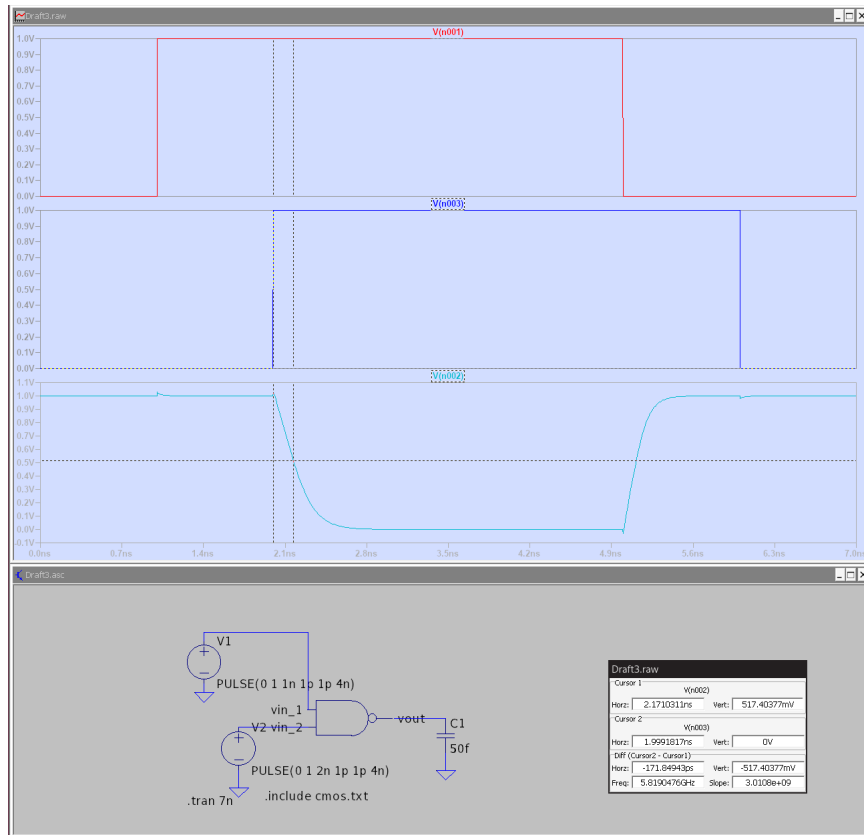


Fall time: 355ps

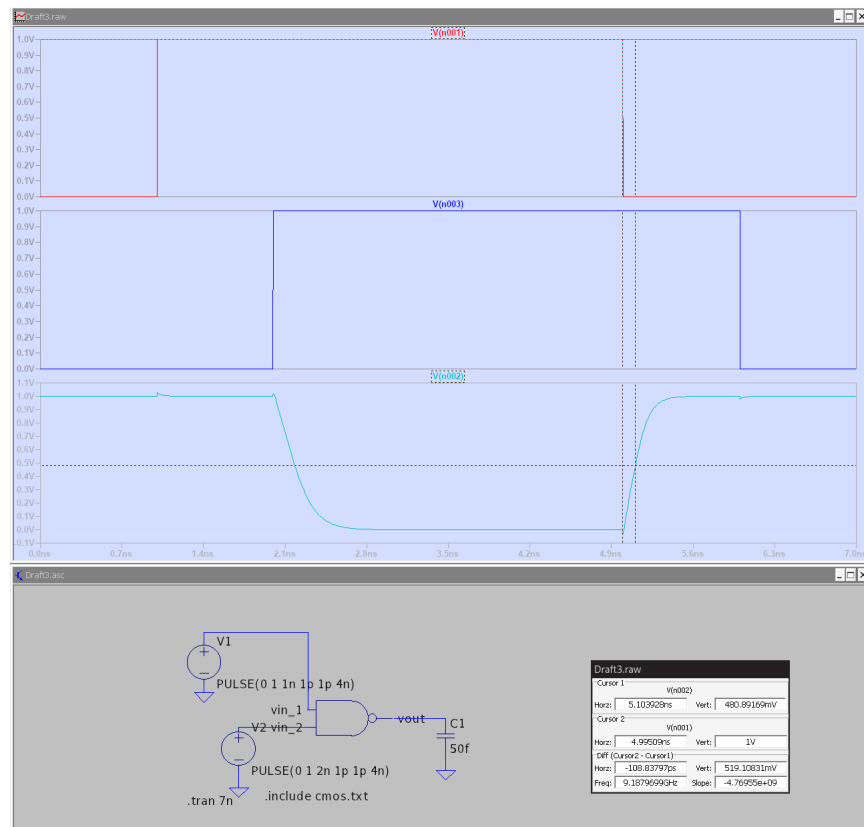


Edge rate: $\frac{355ps+232ps}{2} = 294ps$

High-to-low propagation delay: 174ps



Low-to-high propagation delay: 108ps



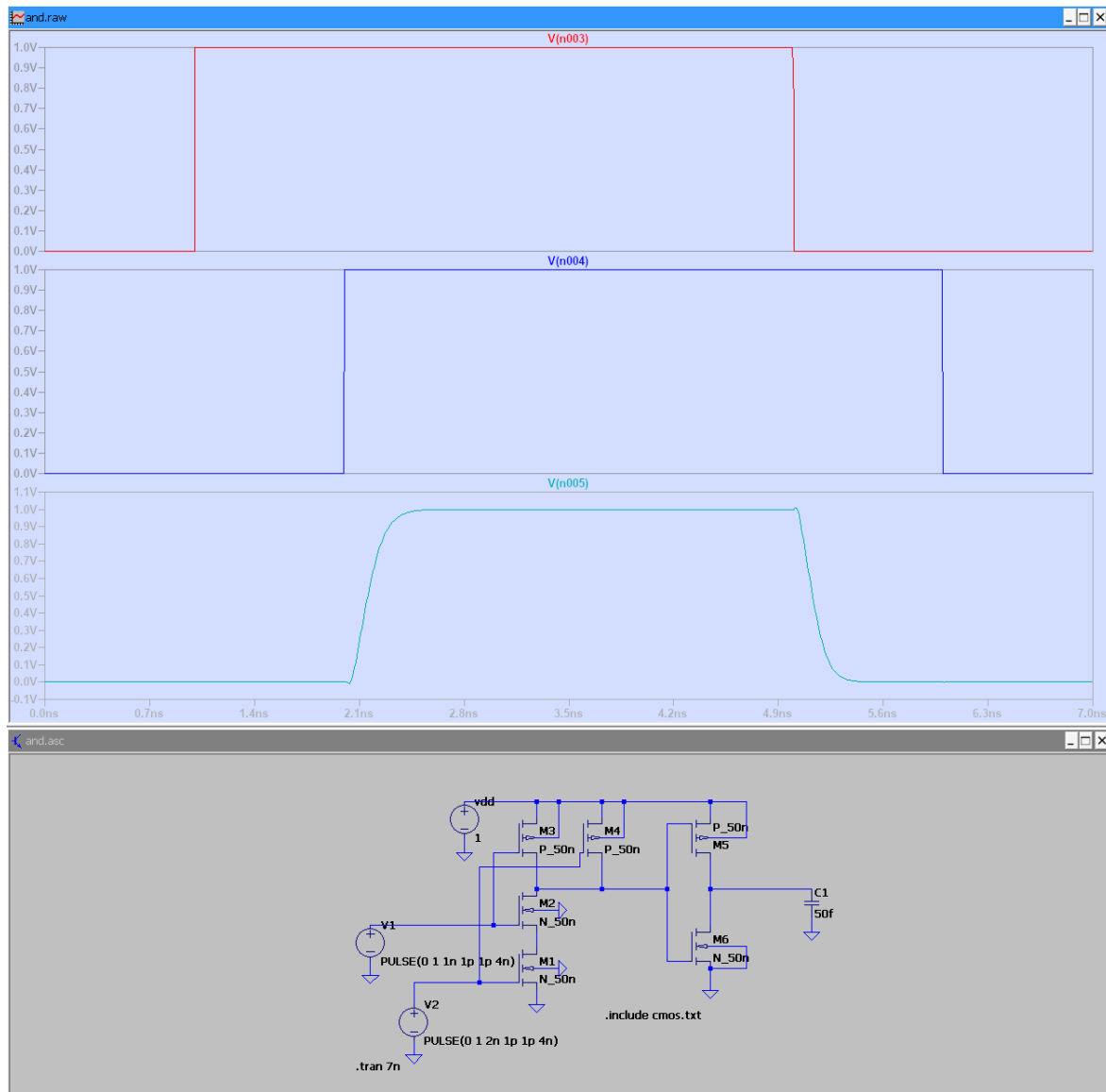
Propagation delay: $\frac{174ps+108ps}{2} = 141ps$

Contamination delay: $\min\{108ps, 174ps\} = 108ps$

2 Bramka AND

Zaprojektować na tranzystorach nmos4 i pmos4 bramkę AND (bez projektowania symbolu). Zaprojektować układ do testowania bramki oraz dokonać jej symulacji, w której sygnały pobudzenia będą reprezentowały wszystkie kombinacje z tabeli prawdy.

2.1 Wyniki symulacji



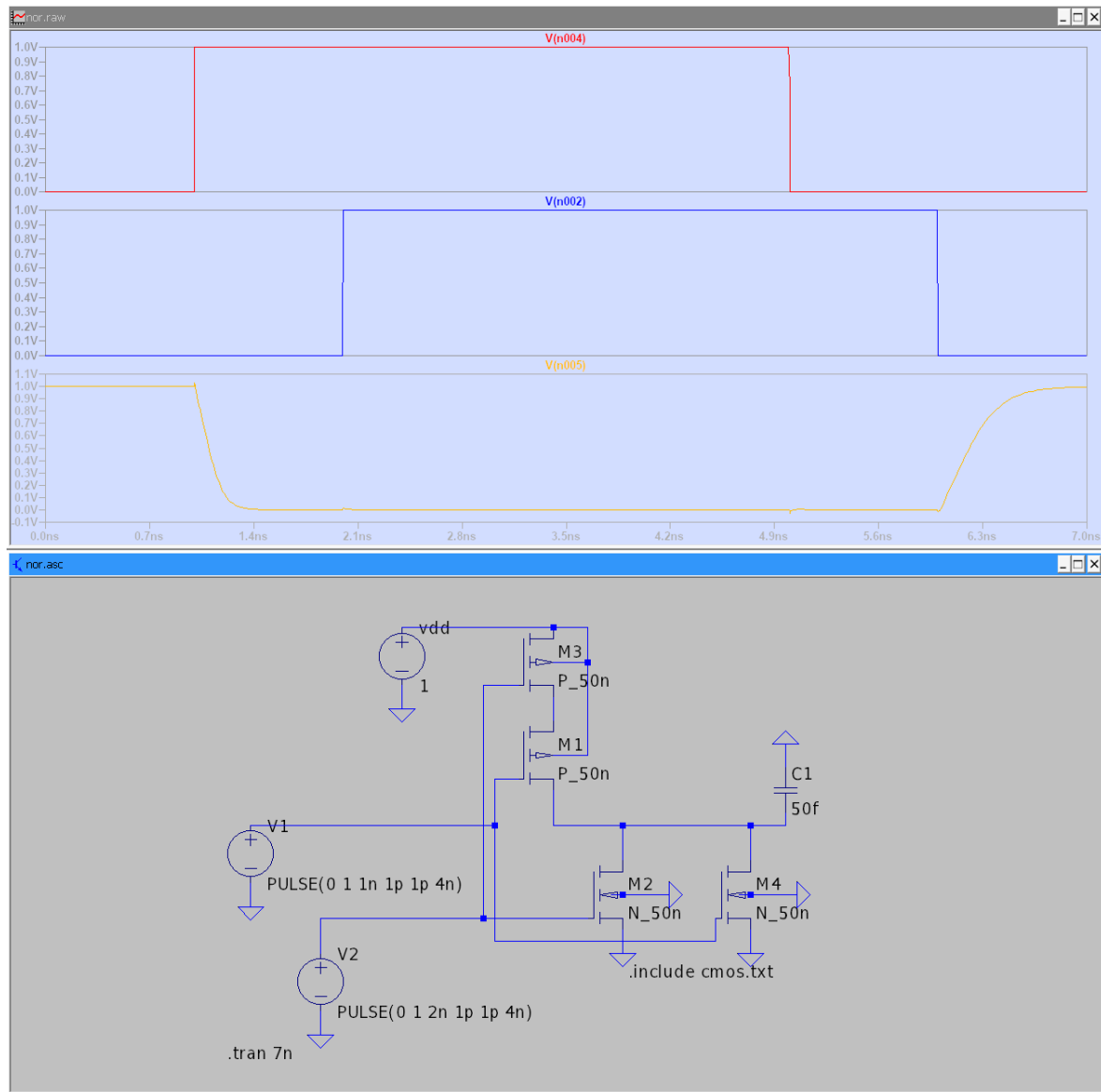
2.2 Tablica prawdy

A	B	A and B
0	0	0
0	1	0
1	1	1
1	0	0

3 Bramka NOR

Zaprojektować na tranzystorach nmos4 i pmos4 bramkę NOR (bez projektowania symbolu). Zaprojektować układ do testowania bramki oraz dokonać jej symulacji, w której sygnały pobudzenia będą reprezentowały wszystkie kombinacje z tabeli prawdy.

3.1 Wyniki symulacji



3.2 Tablica prawdy

A	B	A nor B
0	0	1
0	1	0
1	1	0
1	0	0